



**UNIVERSIDADE FEDERAL
DE MATO GROSSO**

Discente:	RGA
Débora Mateus	202221901007
Kelvin Wender Martins Pereira	202021901031
Marcos Antonio Borges	202121901056
Victor Daniel Mohr Steffens	202221901059

Relatório da aula prática do dia 25/07/2023

1. Objetivo

Criar um contador decrescente utilizando um divisor de clock.

2. Materiais e Métodos

Para a realização da atividade foram utilizados:

- **Software Altera**
- **Quartus II**
- **Placa OMDAZZ EP4CE6E22C8**
- **UBS Blaster**

3. Procedimento Experimental



**UNIVERSIDADE FEDERAL
DE MATO GROSSO**

```
1  library IEEE;
2  use IEEE.std_logic_1164.all;
3  use IEEE.std_logic_unsigned.all;
4
5  -- Definir as portas do clkdiv
6  entity clkdiv is
7  port(
8      mclk: in std_logic; --clock do tipo entrada
9      clr: in std_logic; --clear do tipo entrada
10     clk1: out std_logic; -- clock1 do tipo saida
11     clk2: out std_logic; -- clock2 do tipo saida
12     clk3: out std_logic; -- clock3 do tipo saida
13 );
14 end clkdiv;
15
16
17 architecture clkdiv of clkdiv is
18
19     signal q: std_logic_vector (25 downto 0); --Definir um vetor de 26 bits, que o intepretador vai definir como os flip-flop.
20
21 begin
22     --divisor de clock
23
24     process(mclk, clr)
25     begin
26         if (clr = '1') then -- Condição: quando o clear = 1, colocara todos os flip-flop em 0.
27             q <= "00" & X"000000";
28         else -- Caso contrario
29             if mclk'event and mclk = '1' then -- Quando ocorrer o evento de subida do clock q recebe q+1
30                 q <= q+1; -- Como foi utilizado a função downto o bit menos significativo são os da direita
31             end if;
32         end if;
33     end process;
34     -- Ligação das saidas do divisor de clock com os bits mais significativos do vetor de bits.
35     clk1 <= q(23); -- saida clock ligada no bit 24
36     clk2 <= q(24); -- saida clock ligada no bit 25
37     clk3 <= q(25); -- saida clock ligada no bit 26
38 end clkdiv;
```

Código comentado clkdiv



**UNIVERSIDADE FEDERAL
DE MATO GROSSO**

```
1  library IEEE;
2  use IEEE.std_logic_1164.all;
3  use IEEE.std_logic_unsigned.all;
4
5  entity clkdiv_top is
6  |
7  |   --Definir as portas do clkdiv_top
8  |   port(
9  |       mclk: in std_logic; -- Master clock tipo entrada
10 |       ld: out std_logic_vector (2 downto 0)-- Led tipo saida
11 |   );
12 |   end clkdiv_top;
13 |
14 |   architecture clkdiv_top of clkdiv_top is
15 |       --Foi chamado o componente clkdiv
16 |       component clkdiv
17 |       port(
18 |           mclk: in std_logic; --clock do tipo entrada
19 |           clr: in std_logic; --clear do tipo entrada
20 |           clk1: out std_logic; -- clock1 do tipo saida
21 |           clk2: out std_logic; -- clock2 do tipo saida
22 |           clk3: out std_logic -- clock3 do tipo saida
23 |       );
24 |   end component;
25 |   begin
26 |       --Ligação dos pinos clkdiv com o clkdiv_top
27 |       C1: clkdiv port map (
28 |           mclk => mclk , --Master clock do clkdiv ligado no Master clock do clkdiv_top
29 |           clr => '0' ,-- Clear recebe 0
30 |           clk1 => ld(0),-- Clock1 ligado no led 0
31 |           clk2 => ld(1),-- Clock2 ligado no led 1
32 |           clk3 => ld(2) -- Clock ligado no led 2
33 |       );
34 |   end clkdiv_top;
```

Código comentado clkdiv_top



UNIVERSIDADE FEDERAL DE MATO GROSSO

Pin Planner - C:/Users/Aluno/Documents/org/ex02/clkdiv_top - clkdiv_top

File Edit View Processing Tools Window Help

Search altera.com

Report not available

Groups Report

Tasks

- Run Anal
- Early Pin
- Early

Top View

Wire Bond, with Exposed Pad

Device: EP4CE6E22C8
Family: Cyclone IV E
Top View

Cyclone IV E

EP4CE6E22C8

Named: * Edit: Filter: Pins: all

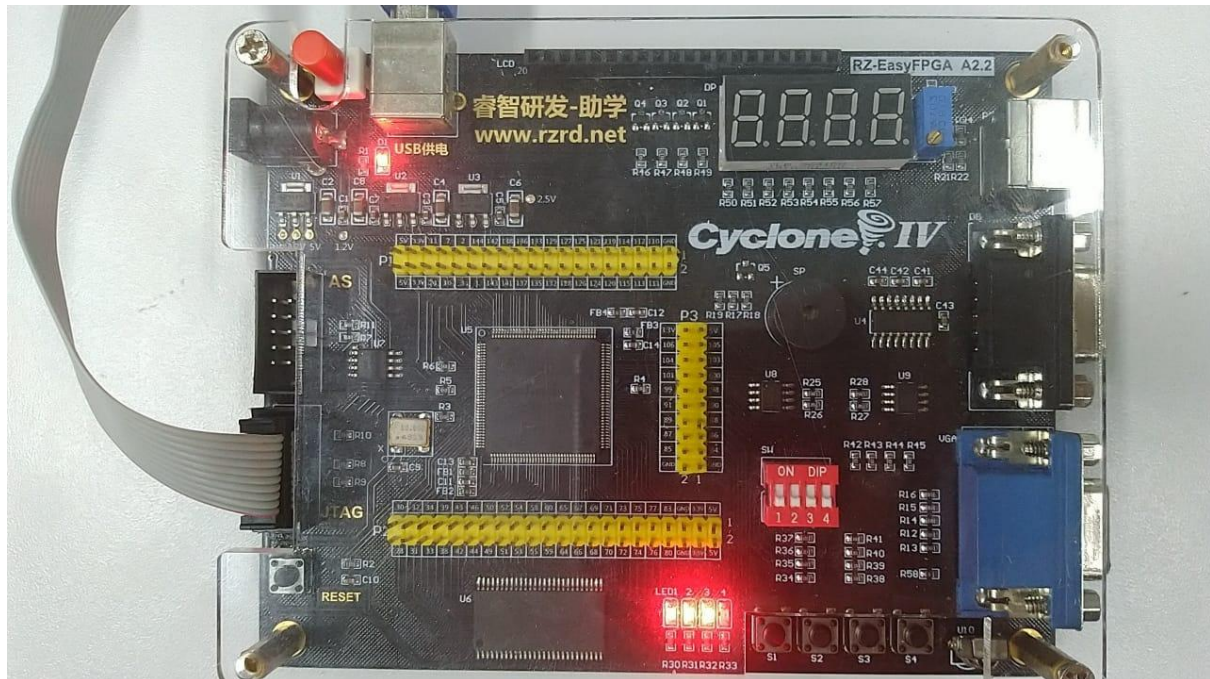
Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard
out Id[2]	Output	PIN_85	5	B5_N0	PIN_85	2.5 V (default)
out Id[1]	Output	PIN_86	5	B5_N0	PIN_86	2.5 V (default)
out Id[0]	Output	PIN_87	5	B5_N0	PIN_87	2.5 V (default)
in mclk	Input	PIN_23	1	B1_N0	PIN_23	2.5 V (default)
<<new node>>						

Pin planner

4. Resultados e Conclusão



**UNIVERSIDADE FEDERAL
DE MATO GROSSO**



Os 3 led's alternavam entre si.

5. Bibliografia

BROWN, Stephen D. **Fundamentals of digital logic with VHDL design**. Boston: McGraw-Hill, 2000. 840 p. (004.22 B879f).

D'AMORE, Roberto. A Synthesis-Oriented VHDL Course. **ACM Transactions on Computing Education (TOCE)**, v. 10, n. 2, p. 1-24, 2010.

PEDRONI, Volnei A. **Eletrônica Digital Moderna e VHDL**. Elsevier Ltda. Editora, Rio de Janeiro, RJ: 2010. 619 p.