

1. 基本仕様

1-1.概要

Spartan-7 Evaluation Boardにおける電源品質シミュレーション結果をご報告いたします。

1-2.解析ツール

	製品名	取扱会社
電圧降下シミュレーション	SignalAdviser-PI V2.7 (2.07.00496)	富士通アドバンステクノロジー

1-3.解析条件

1-3-1.基板層構成

	Color	Layer Name	Type	Usage	Thickness um	Er	Loss Tangent
1			Dielectric	Solder Mask	25	3.3	0.02
2	Red	1	Metal	Signal	40	<Auto>	<Auto>
3		DIE1_2	Dielectric	Substrate	115	4.3	0.016
4	Yellow	2	Metal	Plane	35	<Auto>	<Auto>
5		DIE2_3	Dielectric	Substrate	300	4.3	0.016
6	Magenta	3	Metal	Signal	35	<Auto>	<Auto>
7		DIE3_4	Dielectric	Substrate	115	4.3	0.016
8	Blue	4	Metal	Plane	35	<Auto>	<Auto>
9		DIE4_5	Dielectric	Substrate	300	4.3	0.016
10	Orange	5	Metal	Plane	35	<Auto>	<Auto>
11		DIE5_6	Dielectric	Substrate	115	4.3	0.016
12	Cyan	6	Metal	Signal	35	<Auto>	<Auto>
13		DIE6_7	Dielectric	Substrate	300	4.3	0.016
14	Brown	7	Metal	Plane	35	<Auto>	<Auto>
15		DIE7_8	Dielectric	Substrate	115	4.3	0.016
16	Green	8	Metal	Signal	40	<Auto>	<Auto>
17			Dielectric	Solder Mask	25	3.3	0.02

☒ Calculate Er for metal layers from surrounding dielectrics

Total thickness: 1700 um

体積抵抗率=2.09e-8 [ohm*m] (銅70℃)

1-3-2.温度条件

環境温度 70℃

1-3-3.解析対象ネット

a)直流解析

ネット名	観測点	電圧[V]	最大消費電流[A]	電圧降下許容値[V]
V1.0 (V1.0_FPGA)	U201	1.00	10.0000	0.05

b)インピーダンス解析

ネット名	観測点	電圧[V]	変動電流値[A] (25% I _{max})	電圧変動許容値[%]	ターゲットインピーダンス [mohm]
V1.0 (V1.0_FPGA)	U201	1.00	2.5000	2	8.0

1-3-4.ターゲットインピーダンス

ザイリンクス社 UG483(v1.14) May 21,2019 7 Series FPGAs PCB Design Guide にターゲットインピーダンスの記載がないため、UG583 (v1.16) June 26, 2019 UltraScale Architecture PCB Design User Guide 記載の下記計算で求められた値を採用しています。

$$Z_{target} = \frac{VoltageRailValue \times \frac{\%Ripple}{100}}{StepLoadCurrent} = 0.008 \ \Omega$$

@100KHz~10MHz

Ripple	2 %
VoltageRailValue	1 V
StepLoadCurrent	10 A
StepLoad	25 % (VCCINT)

1-3-5.オンチップ(オンパッケージ)キャパシタ

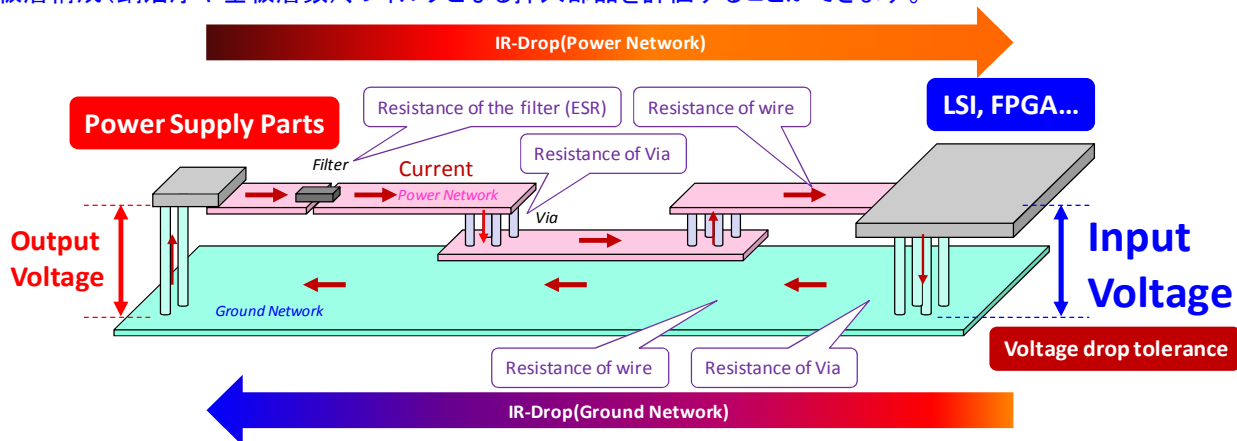
Spartan-7 にはパッケージキャパシタが搭載されていません

2. 電源品質解析概略

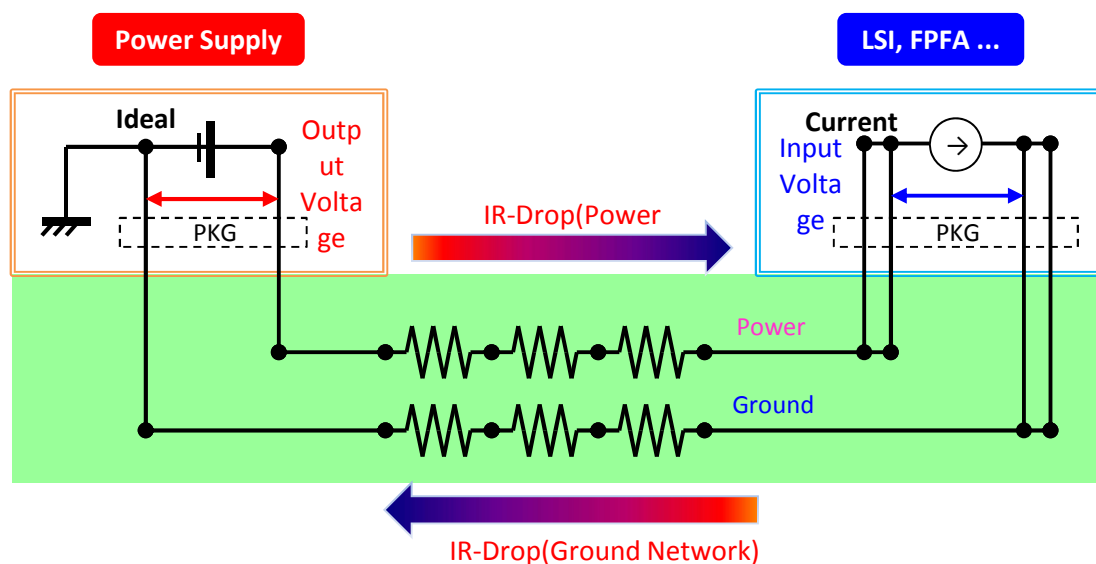
2-1. 直流解析(電圧降下解析)

電源供給部品から解析対象部品までの、電源パターン、ビア、挿入部品の影響による電圧降下を解析します。
電圧降下値が解析対象部品の許容値を満たしているか確認しています。

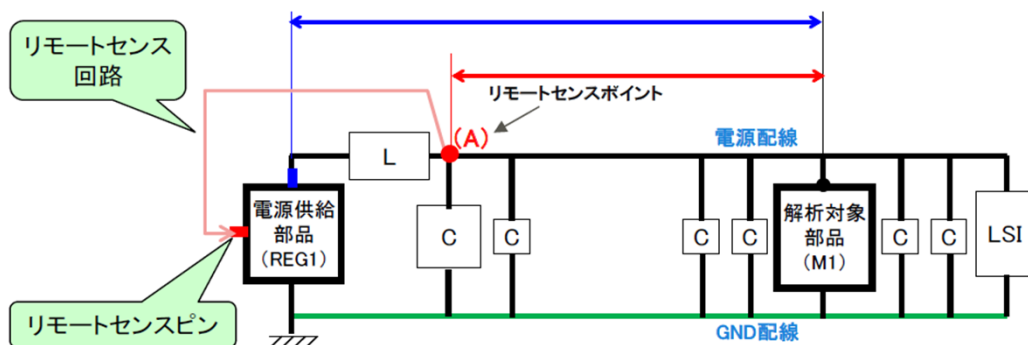
この解析を実施することで、電源供給部品および解析対象部品の配置位置、電源パターンの幅や配線長・配線経路、基板層構成(銅箔厚や基板層数)、フィルタとなる挿入部品を評価することができます。



電源供給源を理想電源とし、観測対象素子に電流値を与えたモデルで基板上の電源供給系の電圧降下量を観測します。



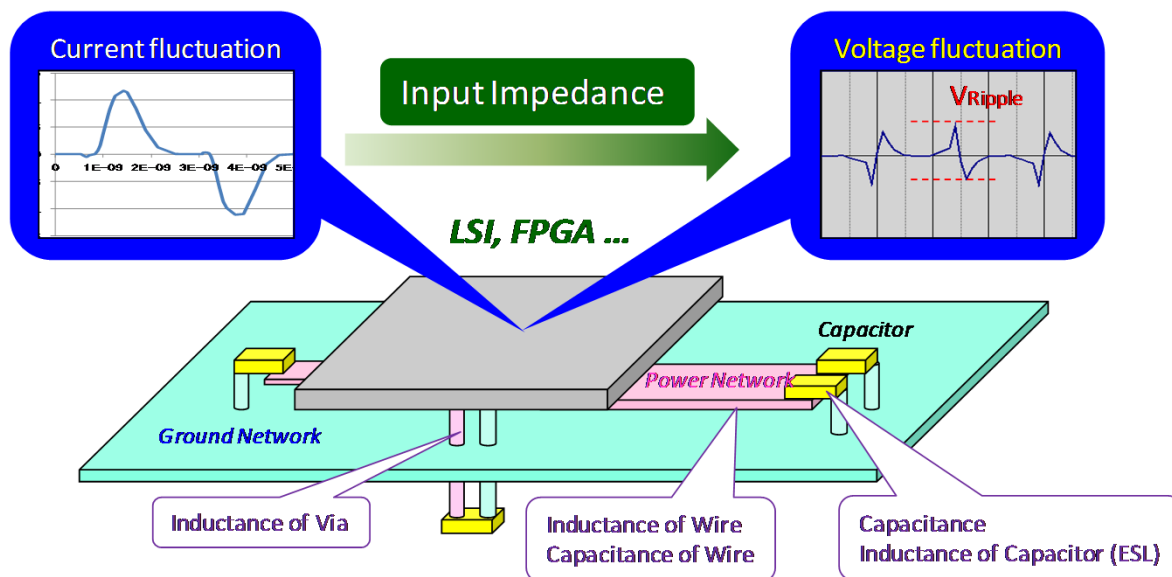
解析対象の回路モデルにリモートセンス回路がある場合は、リモートセンスピンを設定することで、リモートセンスピンからの電圧降下(リモートセンスポイント(A)からの電圧降下と同等)を解析します。



2-2.インピーダンス解析

LSIやFPGAなどのICが動作し電流が変動した際の電圧変動をインプットインピーダンスとして解析し、IC要求のターゲットインピーダンス以下に抑えられているか確認します。

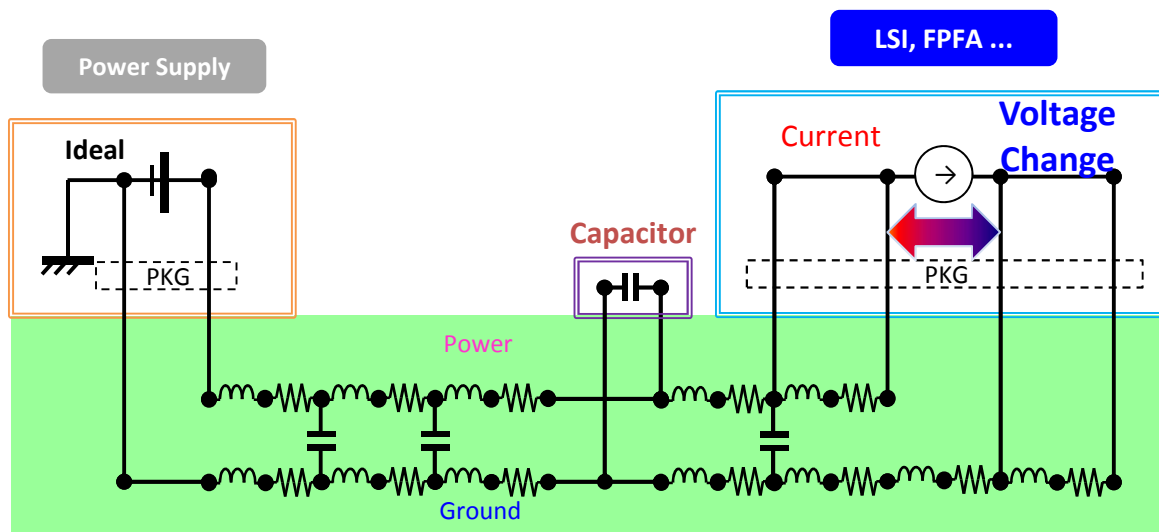
この解析を実施することで、インプットインピーダンスを決定するコンデンサの定数・個数・配置位置、電源パターンを評価することができます。



観測対象素子に1Aの交流電流源を与えた際の観測対象素子の電源-GND間電圧から

観測対象素子におけるインプットインピーダンスを観測します。

インプットインピーダンスがデバイスの定めるターゲットインピーダンス以下に抑えられているか確認します。



SoC 電源電流特性はデフォルト値として下記設定となっています。

- ・最大動作周波数 100MHz
- ・Tr, Tf 周期の 10分の1

3. 解析結果まとめ

3-1.直流解析(電圧降下解析)結果

電圧降下はデバイスが要求する許容値を満たすと推測されます
電源ICから各LSIまでの電源パターン(配線幅・配線長・銅箔厚)等の部品選択に問題はないと考えられます

電源	ネット名	部品 (From)	電位 (From)[V]	部品 (To)	電位 (To)[V]	Δ V [mV]	電圧降下 [mV]	許容値 [mV]	判定	電流値 [A]
1.0V	V_1.0_FPGA	Q1	1.0000	U201	0.8660	134.0	144.1	-	-	10.0
	(GND)	Q1	0.0000	U201	0.0101	10.1				
	V_1.0_FPGA	U1	1.0092	U201	0.8660	143.2	144.2	-	-	
	(GND)	U1	0.0092	U201	0.0101	1.0				
1.0V	V_1.0_FPGA	U1_14	0.8671	U201	0.8660	1.1	2.0	50.0	OK	10.0
	(GND)	U1	0.0092	U201	0.0101	1.0				

※詳細は「4. 直流解析結果」をご参照ください。

- ※1 電源 IC 出力からの電圧降下はコイルの DC 抵抗値が入るため大きくなっています
電圧制御フィードバック端子からの電圧降下は低い値となっています
- ※2 フィードバック端子への抵抗接続は電源-FB端子間は 0.001fΩ、FB端子-GND間は 1000TΩ としています
(シミュレーションではフィードバック制御は対応していないため)

3-2.インピーダンス解析結果

実装されているコンデンサの個数・定数・配置位置は、本基板設計仕様を満たした上で、最適化されていると考えます。

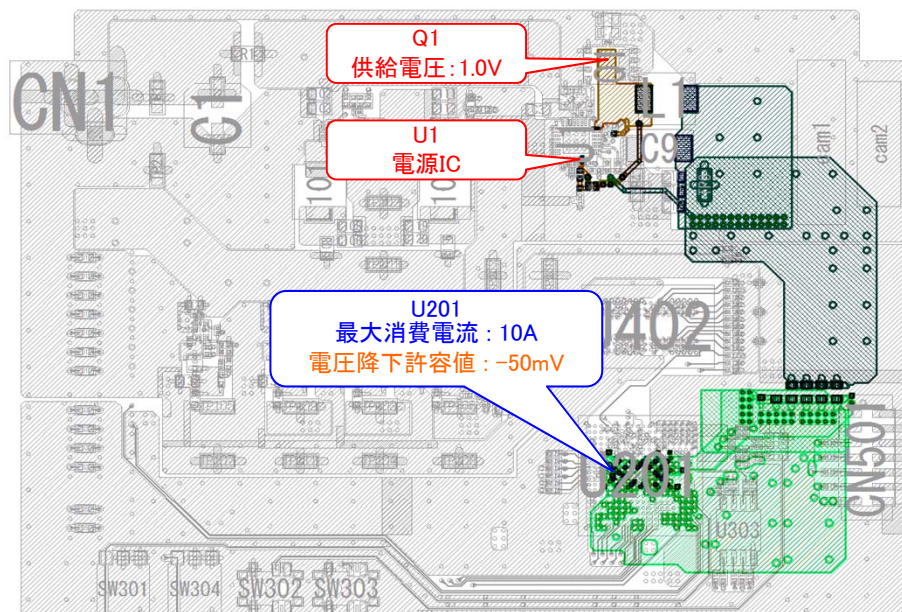
電源	ネット名	観測 デバイス	電源電圧 [V]	変動電流値 [A] Imax/4	電圧変動 許容値[%]	ターゲット インピーダンス[mΩ]	解析結果コメント
1.0V	V_1.0_FPGA	U201	1.0	2.5	2	8 (100KHz~10MHz)	インプットインピーダンスは ターゲットインピーダンス以下に 抑えられています。

※詳細は「5. インピーダンス解析結果」をご参照ください。

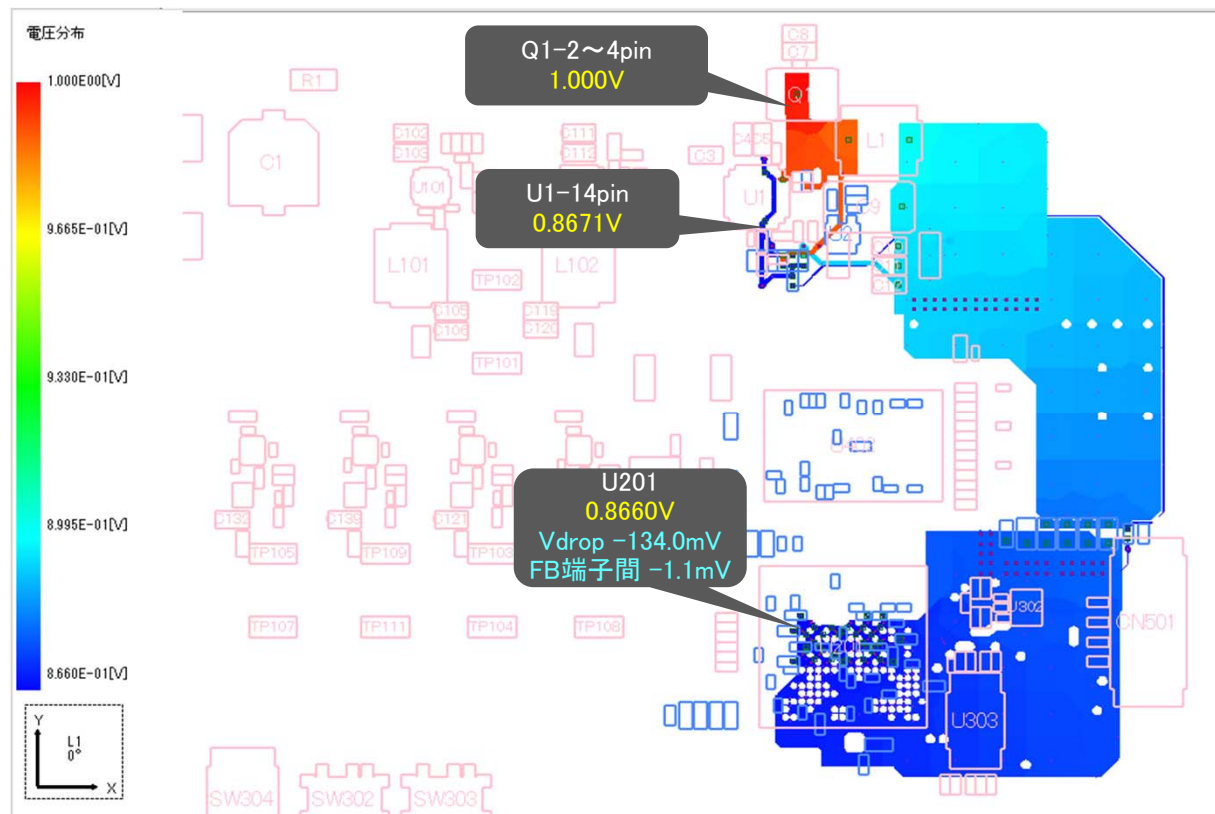
- ※1 コイルモデルはインピーダンス解析時はショート状態としています
(LC後のインプットインピーダンスを測定するため)
- ※2 フィードバック端子への抵抗接続は電源-FB端子間は 0.001fΩ、FB端子-GND間は 1000TΩ としています
(シミュレーションではフィードバック制御は対応していないため)

4. 直流解析結果

V1.0(V1.0_VFPGA) 構成図



V1.0(V1.0_FPGA) 電圧分布図



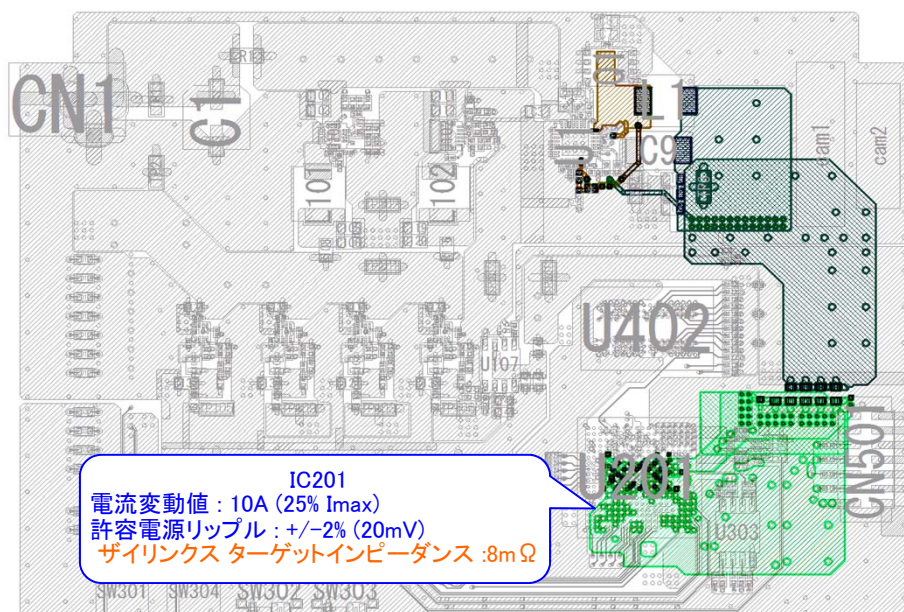
ネット名	部品 (From)	電位 (From)[V]	部品 (To)	電位 (To)[V]	ΔV [mV]	電圧降下 [mV]	許容値 [mV]	判定	電流値 [A]
V_1.0_FPGA	Q1	1.0000	U201	0.8660	134.0	144.1	-	-	10
(GND)	Q1	0.0000	U201	0.0101	10.1				
V_1.0_FPGA	U1	1.0092	U201	0.8660	143.2	144.2	-	-	
(GND)	U1	0.0092	U201	0.0101	1.0				
V_1.0_FPGA	U1_14	0.8671	U201	0.8660	1.1	2.0	50	OK	
(GND)	U1	0.0092	U201	0.0101	1.0				

電圧降下はデバイスが要求する許容値を満たしています

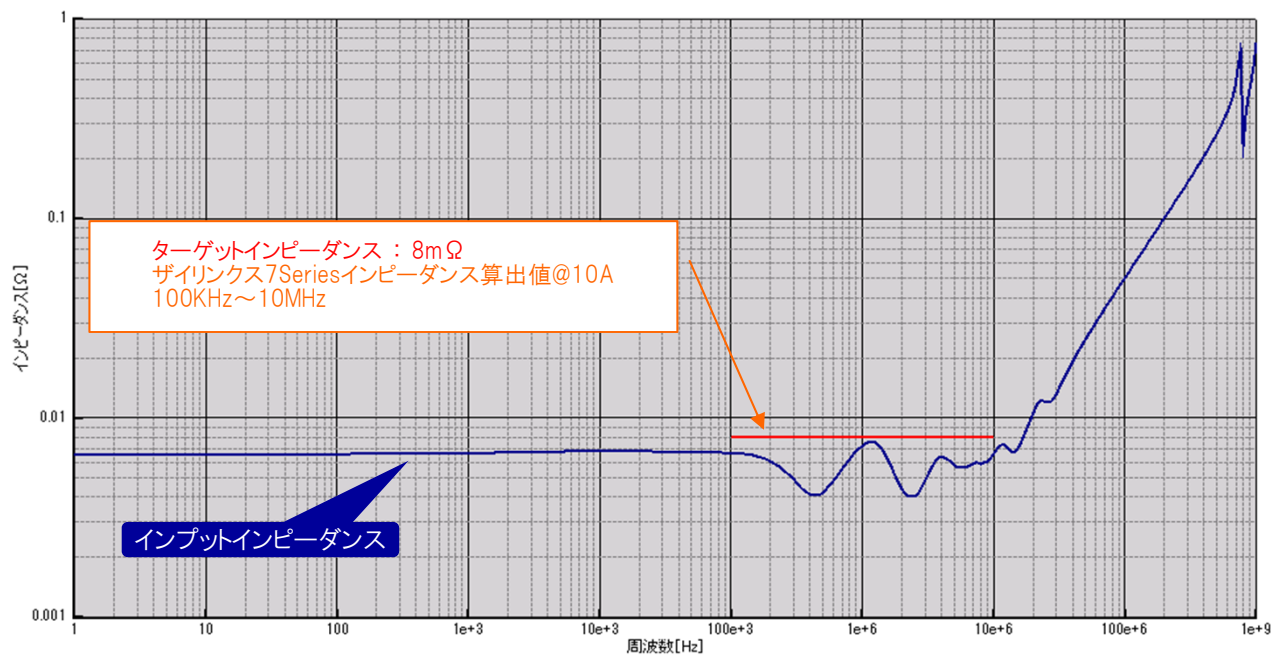
電源パターンの配線幅、配線長、銅箔厚に問題はないと考えられます

5. インピーダンス解析結果

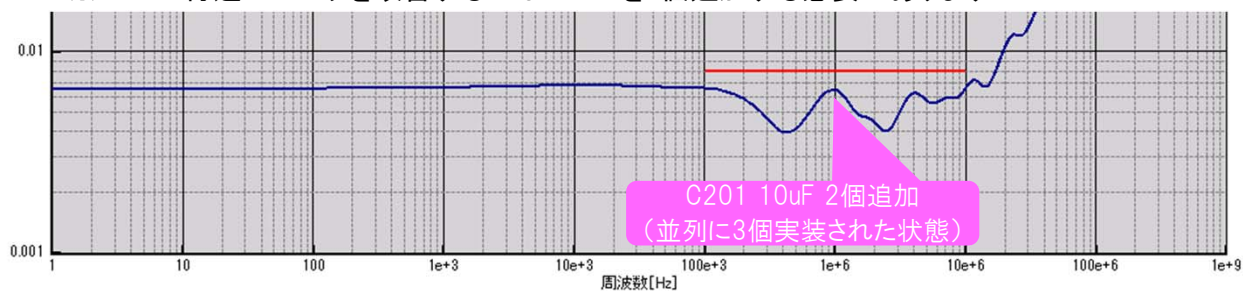
V1.0(V1.0_VFPGA) 構成図



V1.0(V1.0_FPGA) 解析結果



※ 1MHz 付近のピークを改善するには 10uF を2個追加する必要があります



配置された部品の個数変更は対応できますが、部品の新規発生ができないため既存部品の増数で確認しています