

1. 基本仕様

1-1. 概要

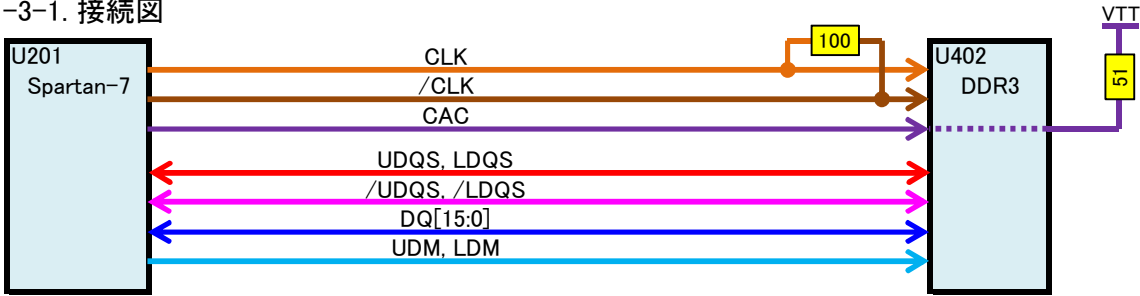
Spartan-7 Evaluation Board における伝送線路シミュレーション結果を報告致します。

1-2. シミュレーション環境

	製品名	取扱会社
伝送線路シミュレーション検証	HyperLynx VX2.4 Update1	メンターグラフィックスジャパン

1-3. 顧客要求仕様

1-3-1. 接続図



デバイスモデル

Device	Ref.	Part number	Type	File
FPGA	U201	XC7S50-2CSGA324C	IBIS	impl_5.ibs
DDR3L SDRAM	U402	MT41K256M16TW-107P	IBIS	v00h_1p35.ibs

1-3-2. シミュレーション条件

a) シミュレーション信号ライン

グループ	信号名	構成	Bit Pattern	動作速度
CLK	DDR3L_CLK, DDR3L_CLK	1:1接続 差動	Toggle	DDR3-800 400MHz
DQS	DDR3L_UDQS, DDR3L_/UDQS, DDR3L_LDQS, DDR3L_/LDQS,	1:1接続 双方向	Toggle	
DQ	DDR3L_DQ[15:0]	1:1接続 双方向	Random Bit	
DQM	DDR3L_UDM, DDR3L_LDM	1:1接続	(128bit)	
CAC	DDR3L_A[14:0], DDR3L_BA[2:0], DDR3L_/RAS, /DDR3L_/CAS, DDR3L_/WE, DDR3L_/CS, DDR3L_CKE, DDR3L_ODT	1:1接続	Random Bit (128bit)	DDR3-800 200MHz

b) DRV/ODT 仕様

	Operatig condition		Spartan-7	DRAM		終端抵抗 など
				Drive	ODT	
CLK_Group	Write	to DRAM	SSTL135_F_HR	-	-	100 Ω
DQS_Group	Write	to DRAM	SSTL135_F_HR_IN50	-	20 Ω / 30 Ω / 40 Ω / 60 Ω / 120 Ω	-
	Read	from DRAM		34 Ω / 40 Ω	-	-
DQ_Group	Write	to DRAM	SSTL135_F_HR_IN50	-	20 Ω / 30 Ω / 40 Ω / 60 Ω / 120 Ω	-
	Read	from DRAM		34 Ω / 40 Ω	-	-
DM_Group	Write	to DRAM	SSTL135_F_HR	-	20 Ω / 30 Ω / 40 Ω / 60 Ω / 120 Ω	-
CAC_Group	Write	to DRAM	SSTL135_F_HR	-	-	51 Ω

クロックの終端抵抗定数は 80.6 Ω から 100 Ω に変更して解析を行っています
CAC の終端抵抗定数は 49.9 Ω から 51 Ω に変更して解析を行っています

c) シミュレーション設定

DDR3L 全信号 (RESETは含まない) をクロストークの影響を考慮し、受信端はダイで解析を行っています。解析信号パターンは CLK/DQS は動作周波数における ON/OFF のトグル動作、アドレス系とデータは信号ネット毎に任意のランダム・ビット・パターン (128bit) を割り当て、受信端は Die にて観測しています。タイミングモデルは HyperLynx が用意している DDR3 用の汎用モデルを使用しています。

※1 クロストーク設定は HyperLynx 9.0 以降のデフォルト値でシミュレーションしています



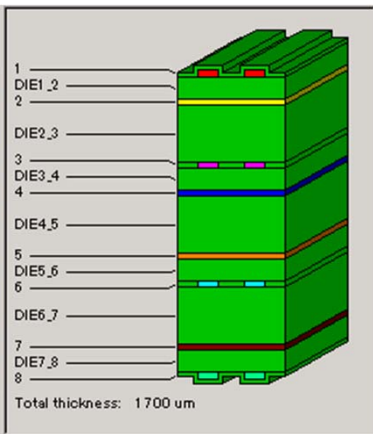
アグレッサからの最大距離 D : 0.381mm
最少カップリングセグメント長 L : 2.54mm

※2 電源は理想電源、GND は理想 GND としてシミュレーションしています
実機では電源、GND ノイズの影響で波形が悪化する可能性があります

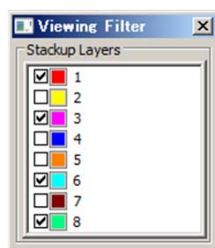
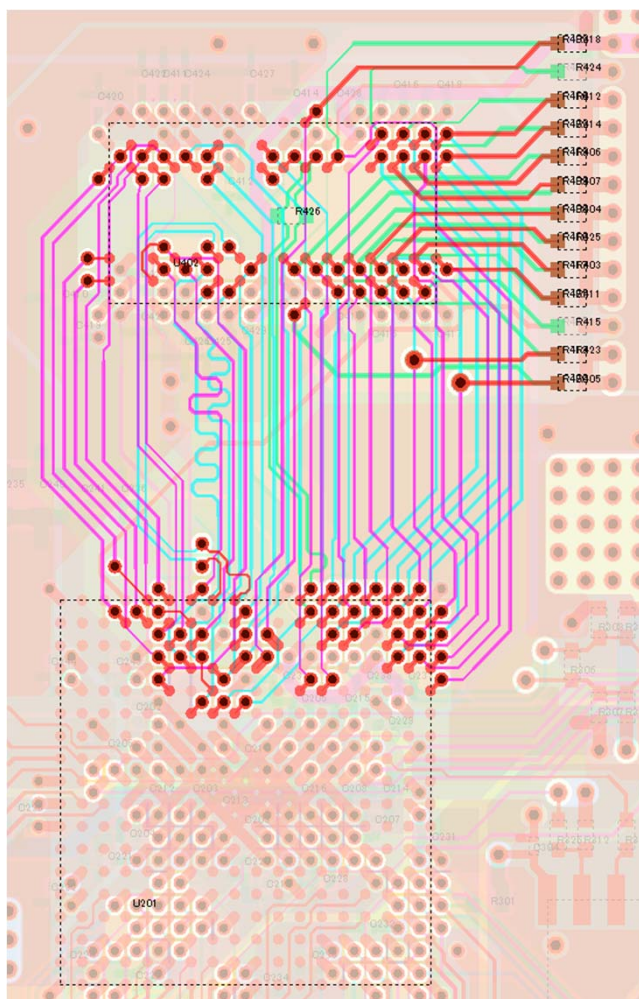
d) プリント基板仕様

	Color	Layer Name	Type	Usage	Thickness um	Er	Loss Tangent
1			Dielectric	Solder Mask	25	3.3	0.02
2	Red	1	Metal	Signal	40	<Auto>	<Auto>
3		DIE1_2	Dielectric	Substrate	115	4.3	0.016
4	Yellow	2	Metal	Plane	35	<Auto>	<Auto>
5		DIE2_3	Dielectric	Substrate	300	4.3	0.016
6	Magenta	3	Metal	Signal	35	<Auto>	<Auto>
7		DIE3_4	Dielectric	Substrate	115	4.3	0.016
8	Blue	4	Metal	Plane	35	<Auto>	<Auto>
9		DIE4_5	Dielectric	Substrate	300	4.3	0.016
10	Orange	5	Metal	Plane	35	<Auto>	<Auto>
11		DIE5_6	Dielectric	Substrate	115	4.3	0.016
12	Cyan	6	Metal	Signal	35	<Auto>	<Auto>
13		DIE6_7	Dielectric	Substrate	300	4.3	0.016
14	Brown	7	Metal	Plane	35	<Auto>	<Auto>
15		DIE7_8	Dielectric	Substrate	115	4.3	0.016
16	Green	8	Metal	Signal	40	<Auto>	<Auto>
17			Dielectric	Solder Mask	25	3.3	0.02

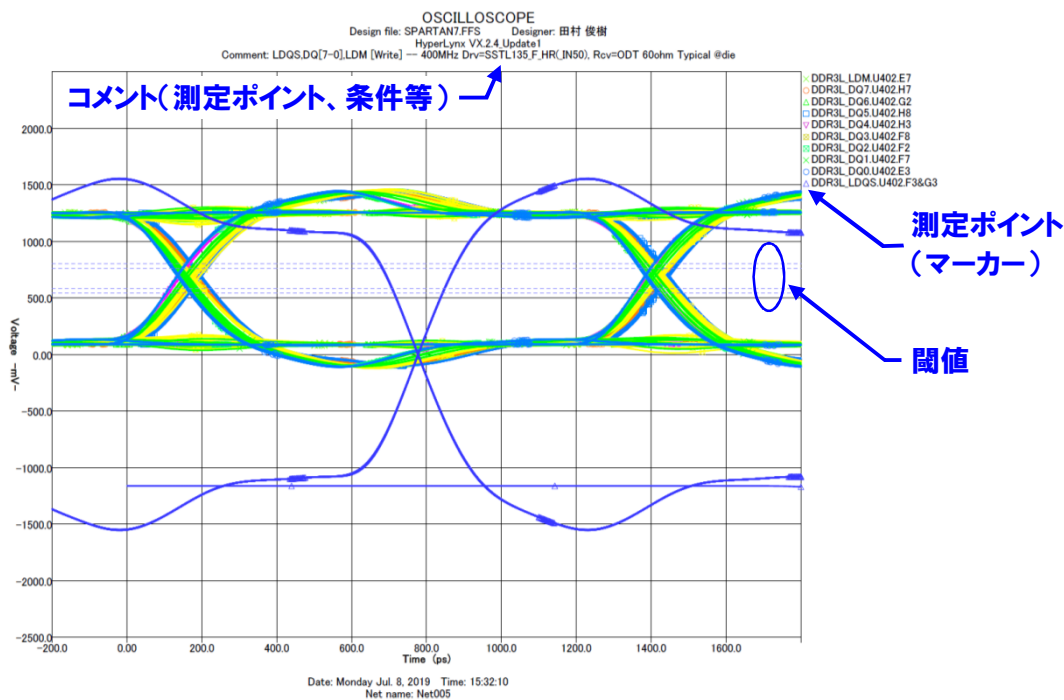
☒ Calculate Er for metal layers from surrounding dielectrics



2. 配線パターンについて



3. SIM波形について



4. タイミング測定について

HyperLynx の DDRxバッチシミュレーションにて DDR3-800 (1.35V) で解析を行っています。

コントローラ、メモリ共に HyperLynx がデフォルトで用意しているタイミングモデルを使用しているため、あくまでも参考値としてご確認をお願いいたします。

※ HyperLynxがデフォルトで用意しているコントローラモデルは FreeScale Semiconductor 社のデバイスを元に作成されています

タイミング測定時には同時に JEDEC 信号品質測定も行っています

5. 所見

5-1. 終端抵抗定数について

初期回路図の終端抵抗はクロック 80.6Ω、CAC 40.2Ωとなっていたが、FPGA IBIS モデルは MIG のデフォルト設定で出力されており、ODT 50Ωで FPGA の IO IN_TERM (Internal Termination Impedance) を 50Ωとなっていました。ただし、基板層構成で配線インピーダンスは差動 100Ω、シングル 50Ωであるため終端抵抗の定数確認を行いました。

特に大きな差ではありませんが定数を大きくすると振幅が大きくなるため、リングングの出かたも大きくなりますが、伝送線路は $Z_0=50\Omega$ なので下記定数で良いと思います。

R402~R425 : 40.2Ω ⇒ 51.0ohms

R426 : 80.6Ω ⇒ 100.0ohms

解析結果は 6-3.終端抵抗定数確認波形 を参照願います

5-2. 解析結果について

終端抵抗はクロック 100Ω、CAC 51Ωとし、DRAM の ODT 60Ω、ドライブ 34Ω で解析を行いました。波形は良好でタイミングマージンも確保されており、JEDEC 信号品質測定も全て Pass しています。HyperLynx ではリード時にホールド側のマージンが少ない傾向となりますが、セットアップ側にマージンが十分に確保されているのでタイミング調整機能などがあれば補正可能だと想定します。

解析結果は 6-4.解析波形 を参照願います

6. 解析結果

6-1. タイミング測定ワースト値について

		Typical (Worst)	
【DQS-DQ】 Write		t-DS	t-DH
LDQS	DQ[7:0], LDM	220.7	250.9
UDQS	DQ[15:8], UDM	230.5	245.1
【DQS-DQ】 Read		t-DQSQ	t-QH
LDQS	DQ[7:0]	164.0	4.8
UDQS	DQ[15:8]	170.1	5.4
【CLK-DQS】 DRV=F		t-DQSS	t-DSS
CK	LDQS	444.1	569.1
	UDQS	445.1	569.8
【CLK-CMD/ADD/CTRL】		t-IS	t-IH
CK	CAC	388.9	554.1

単位:[ps]

詳細な結果は下記ファイルを参照願います

【Spartan-7_Eva_Board】DDR3L_Timing,JEDEC_2018-07-08.xlsx

6-2. JEDEC信号品質測定結果について

	Typical
Rise Rail Overshoot	Pass
Fall Rail Undershoot	Pass
Rise Rail Overshoot Area	Pass
Fall Rail Undershoot Area	Pass
Monotonic	Pass
VIH/L(AC) Min Limit	Pass
VIH/L(DC) Monotonicity	Pass
Vref Threshold Multi Cross	Pass
Max Slew Time	Pass
VIX	Pass
VID(AC)	Pass
VID(DC)	Pass
VSEH/VSEL	Pass
TVAC/TDVAC	Pass

詳細な結果は下記ファイルを参照願います

【Spartan-7_Eva_Board】DDR3L_Timing,JEDEC_2018-07-08.xlsx

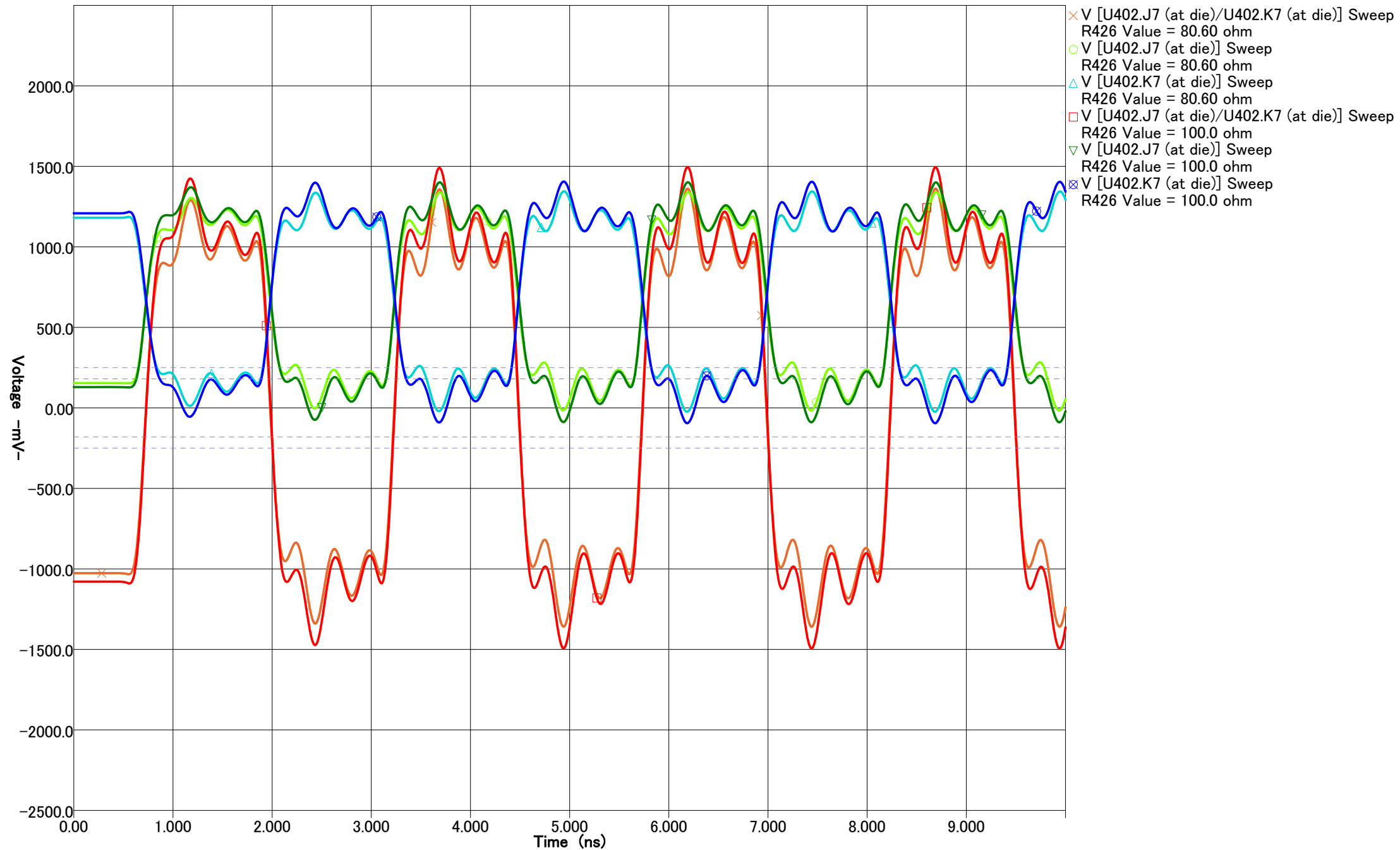
OSCILLOSCOPE

Design file: REFERENCE_BOARD.HYP

Designer: 田村 俊樹

HyperLynx VX.2.5_Update1

Comment: CLK 400MHz Rt=80.6ohm and 100ohm Typical @die



Date: Friday Jul. 5, 2019 Time: 9:12:07

Net name: DDR3L_CLK

Show Latest Waveform = YES

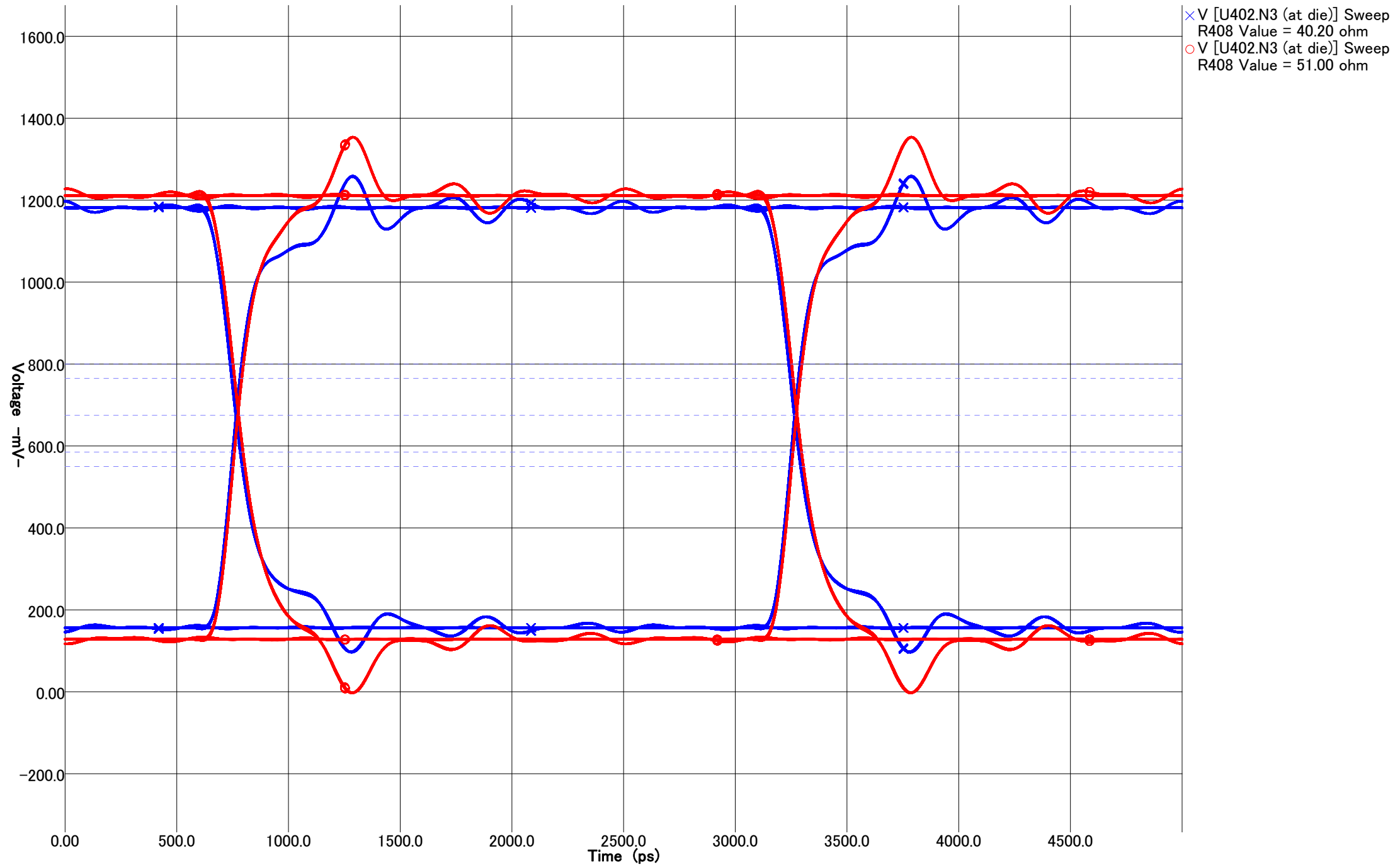
OSCILLOSCOPE

Design file: REFERENCE_BOARD.HYP

Designer: 田村 俊樹

HyperLynx VX.2.5_Update1

Comment: A0 DDR3L-800 Rt=40.2ohm and 51ohm Typical @die



Date: Friday Jul. 5, 2019 Time: 9:07:46

Net name: DDR3L_A0

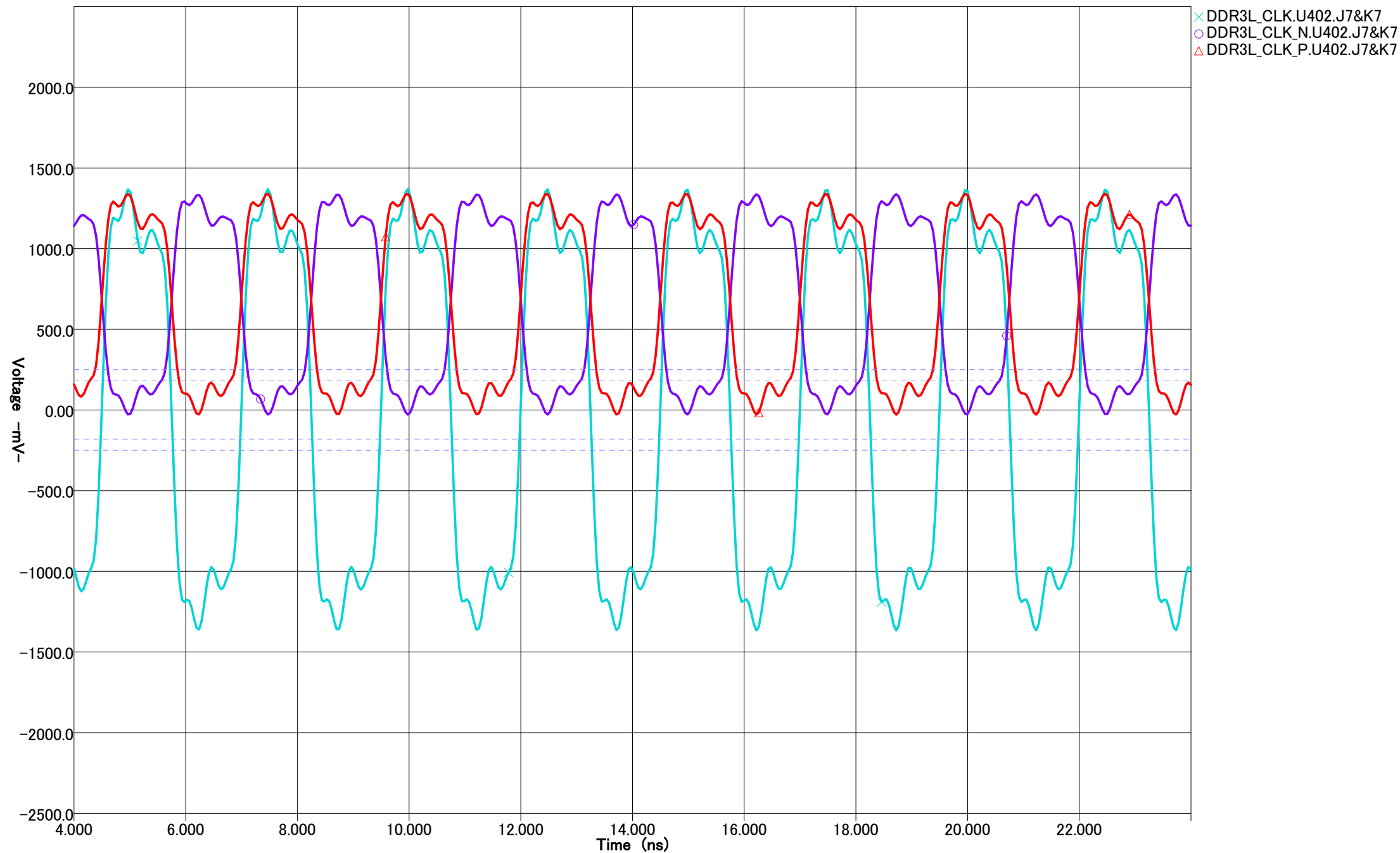
OSCILLOSCOPE

Design file: SPARTAN7.FFS

Designer: 田村 俊樹

HyperLynx VX.2.4_Update1

Comment: DDR3L_CLK -- 400MHz Drv=SSTL135_F_HR Rt=100ohm Typical @die



Date: Monday Jul. 8, 2019 Time: 15:24:43

Net name: Net001

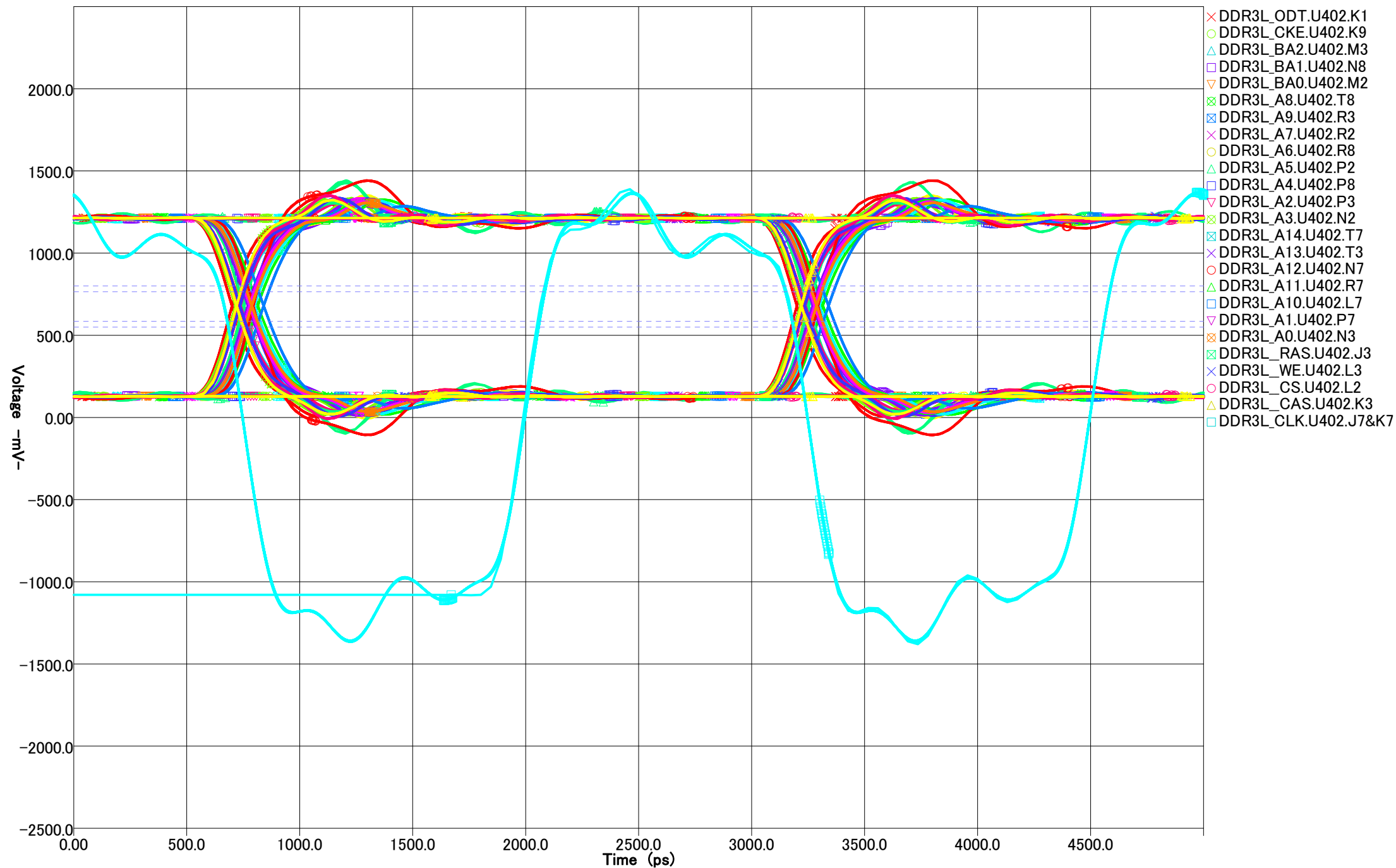
Show Latest Waveform = YES, Show Saved Waveform = YES

OSCILLOSCOPE

Design file: SPARTAN7.FFS Designer: 田村 俊樹

HyperLynx VX.2.4_Update1

Comment: CK -- 400MHz, CAC -- 200MHz Drv=SSTL135_F_HR Rt=CK 100ohm, CAC 51ohm Typical @die



Date: Monday Jul. 8, 2019 Time: 15:38:58

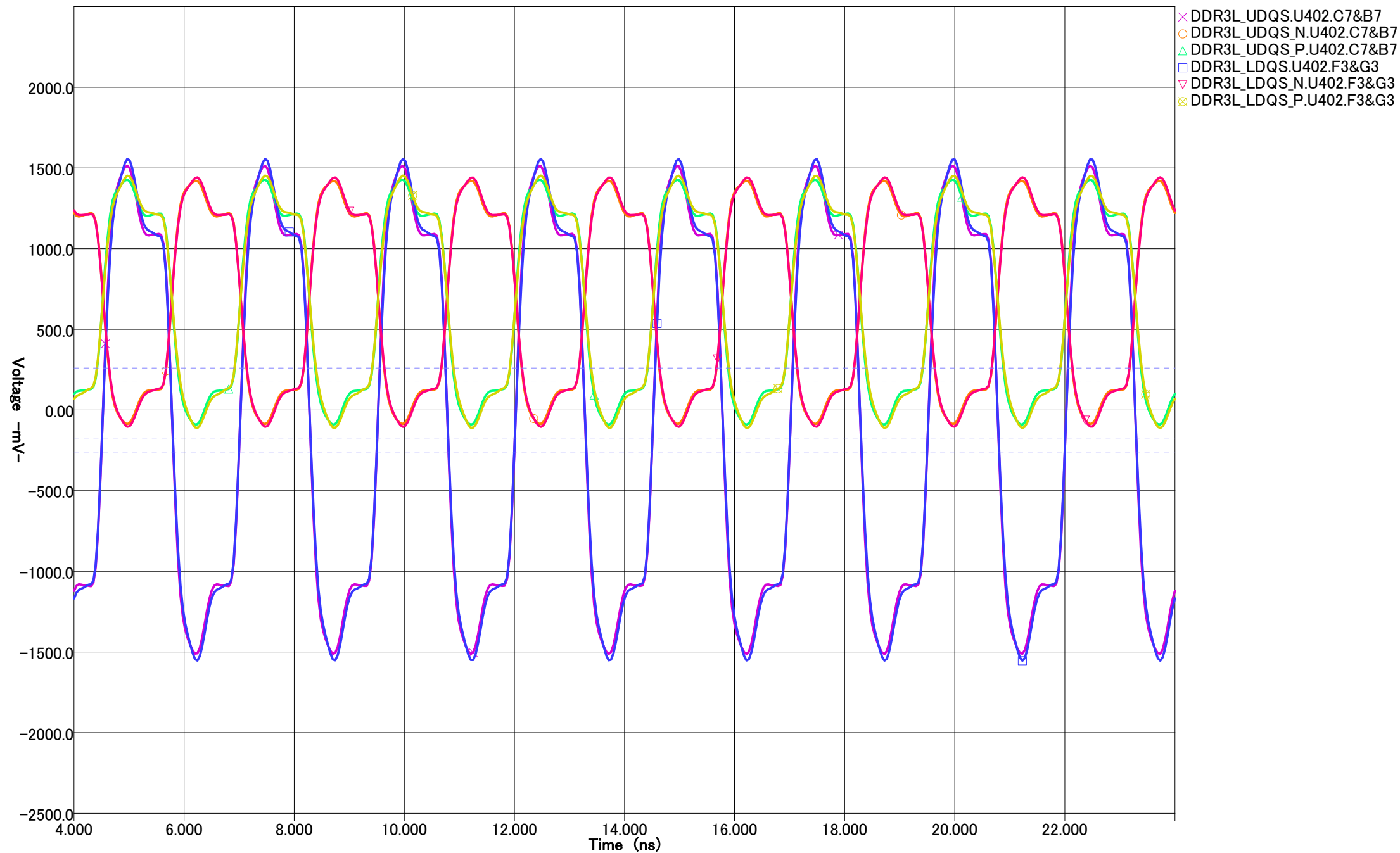
Net name: DDR3L_A0

OSCILLOSCOPE

Design file: SPARTAN7.FFS Designer: 田村 俊樹

HyperLynx VX.2.4_Update1

Comment: DDR3L_[U,L]DQS [Write] -- 400MHz Drv=SSTL135_F_HR_IN50, Rcv=ODT 60ohm Typical @die



Date: Monday Jul. 8, 2019 Time: 15:29:17

Net name: Net003

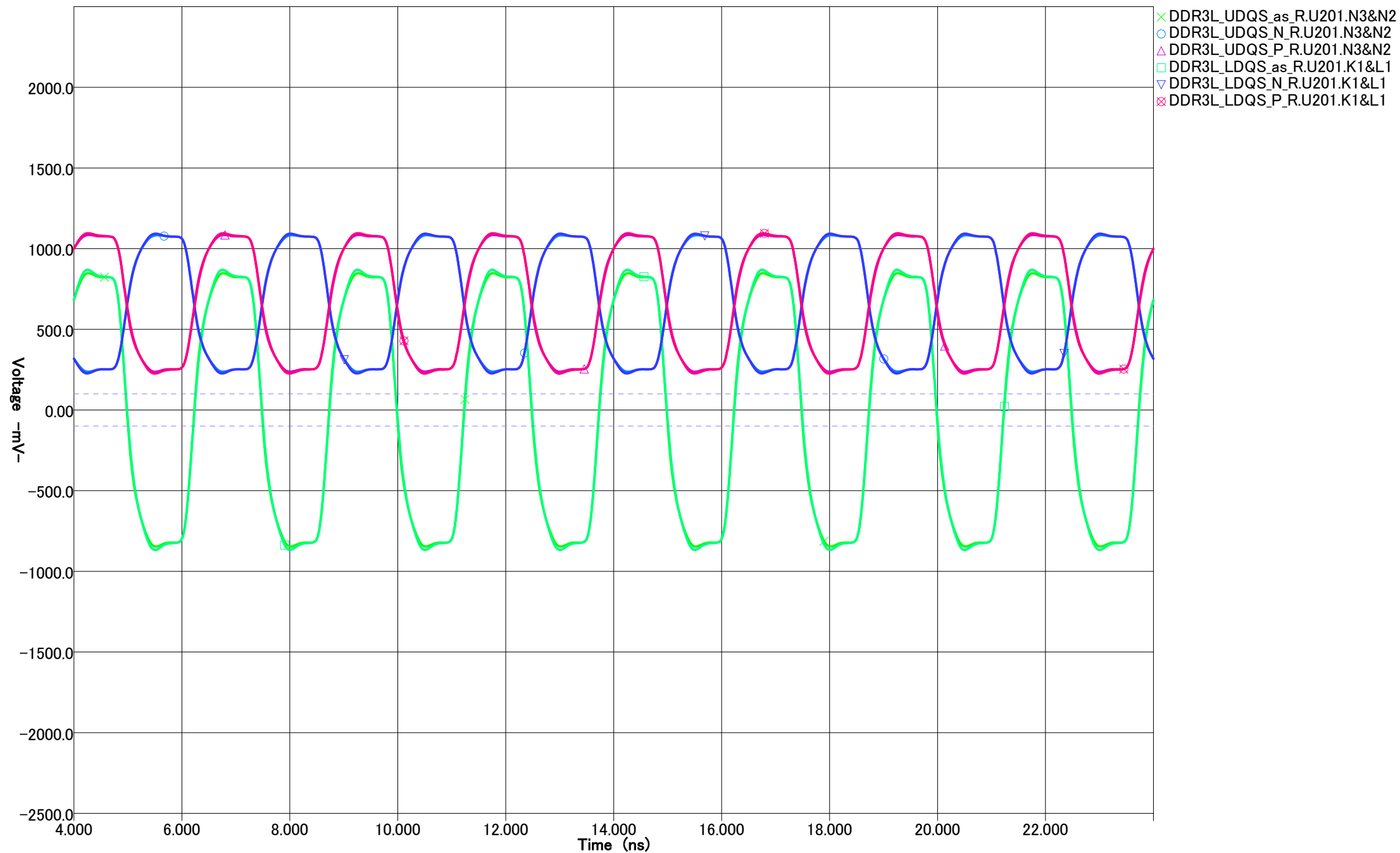
Show Latest Waveform = YES, Show Saved Waveform = YES

OSCILLOSCOPE

Design file: SPARTAN7.FFS Designer: 田村 俊樹

HyperLynx VX.2.4_Update1

Comment: DDR3L_[U,L]DQS [Read] -- 400MHz Drv=34ohm, Rcv=SSTL135_F_HR_IN50 Typical @die



Date: Monday Jul. 8, 2019 Time: 15:34:23

Net name: DDR3L/LDQS

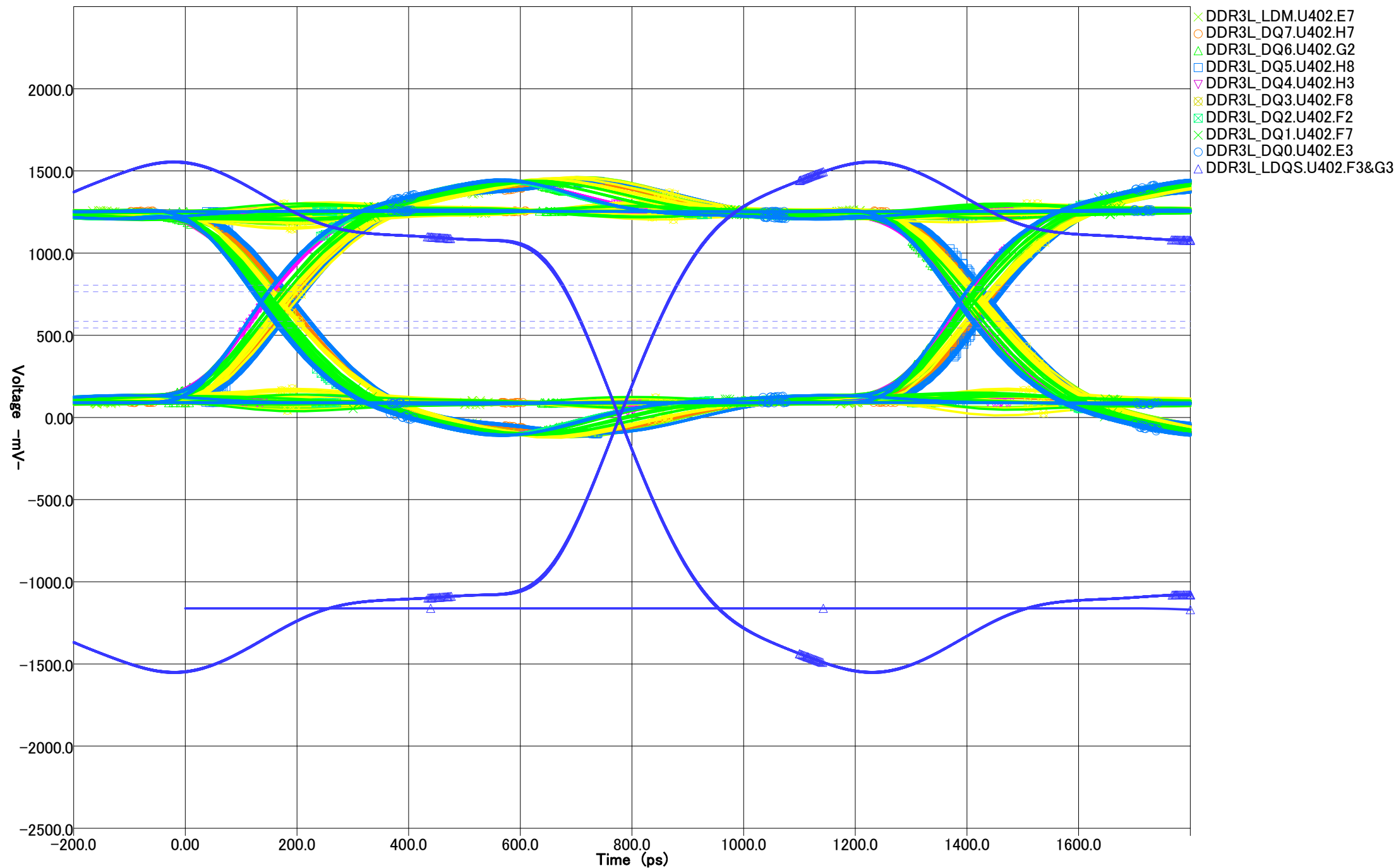
Show Latest Waveform = YES, Show Saved Waveform = YES

OSCILLOSCOPE

Design file: SPARTAN7.FFS Designer: 田村 俊樹

HyperLynx VX.2.4_Update1

Comment: LDQS,DQ[7-0],LDM [Write] -- 400MHz Drv=SSTL135_F_HR(IN50), Rcv=ODT 60ohm Typical @die



Date: Monday Jul. 8, 2019 Time: 15:32:10

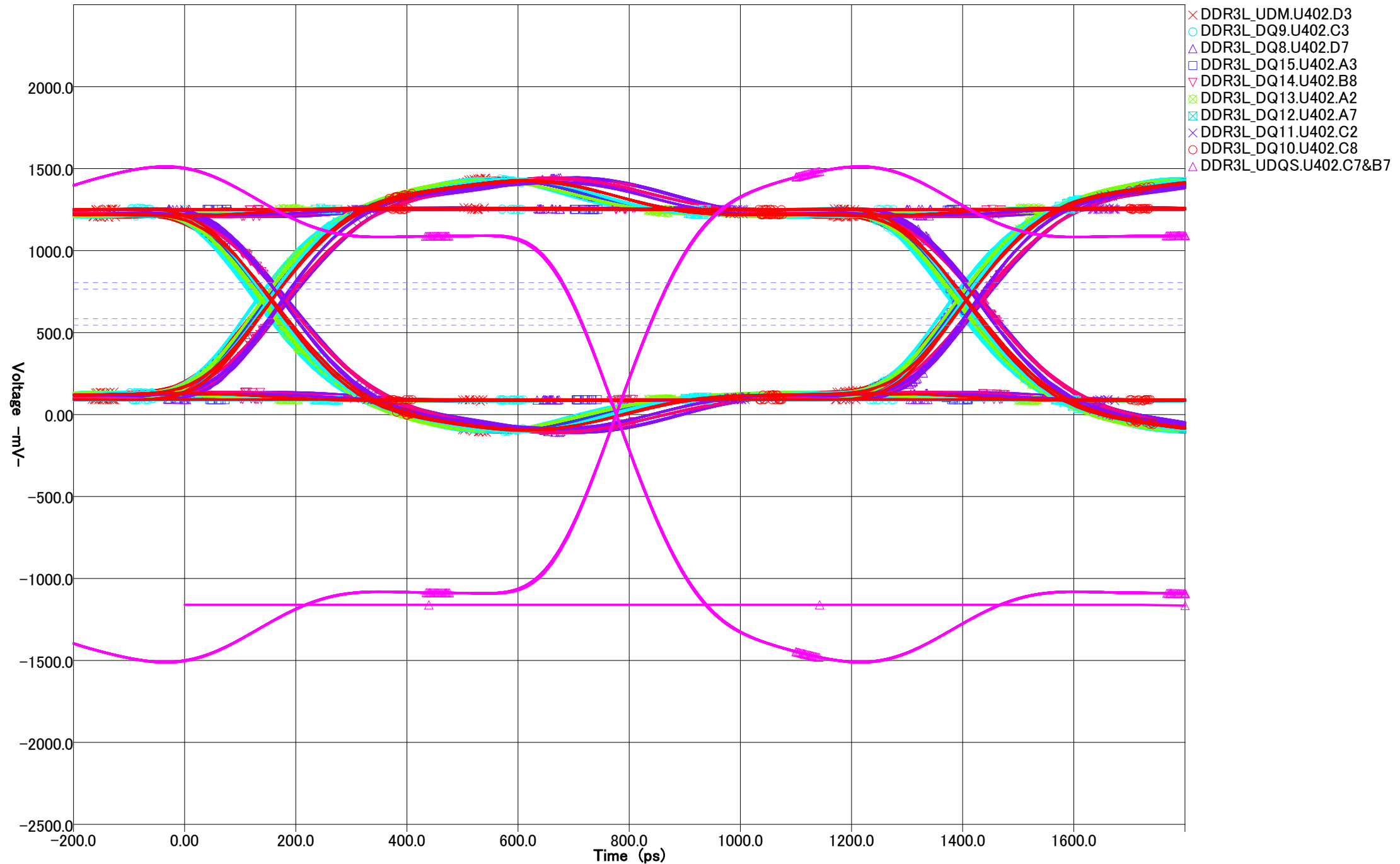
Net name: Net005

OSCILLOSCOPE

Design file: SPARTAN7.FFS Designer: 田村 俊樹

HyperLynx VX.2.4_Update1

Comment: UDQS,DQ[15-8],UDM [Write] -- 400MHz Drv=SSTL135_F_HR(IN50), Rcv=ODT 60ohm Typical @die



Date: Monday Jul. 8, 2019 Time: 15:32:34

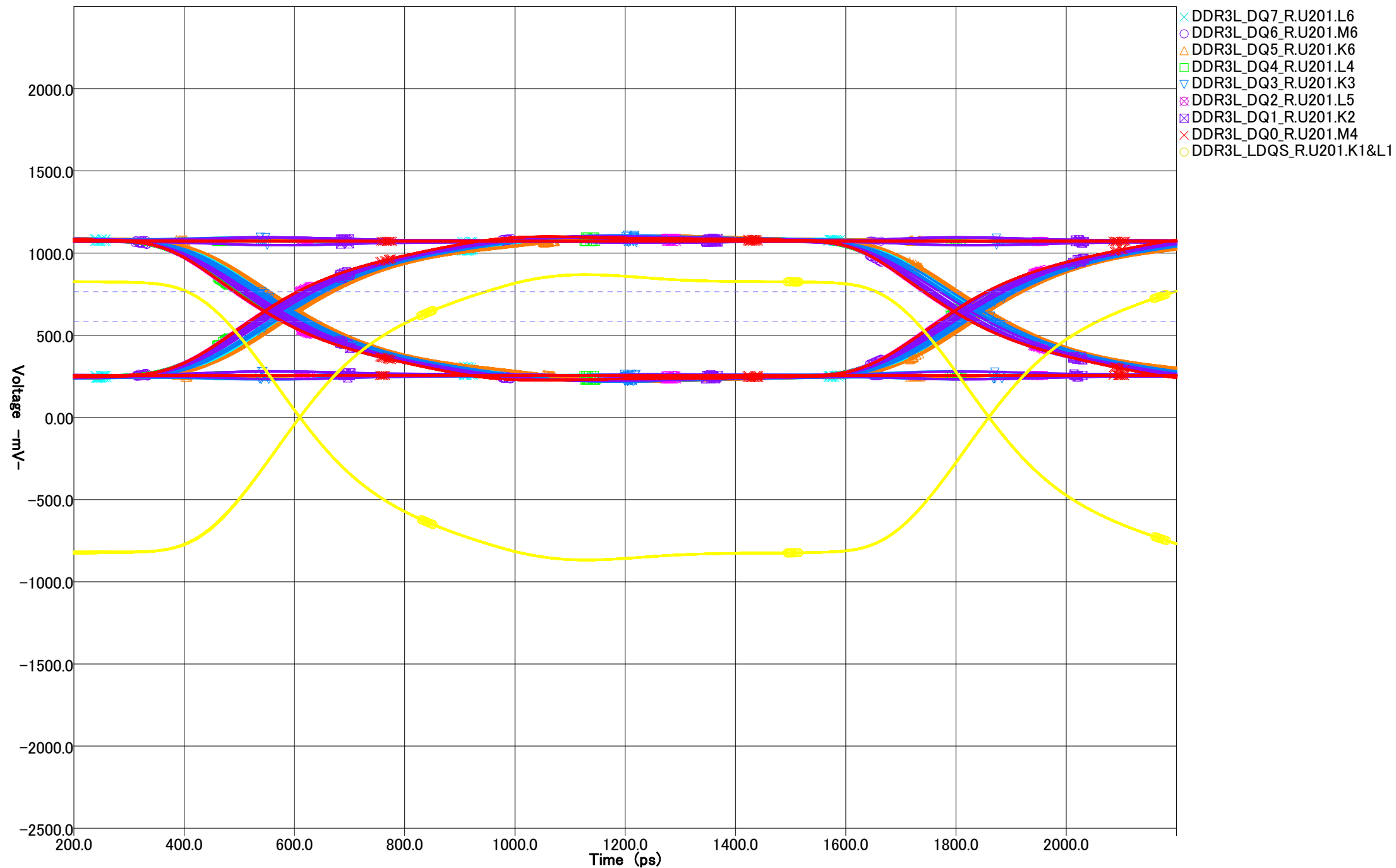
Net name: Net005

OSCILLOSCOPE

Design file: SPARTAN7.FFS Designer: 田村 俊樹

HyperLynx VX.2.4_Update1

Comment: LDQS,DQ[7-0] [Read] -- 400MHz Drv=34ohm, Rcv=SSTL135_F_HR_IN50 Typical @die



Date: Monday Jul. 8, 2019 Time: 15:37:26

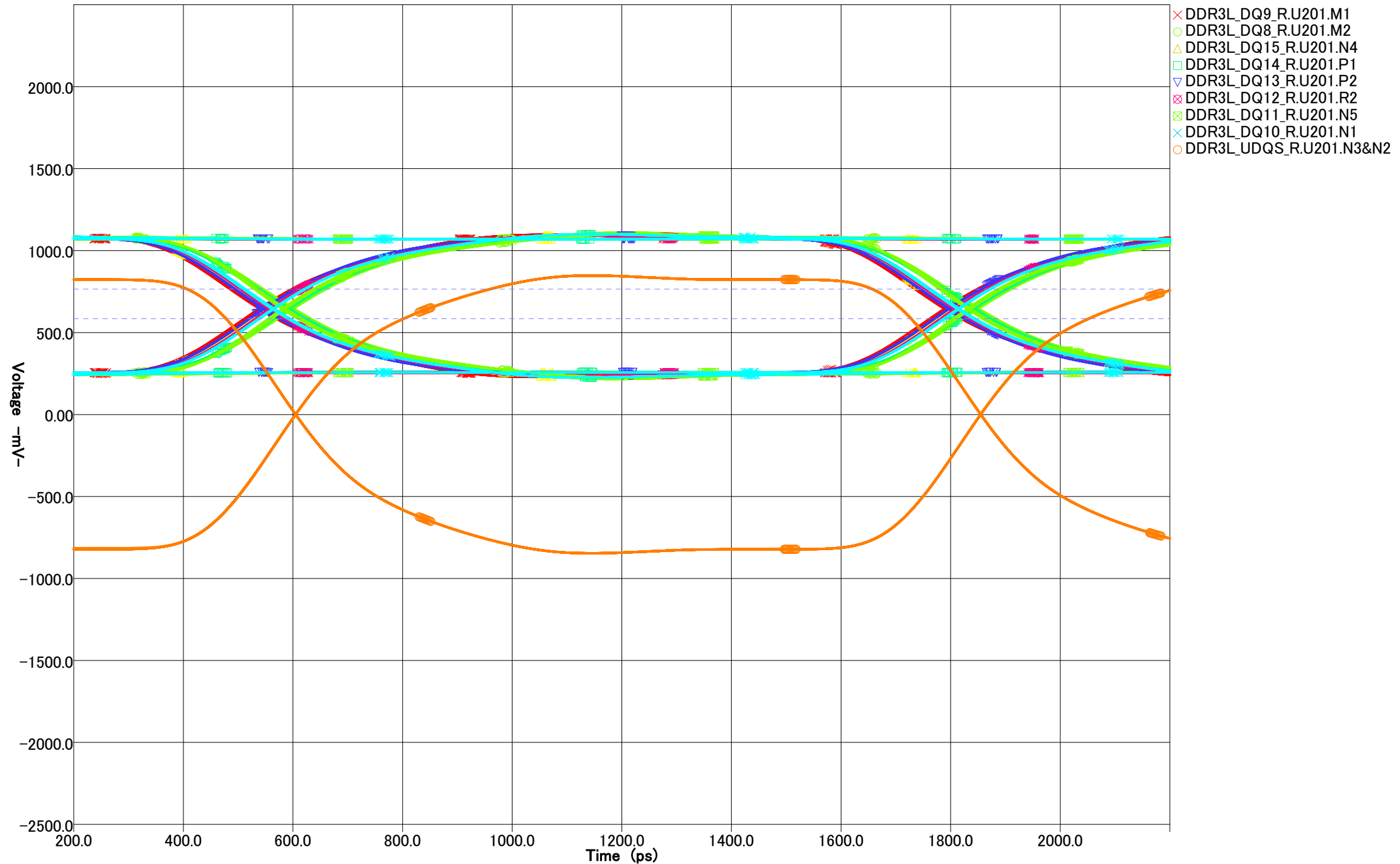
Net name: DDR3L_DQ0

OSCILLOSCOPE

Design file: SPARTAN7.FFS Designer: 田村 俊樹

HyperLynx VX.2.4_Update1

Comment: UDQS,DQ[15-8] [Read] -- 400MHz Drv=34ohm, Rcv=SSTL135_F_HR_IN50 Typical @die



Date: Monday Jul. 8, 2019 Time: 15:37:48

Net name: DDR3L_DQ0