

# Chapter 1

## La tensione di soglia $V_{th}$

La tensione di soglia  $V_{th}$  di un transistor MOS è definita come quella tensione tra gate e bulk per la quale la popolazione di minoritari all'interfaccia è uguale alla popolazione di maggioritari nel bulk. Questa definizione non può essere usata direttamente per il calcolo della tensione di soglia dei dispositivi, ma si deve passare attraverso l'analisi delle misure sperimentali di altri valori, a seconda del metodo utilizzato.

Per lo studio della  $V_{th}$  sono stati presi in considerazione vari metodi, in modo da confrontare i risultati di ciascuno e scegliere quale effettivamente usare per lo studio della degradazione delle prestazioni statiche del chip.

Il primo metodo analizzato è chiamato *Transconductance Change Method*, *TCM*, che definisce la tensione di soglia come la tensione di gate  $V_{GS}$  corrispondente al picco massimo della derivata della transconduttanza  $g_m$  rispetto alla tensione di gate ( $\frac{dg_m}{dV_{GS}}$ ) ed è valido per bassi valori della tensione  $V_{DS}$ . Questa definizione si basa sul fatto che, quando il dispositivo passa dalla regione di debole inversione alla regione di forte inversione, la dipendenza di  $I_D$  rispetto a  $V_{GS}$  passa dall'essere esponenziale all'essere quasi costante. La transconduttanza non è altro che la derivata prima della corrente  $I_D$  rispetto alla tensione  $V_{GS}$ . Dunque la derivata della  $g_m$  corrisponde alla derivata seconda di  $I_D$  che quindi avrà il suo massimo nel punto corrispondente alla tensione per la quale il grafico della corrente passa dalla forma esponenziale a quella quasi costante, ovvero la tensione  $V_{GS} + V_{DS}$ . Se  $V_{DS}$  è piccola, la tensione per la quale la  $g_m$  è massima è molto simile a  $V_{th}$ .

Il secondo metodo analizzato è il *Second Difference of the Logarithm of*

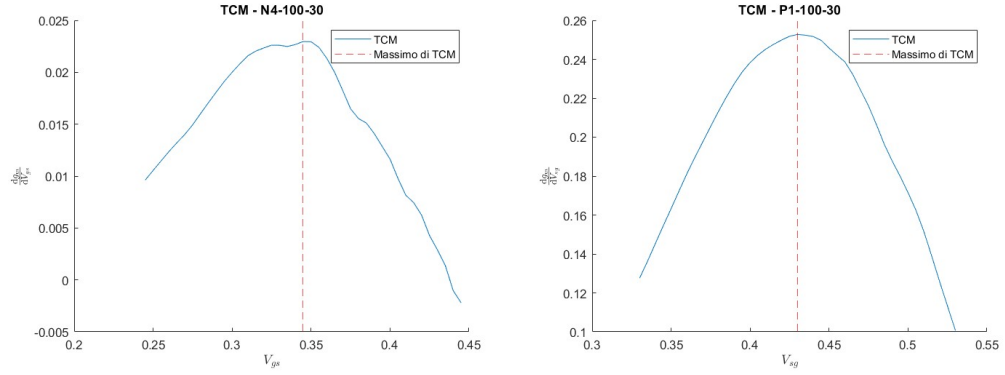


Figure 1.1: Esempio di *TCM* usato su un dispositivo NMOS e un dispositivo PMOS di dimensioni 100-30 a  $V_{DS} = 150mV$

the drain current Minimum method, *SDLM*. Questo metodo definisce la  $V_{th}$  come la tensione  $V_{GS}$  per il quale si ha il picco minimo della derivata seconda del logaritmo naturale di  $I_D$  ripetuto alla tensione di gate ( $\frac{d^2 \ln I_D}{dV_{GS}^2}$ ) e vale solo per alti valori di  $V_{DS}$ .

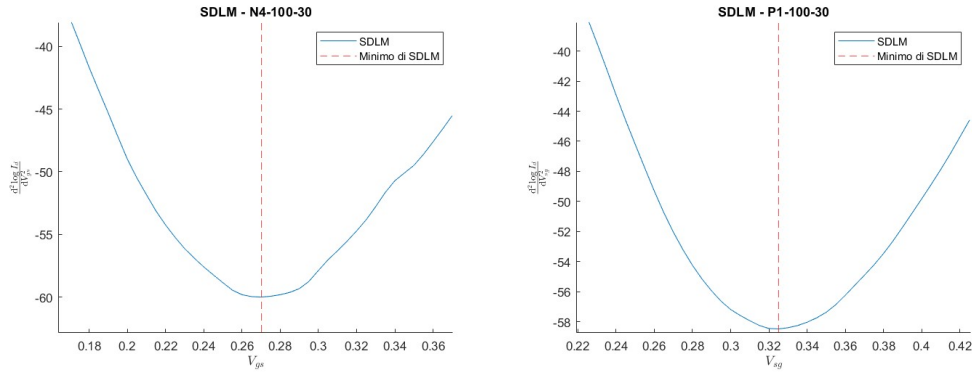


Figure 1.2: Esempio di *SDLM* usato su un dispositivo NMOS e un dispositivo PMOS di dimensioni 100-30 a  $V_{DS} = 900mV$

I due metodi appena esposti, però, sono molto sensibili ai picchi dovuti ad errori di misura e perciò sono difficilmente utilizzabili se prima non si rendono i grafici più puliti. Inoltre, la risoluzione del dispositivo di misura utilizzato e di  $5mV$ , il che rende i valori ottenuti della  $V_{th}$  molto approssimativi. Per far

fronte a questi due problemi, si è scelto di non tenere conto del minimo e del massimo direttamente ottenuti dalle derivate delle misure fatte, ma di interpolare prima i punti dei grafici ottenuti con una funzione polinomiale e solo a questo punto di prendere in considerazione i picchi di minimo o di massimo.

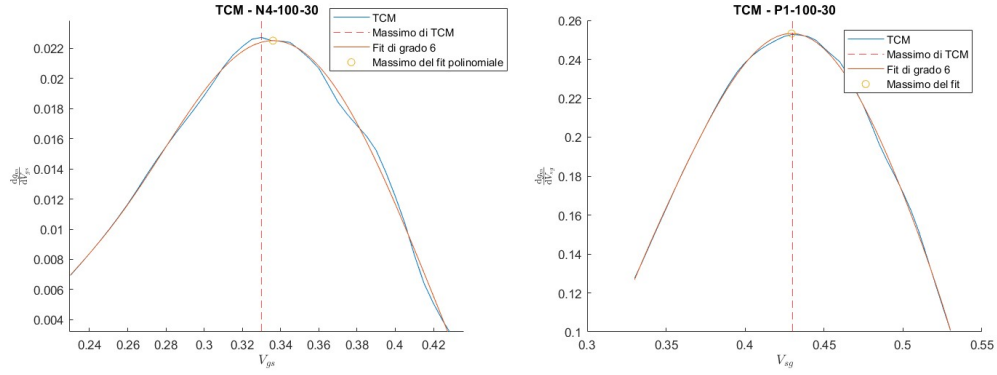


Figure 1.3: Esempio di *TCM* con fit polinomiale usato su un dispositivo NMOS e un dispositivo PMOS di dimensioni 100-30 a  $V_{DS} = 150mV$

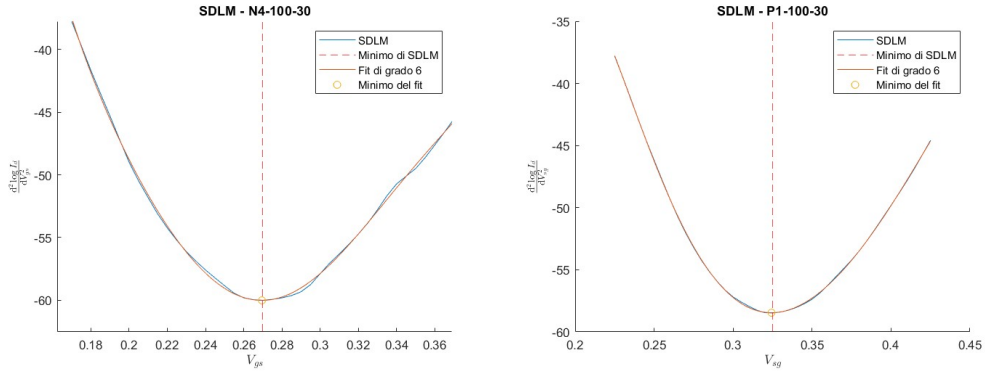


Figure 1.4: Esempio di *SDLM* con fit polinomiale usato su un dispositivo NMOS e un dispositivo PMOS di dimensioni 100-30 a  $V_{DS} = 900mV$

Per valutare l'accuratezza di questi due metodi si sono quindi calcolate le  $V_{th}$  relative ai dispositivi di un PMOS, ottenendo i risultati seguenti:

Dispositivo	TCM ( $V_{SD} = 150mV$ )	SDLM ( $V_{SD} = 900mV$ )
100 - 30	0.4806 V	0.4414 V
100 - 60	0.4693 V	0.4116 V
200 - 30	0.3993 V	0.2965 V
200 - 60	0.4535 V	0.4049 V
200 - 180	0.4953 V	0.4493 V
600 - 30	0.3859 V	0.2897 V
600 - 60	0.4347 V	0.3918 V
600 - 180	0.4806 V	0.4414 V

In generale i risultati sono abbastanza simili tra le due colonne, per cui si potrebbe prendere in considerazione uno di questi due metodi per estrarre le tensioni di soglia e studiarne la degradazione.

È stato però notato un problema non indifferente: il valore della  $V_{th}$  estratta dipende dal grado della funzione polinomiale che interpola i punti delle derivate usate per SDLM e TCM. La differenza dei valori estratti al variare del grado non è molto alta, si parla di pochi millivolt, perciò non influenza considerevolmente il valore della singola estrazione. Questa dipendenza, però, è problematica nel momento in cui si vuole studiare con precisione la degradazione della prestazioni di un dispositivo all'aumentare dell'irraggiamento subito, in quanto piccoli spostamenti del valore di  $V_{th}$  dovuti alla scelta arbitraria del grado della polinomiale può far variare eccessivamente le differenze della misure tra un irraggiamento e l'altro, elemento inaccettabile se si considera che già le misure sono influenzate da errori casuali in fase di misura.

Come esempio si riporta il caso della *SDLM* di un PMOS di dimensioni 600-30 con funzione polinomiale interpolatrice di grado 2, 4, 6 e 8. I valori della  $V_{th}$  ottenuti sono:

Grado della polinomiale	$V_{th}[mV]$
2	296.0
4	291.4
6	299.7
8	298.1

Per questo motivo si è valutato di utilizzare un terzo metodo: l'*Extrapolation in the Linear Region method*, *ELR*, con il quale si ottiene la misura della  $V_{th}$  attraverso l'analisi della caratteristica  $I_D - V_{GS}$ . Tale grafico presenta un punto di flesso attorno al quale il grafico è linearizzabile. Tracciando il fit

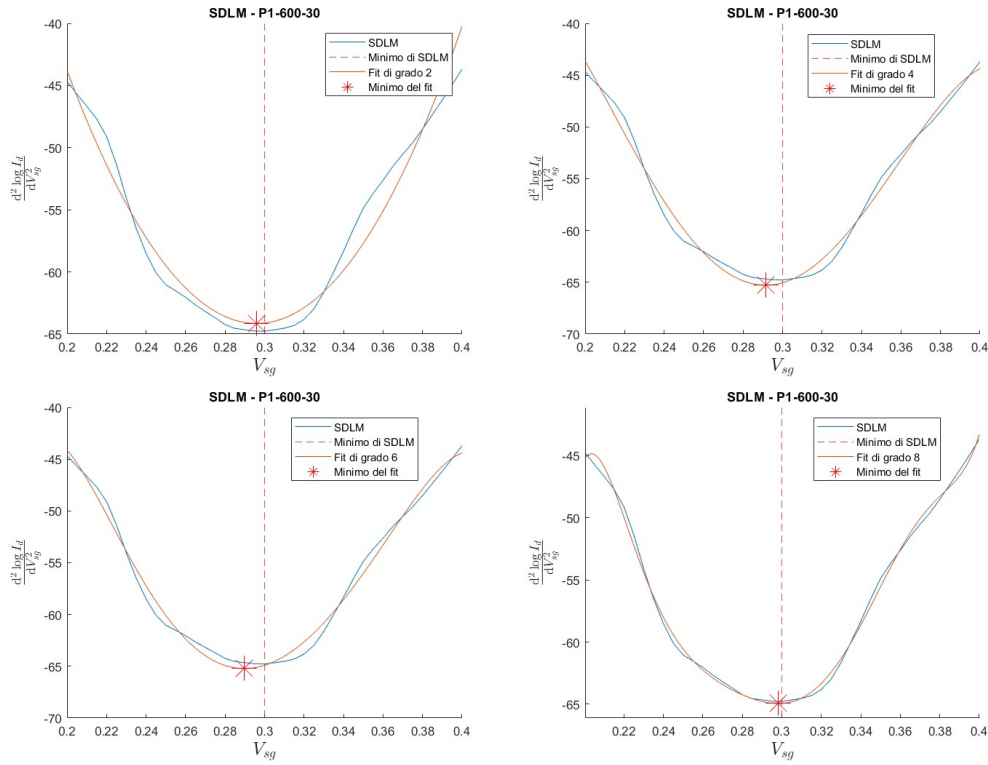


Figure 1.5: Emempi di grafici di *SDLM* su un PMOS di dimensioni 600-30 con fit polinomiale di diversi gradi

lineare nell'introno del punto di flesso si ottiene una retta che interseca l'asse delle ascisse, ovvero quello di  $V_{GS}$ , in un punto il cui valore corrisponde a quello della  $V_{th}$ .

Di per sè, questo metodo è meno preciso di quelli esposti precedentemente, però è più affidabile nella misura delle differenze di  $V_{th}$  man mano che i dispositivi vengono irraggiati.

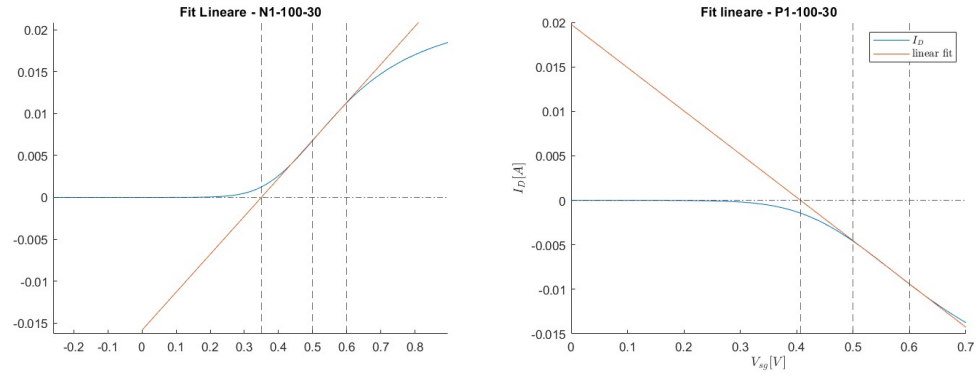


Figure 1.6: Fit lineare della caratteristica  $I_D$ - $V_{GS}$  a  $V_{DS} = 150mV$  di un NMOS e di un PMOS di dimensioni 100-30 nell'intorno  $[0, 4V; 0, 6V]$  di  $V_{GS}$