

# Capitolo 1

## Estrazione dei parametri statici

### 1.1 Tensione di soglia

La tensione di soglia  $V_{th}$  di un transistor MOS è definita come quella tensione tra gate e bulk per la quale la popolazione di minoritari all'interfaccia è uguale alla popolazione di maggioritari nel bulk. Questa definizione non può essere usata direttamente per il calcolo della tensione di soglia dei dispositivi, ma si deve passare attraverso l'analisi delle caratteristiche corrente-tensione dei dispositivi.

Per l'estrazione del parametro  $V_{th}$  esistono numerosi metodi, ognuno con punti di forza e punti di debolezza diversi. La scelta di quale metodo utilizzare non è banale e per farla occorre analizzare le caratteristiche di ciascun metodo e confrontare i risultati che offrono. Per questo studio sono stati presi in considerazione:

- *Transconductance Change Method (TCM)*;
- *Second Difference of the Logarithm of the drain current Minimum method (SDLM)*;
- *Extrapolation in the Linear Region method (ELR)*.

#### 1.1.1 Transconductance Change Method

Il *Transconductance Change Method*, *TCM*, definisce la tensione di soglia come la tensione di gate  $V_{GS}$  corrispondente al picco massimo della derivata della transconduttanza  $g_m$  rispetto alla tensione di gate ( $\frac{dg_m}{dV_{GS}}$ ) ed è valido

per bassi valori della tensione  $V_{DS}$ .

Questa definizione si basa sul fatto che, quando il dispositivo passa dalla regione di debole inversione alla regione di forte inversione, la dipendenza della corrente di drain rispetto a  $V_{GS}$  passa dall'essere esponenziale all'essere quasi costante. La transconduttanza è definita come la derivata prima della corrente  $I_D$  rispetto alla tensione  $V_{GS}$ , dunque la derivata della  $g_m$  corrisponde alla derivata seconda di  $I_D$ . Per questo motivo, il massimo di  $\frac{dg_m}{dV_{GS}}$  coincide con la tensione alla quale il grafico della corrente passa dalla forma esponenziale a quella quasi costante, ovvero la tensione  $V_{GS} + V_{DS}$ . Se  $V_{DS}$  è piccola, la tensione per la quale la  $g_m$  è massima è molto simile a  $V_{th}$ .

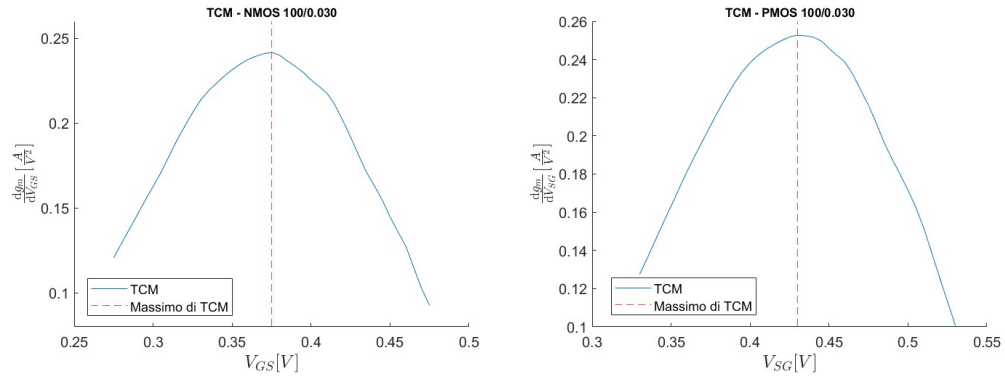


Figura 1.1: Esempio di *TCM* usato su un dispositivo NMOS e un dispositivo PMOS di dimensioni 100-30 a  $V_{DS} = 150mV$

*TCM*, poiché si basa sul massimo di una funzione, è molto sensibile ai picchi dovuti ad errori di misura e perciò non è molto affidabile: è quindi necessario rendere la funzione studiata meno dipendente dai campionamenti fuori scala. Inoltre, la risoluzione del dispositivo di misura utilizzato è di  $5mV$ , il che rende i valori ottenuti della  $V_{th}$  molto approssimativi. Per far fronte a questi due problemi, si è scelto di non tenere conto del massimo direttamente ottenuto dallo studio di  $\frac{dg_m}{dV_{GS}}$  ottenuto dai valori delle misure, ma di interpolare prima i punti del grafico con una funzione polinomiale e, solo a questo punto, di prendere in considerazione il picco di massimo.

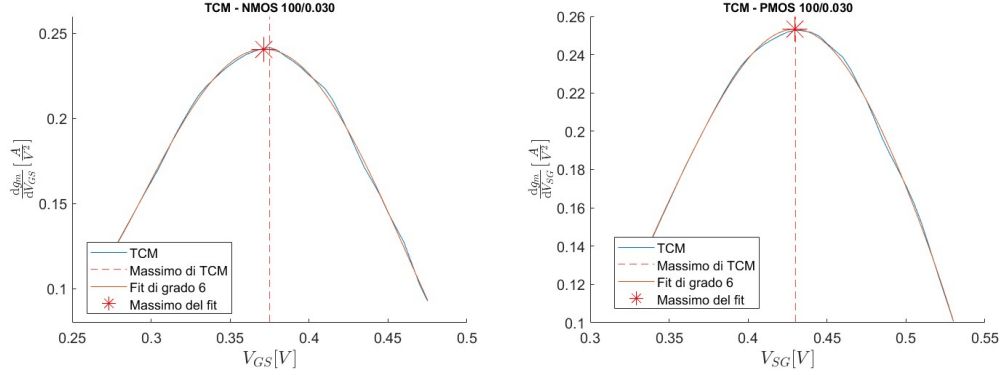


Figura 1.2: Esempio di *TCM* con fit polinomiale usato su un dispositivo NMOS e un dispositivo PMOS di dimensioni 100-30 a  $V_{DS} = 150mV$

Lo studio del fit polinomiale risolve il problema della bassa risoluzione di misura e il problema della presenza di valori fuori scala, ma presenta una potenziale nuovo problema: il valore della  $V_{th}$  calcolata potrebbe variare significativamente al variare del grado della funzione polinomiale interpolante. Prendendo come esempio i dispositivi PMOS, si è studiato quanto cambia il valore della tensione di soglia al variare del grado del fit polinomiale, prendendo in considerazione i gradi di valore 2, 4, 6 e 8, tabella 1.1.

Osservando i valori nella tabella 1.1, si può notare che la tensione di soglia ottenuta non varia molto nel caso dei fit fatti con polinomiali di grado 4, 6 e 8: è raro che la differenza tra questi valori superi  $1mV$ . Non si può dire la stessa cosa per le  $V_{th}$  calcolate con fit di grado 2: in questo caso la funzione interpolante ha un grado troppo basso per seguire in modo coerente la curva  $\frac{dgm}{dV_{GS}}$  e quindi il massimo risulta essere sia molto diverso da quelli calcolati con fit di grado maggiore, sia da quello di ottenuto senza fit. Dunque di sicuro usare un fit di grado 2 porta a risultati scorretti, mentre usare un fit di grado superiore dovrebbe portare a risultati sicuramente accettabili. Per il confronto con altri metodi per l'estrazione della  $V_{th}$  si terrà quindi conto del TCM con fit polinomiale di grado 6, tabella 1.2.

Dispositivo	$V_{th}[mV]$ con grado:			
	2	4	6	8
100 - 30	426.9	429.4	429.4	430.8
100 - 60	467.6	469.5	469.3	468.9
200 - 30	495.6	495.6	495.3	495.5
200 - 60	397.8	399.7	399.3	399.8
200 - 180	452.2	454.1	453.5	453.5
600 - 30	478.5	480.8	480.6	480.0
600 - 60	383.0	387.4	385.9	386.2
600 - 180	431.1	434.3	434.7	435.6

Tabella 1.1: Confronto dei valori di  $V_{th}$  dei dispositivi PMOS ottenuti con *TCM* con fit polinomiale di diversi gradi

Dispositivo	$V_{th}[mV]$						
	pre	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad
100 - 30	429.4	430.7	432.2	434.4	439.0	452.6	459.4
100 - 60	469.3	469.6	471.4	472.7	479.7	491.8	500.8
200 - 30	495.3	497.1	503.9	506.5	511.3	524.1	535.3
200 - 60	399.3	401.0	403.1	404.8	410.2	422.3	429.8
200 - 180	453.5	455.2	456.2	458.6	463.8	476.9	485.8
600 - 30	480.6	481.5	483.7	486.0	492.0	507.2	519.6
600 - 60	385.9	386.6	388.8	391.0	394.5	405.5	412.3
600 - 180	434.7	435.4	438.5	438.9	445.6	458.4	467.8

Tabella 1.2:  $V_{th}$  dei dispositivi PMOS estratte con *TCM*

### 1.1.2 Second Difference of the Logarithm of the drain current Minimum method

Il secondo metodo analizzato è il *Second Difference of the Logarithm of the drain current Minimum method*, *SDLM*. Questo metodo definisce la  $V_{th}$  come la tensione  $V_{GS}$  per la quale si ha il picco minimo della derivata seconda del logaritmo naturale di  $I_D$  ripetuto alla tensione di gate ( $\frac{d^2 \ln I_D}{dV_{GS}^2}$ ) e vale solo per alti valori di  $V_{DS}$ .

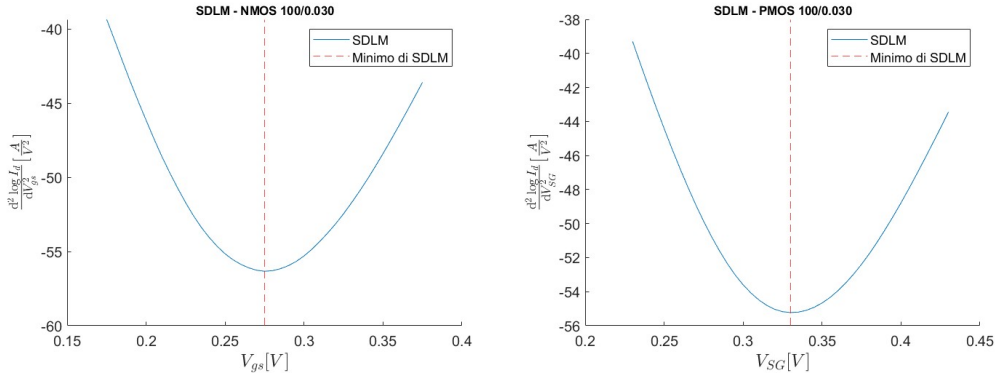


Figura 1.3: Esempio di *SDLM* usato su un dispositivo NMOS e un dispositivo PMOS di dimensioni 100-30 a  $V_{DS} = 900mV$

I due metodi appena esposti, però, sono molto sensibili ai picchi dovuti ad errori di misura e perciò sono difficilmente utilizzabili se prima non si rendono i grafici più puliti. Inoltre, la risoluzione del dispositivo di misura utilizzato è di  $5mV$ , il che rende i valori ottenuti della  $V_{th}$  molto approssimativi. Per far fronte a questi due problemi, si è scelto di non tenere conto del minimo e del massimo direttamente ottenuti dalle derivate delle misure fatte, ma d'interpolare prima i punti dei grafici ottenuti con una funzione polinomiale e solo a questo punto di prendere in considerazione i picchi di minimo o di massimo.

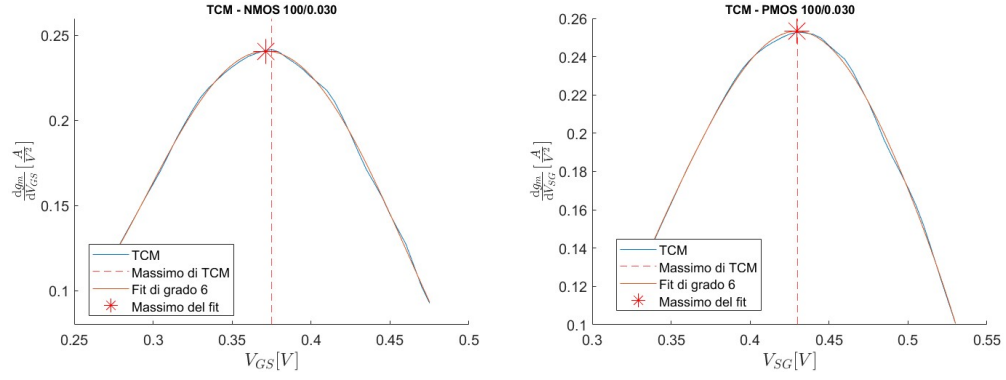


Figura 1.4: Esempio di *TCM* con fit polinomiale usato su un dispositivo NMOS e un dispositivo PMOS di dimensioni 100-30 a  $V_{DS} = 150mV$

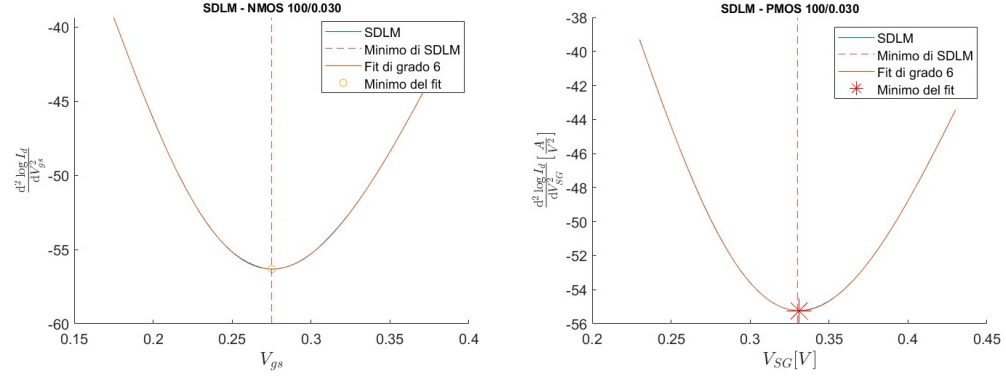


Figura 1.5: Esempio di *SDLM* con fit polinomiale usato su un dispositivo NMOS e un dispositivo PMOS di dimensioni 100-30 a  $V_{DS} = 900mV$

Per valutare l'accuratezza di questi due metodi si sono quindi calcolate le  $V_{th}$  relative ai dispositivi di un PMOS, ottenendo i risultati seguenti:

Dispositivo	$V_{th}[mV]$ calcolata con TCM ( $V_{SD} = 150mV$ )	$V_{th}[mV]$ calcolata con SDLM ( $V_{SD} = 900mV$ )
100 - 30	480.6	441.4
100 - 60	469.3	411.6
200 - 30	399.3	296.5
200 - 60	453.5	404.9
200 - 180	495.3	449.3
600 - 30	385.9	289.7
600 - 60	434.7	391.8
600 - 180	480.6	441.4

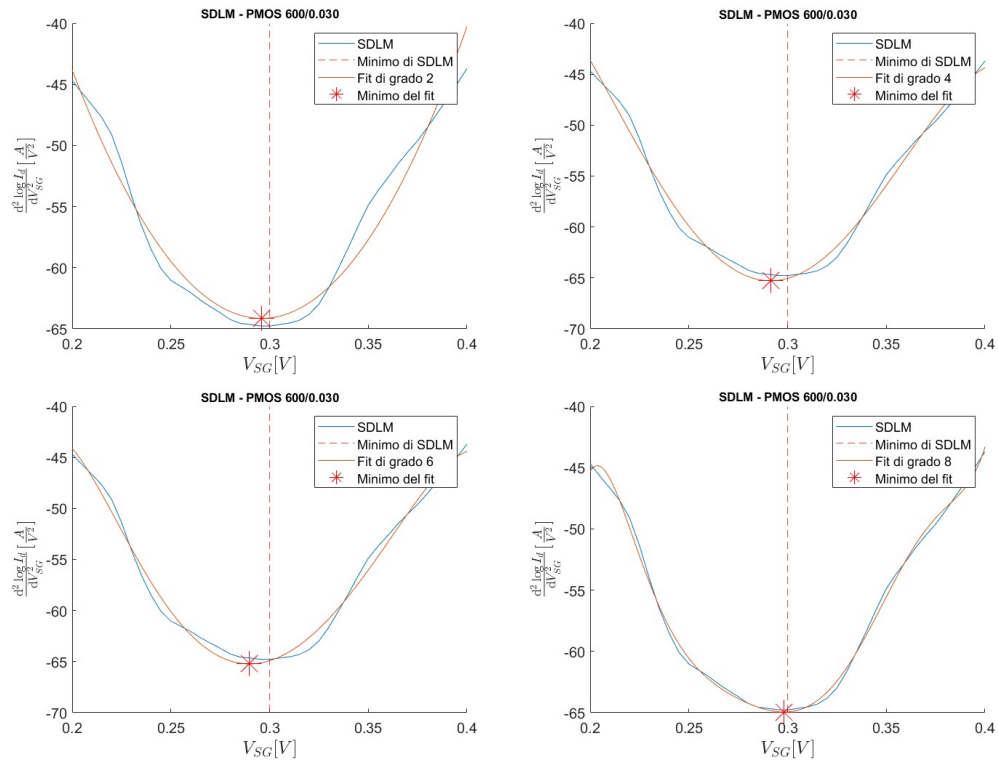
Tabella 1.3: Valori di  $V_{th}$  per i diversi dispositivi e con i metodi TCM e SDLM.

In generale i risultati sono abbastanza simili tra le due colonne, per cui si potrebbe prendere in considerazione uno di questi due metodi per estrarre le tensioni di soglia e studiarne la degradazione.

È stato però notato un problema non indifferente: il valore della  $V_{th}$  estratta dipende dal grado della funzione polinomiale che interpola i punti delle derivate usate per SDLM e TCM. La differenza dei valori estratti al variare del grado non è molto alta, si parla di pochi millivolt, perciò non influenza considerevolmente il valore della singola estrazione. Questa dipendenza, però, è problematica nel momento in cui si vuole studiare con precisione la degradazione delle prestazioni di un dispositivo all'aumentare dell'irraggiamento subito, in quanto piccoli spostamenti del valore di  $V_{th}$  dovuti alla scelta arbitraria del grado della polinomiale può far variare eccessivamente le differenze delle misure tra un irraggiamento e l'altro, elemento inaccettabile se si considera che già le misure sono influenzate da errori casuali in fase di misura.

Come esempio si riporta il caso della *SDLM* di un PMOS di dimensioni 600-30 con funzione polinomiale interpolatrice di grado 2, 4, 6 e 8. I valori della  $V_{th}$  ottenuti sono:

Grado della polinomiale	$V_{th}[mV]$
2	296.0
4	291.4
6	289.7
8	298.1

Tabella 1.4: Valori di  $V_{th}$  per diverse gradi di polinomiale.Figura 1.6: Esempi di grafici di  $SDLM$  su un PMOS di dimensioni 600-30 con fit polinomiale di diversi gradi

Per questo motivo si è valutato di utilizzare un terzo metodo: l'*Extrapolation in the Linear Region method, ELR*, con il quale si ottiene la misura della  $V_{th}$  attraverso l'analisi della caratteristica  $I_D - V_{GS}$ . Tale grafico presenta un punto di flesso attorno al quale il grafico è linearizzabile. Tracciando il fit lineare nell'introno del punto di flesso si ottiene una retta che interseca l'asse



delle ascisse, ovvero quello di  $V_{GS}$ , in un punto il cui valore corrisponde a quello della  $V_{th}$ .

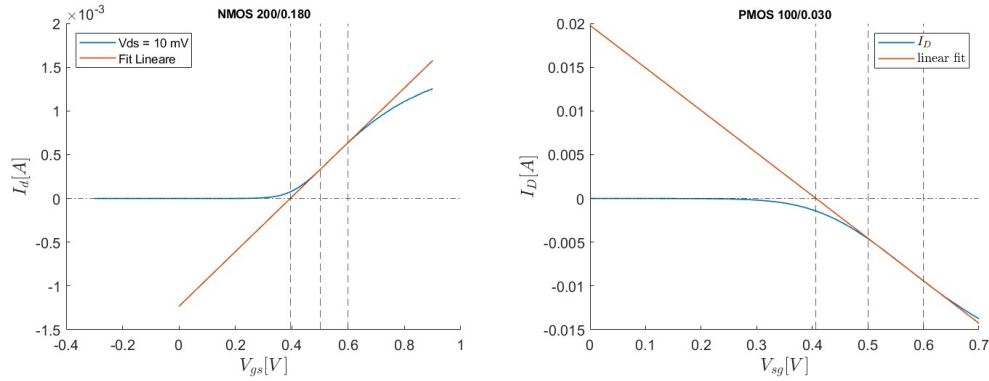


Figura 1.7: Fit lineare della caratteristica  $I_D$ - $V_{GS}$  a  $V_{DS} = 150mV$  di un NMOS e di un PMOS di dimensioni 100-30 nell'intorno  $[0, 4V; 0, 6V]$  di  $V_{GS}$

Di per sé, questo metodo è meno preciso di quelli esposti precedentemente, però è più affidabile nella misura delle differenze di  $V_{th}$  man mano che i dispositivi vengono irraggiati. Problema con le resistenze parassite