



## Università degli Studi di Bergamo

---

SCUOLA DI INGEGNERIA

Corso di Laurea Triennale in Ingegneria Informatica  
Classe n. L-8 Ingegneria dell'informazione (D.M. 270/04)

# Studio degli effetti delle radiazioni ionizzanti su una tecnologia CMOS da $28nm$

Candidati

**Nicola Cattaneo**

Matricola 1081073

**Emilio Meroni**

Matricola 1080976

Relatore

**Prof. Gianluca Traversi**



# Indice

<b>Introduzione</b>	<b>1</b>
<b>1 Il transistore MOSFET</b>	<b>3</b>
1.1 Transistore MOSFET . . . . .	3
1.1.1 Regioni di funzionamento e caratteristica $I - V$ . . . . .	4
1.1.2 Modello per piccolo segnale e sorgenti di rumore . . . . .	5
1.2 Effetti delle radiazioni sui transistori MOSFET . . . . .	8
1.2.1 Danno da spostamento . . . . .	8
1.2.2 Ionizzazione . . . . .	8
1.2.3 Misura della dose . . . . .	10
<b>2 Studio sperimentale</b>	<b>11</b>
2.1 MOSFET misurati e setup per le misure statiche . . . . .	11
2.2 Caratteristiche tensione-corrente . . . . .	13
2.3 Variazione della tensione di soglia . . . . .	16
2.3.1 TCM . . . . .	16
2.3.2 SDLM . . . . .	22
2.3.3 ELR . . . . .	27
2.3.4 RM . . . . .	31
2.3.5 Riepilogo . . . . .	35
2.4 Variazione della transconduttanza . . . . .	37
2.4.1 Calcolo della transconduttanza . . . . .	37
2.5 Variazione della corrente di leakage . . . . .	42
2.6 Variazione della corrente $I_{on}$ . . . . .	45
2.7 Guadagno Intrinseco . . . . .	48
<b>Conclusioni</b>	<b>51</b>
<b>Bibliografia</b>	<b>53</b>



# Elenco delle figure

1.1	Struttura dei MOSFET . . . . .	3
1.2	Caratteristica $I - V$ di un MOSFET a canale N . . . . .	4
1.3	Modello piccolo segnale . . . . .	6
1.4	Lacune nella $STI$ . . . . .	9
1.5	Scaling dei dispositivi elettronici . . . . .	10
2.1	Caratteristica $I_D - V_{DS}$ NMOS e PMOS . . . . .	14
2.2	Caratteristica $I_D - V_{GS}$ NMOS e PMOS . . . . .	15
2.3	Applicazione TCM senza fit polinomiale . . . . .	17
2.4	Applicazione TCM con fit polinomiale di sesto grado . . . . .	17
2.5	Dati $\Delta V_{th}$ estratti con TCM . . . . .	21
2.6	Applicazione SDLM senza fit polinomiale . . . . .	22
2.7	Confronto SDLM tra diversi fit polinomiali a diversi gradi . . . . .	23
2.8	Dati $\Delta V_{th}$ estratti con SDLM . . . . .	26
2.9	Applicazione ELR . . . . .	27
2.10	Dati $\Delta V_{th}$ estratti con ELR . . . . .	30
2.11	Applicazione RM . . . . .	31
2.12	Dati $\Delta V_{th}$ estratti con RM . . . . .	34
2.13	Confronto curve della $V_{th}$ dei diversi metodi utilizzati al variare della dose	36
2.14	$\Delta V_{th}$ al variare della dose per diversi metodi di estrazione . . . . .	36
2.15	Confronto $g_m$ senza utilizzo di smooth e con utilizzo di smooth . . . . .	38
2.16	Dati $g_m$ estratti pre-irraggiamento . . . . .	39
2.17	Dati $\% \Delta g_m$ al variare della dose . . . . .	41
2.18	Confronto della $I_{off}$ di diversi dispositivi NMOS . . . . .	43
2.19	Confronto <i>leakage current</i> tra dispositivi NMOS e PMOS . . . . .	43
2.20	$\Delta I_{off}$ al variare della dose assorbita, NMOS e PMOS . . . . .	44
2.21	Dati $\% \Delta I_{on}$ a $V_{DS} = 450mV$ . . . . .	46
2.22	Dati $\% \Delta I_{on}$ a $V_{DS} = 900mV$ . . . . .	47
2.23	Variazione del guadagno intrinseco pre e pos irraggiamento . . . . .	49



# Elenco delle tabelle

2.1	Dimensioni dei dispositivi presenti in ciascun chip usato per lo studio . . . . .	12
2.2	Valori delle tensioni per la misura della caratteristica $I_D - V_{DS}$ . . . . .	12
2.3	Valori delle tensioni per la misura della caratteristica $I_D - V_{GS}$ . . . . .	13
2.4	Confronto $V_{th}$ al variare del grado del fit polinomiale con il metodo TCM	18
2.5	$V_{th}$ dei dispositivi NMOS estratte con TCM . . . . .	19
2.6	$\Delta V_{th}$ dei dispositivi NMOS estratte con TCM . . . . .	19
2.7	$ V_{th} $ dei dispositivi PMOS estratte con TCM . . . . .	20
2.8	$\Delta V_{th}$ dei dispositivi PMOS estratte con TCM . . . . .	20
2.9	Confronto $ V_{th} $ al variare del grado del fit polinomiale con il metodo SDLM	23
2.10	$V_{th}$ dei dispositivi NMOS estratte con SDLM . . . . .	24
2.11	$\Delta V_{th}$ dei dispositivi NMOS estratte con SDLM . . . . .	24
2.12	$ V_{th} $ dei dispositivi PMOS estratte con SDLM . . . . .	25
2.13	$\Delta V_{th}$ dei dispositivi PMOS estratte con SDLM . . . . .	25
2.14	$V_{th}$ dei dispositivi NMOS estratte con ELR . . . . .	28
2.15	$\Delta V_{th}$ dei dispositivi NMOS estratte con ELR . . . . .	28
2.16	$ V_{th} $ dei dispositivi PMOS estratte con ELR . . . . .	29
2.17	$\Delta V_{th}$ dei dispositivi PMOS estratte con ELR . . . . .	29
2.18	$V_{th}$ dei dispositivi NMOS estratte con RM . . . . .	32
2.19	$\Delta V_{th}$ dei dispositivi NMOS estratte con RM . . . . .	32
2.20	$ V_{th} $ dei dispositivi PMOS estratte con RM . . . . .	33
2.21	$\Delta V_{th}$ dei dispositivi PMOS estratte con RM . . . . .	33
2.22	Dati $\% \Delta g_m$ al variare della dose assorbita, NMOS . . . . .	40
2.23	Dati $\% \Delta g_m$ al variare della dose assorbita, PMOS . . . . .	40
2.24	Valori estratti $I_z^*$ . . . . .	48



# Introduzione

Uno degli elementi principali delle componenti elettroniche è il transistore, ovvero un dispositivo a stato solido composto da materiali semiconduttori che sfrutta le proprietà fisiche della giunzione P-N per assumere il ruolo di amplificatore, di interruttore oppure di resistenza variabile. Esso è impiegato in svariati campi, dall'automazione industriale all'aviazione, dalle telecomunicazioni fino all'ambito medico. Esistono diversi tipi di transistore che si differenziano per la loro struttura e, di conseguenza, per il loro funzionamento e utilizzo. I principali sono:

- *Bipolar Junction Transistor (BJT)*,
- *Junction Field-Effect Transistor (JFET)*,
- *Metal-Oxide-Semiconductor Field-Effect Transistor (MOSFET)*.

Il dispositivo più diffuso oggigiorno è il MOSFET, che viene fabbricato in tecnologia CMOS (*Complementary metal-oxide-semiconductor*), costituita da MOSFET a canale N e a canale P. Nel corso degli ultimi decenni, l'evoluzione della tecnologia CMOS ha consentito la miniaturizzazione dei dispositivi con conseguente riduzione dei consumi per singolo transistore e un forte incremento di dispositivi per unità di area.

L'obiettivo di questo lavoro di tesi, realizzato presso il laboratorio di microelettronica dell'*Università degli studi di Bergamo*, è quello di studiare gli effetti delle radiazioni ionizzanti sui parametri statici (ad esempio: variazione della tensione di soglia e della corrente di *leakage*  $I_{off}$ ) di transistori in tecnologia 28nm.

Nel capitolo 1 verranno introdotte le caratteristiche principali del transistore MOSFET. Si darà una breve descrizione della struttura dei dispositivi analizzati (sia per i transistori a canale N che a canale P) e a seguire si introduciranno i parametri statici del transistore e le regioni di funzionamento. Verranno presentati il modello di piccolo segnale e le diverse sorgenti di rumore cui il transistore è soggetto. Il capitolo 1 termina con l'analisi di come le radiazioni possono influire sui parametri statici e come si possono mitigare queste variazioni.

Nel capitolo 2, oltre a descrivere i dispositivi analizzati e le procedure di estrazione dei dati grezzi, verranno presentati i principali parametri statici, con un'analisi approfondita delle tecniche di estrazione della tensione di soglia ( $V_{th}$ ) dalle caratteristiche statiche acquisite mediante la strumentazione di laboratorio. Si mostreranno inoltre le caratteristiche della transconduttanza di canale  $g_m$ , della corrente di *leakage*  $I_{off}$ , della massima corrente di canale  $I_{on}$  e del guadagno intrinseco in funzione della dose di radiazione ionizzante assorbita fino a 3Grad e post *annealing* a 100°C per 24 ore.



# Capitolo 1

## Il transistore MOSFET

L'obiettivo di questo capitolo è quello di discutere il funzionamento del transistore MOSFET e degli effetti delle radiazioni ionizzanti su di esso. In particolare, nella prima sezione verranno spiegati brevemente i concetti di:

- MOSFET a canale N e a canale P
- Regioni di funzionamento del transistore
- Modello per piccolo segnale
- Sorgenti di rumore presenti in un MOSFET

Nella seconda parte si introdurranno gli effetti delle radiazioni ionizzanti sui dispositivi MOSFET e come mitigare questi danni, oltre a spiegare che cosa rappresenta la *Total Ionizing Dose (TID)* e quali unità di misura vengono utilizzate.

### 1.1 Transistore MOSFET

Il transistore MOSFET (*Metal-Oxide Semiconductor Field-Effect Transistor*) è un dispositivo elettronico utilizzato sia in circuiti digitali, principalmente come interruttore controllato in tensione, sia in circuiti analogici, come amplificatori di segnale o come resistenze controllate in tensione.

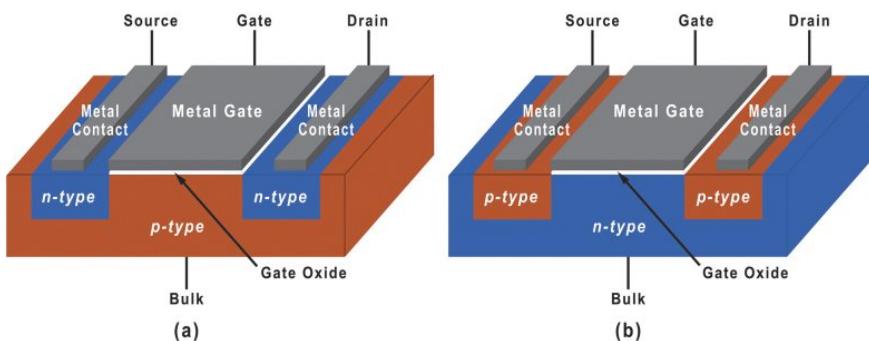


Figura 1.1: MOSFET a canale N (a) e a canale P (b) [2]

Come mostrato nella figura 1.1, i MOSFET sono caratterizzati da quattro terminali: Source (S), Drain (D), Gate (G) e Bulk (B). Il MOSFET a canale N viene realizzato su un substrato di tipo P in cui sono innestate due regioni fortemente drogate di tipo N. Queste due regioni presentano delle metallizzazioni che formano i terminali di Source e di Drain. Sul substrato, tra le due regioni fortemente drogate, è presente un sottile strato di ossido che fa da isolante (storicamente  $SiO_2$ , attualmente si usano anche altri ossidi) sopra il quale si trova una metallizzazione che forma il contatto di Gate. Il Bulk (o Substrato), solitamente cortocircuitato con il Source, deve essere connesso al potenziale più basso (massa) negli NMOS e al potenziale più alto presente nel circuito (alimentazione positiva) nei PMOS.

### 1.1.1 Regioni di funzionamento e caratteristica $I - V$

In un MOSFET a canale N, in linea generale, può scorrere una corrente  $I_D$  che va dal Drain al Source in funzione di due tensioni (sempre non negative):

- la tensione presente tra Drain e Source ( $V_{DS}$ );
- la tensione presente tra Gate e Source ( $V_{GS}$ ).

La dipendenza di  $I_D$  da tali tensioni è messa in evidenza dalla caratteristica corrente-tensione (figura 1.2).

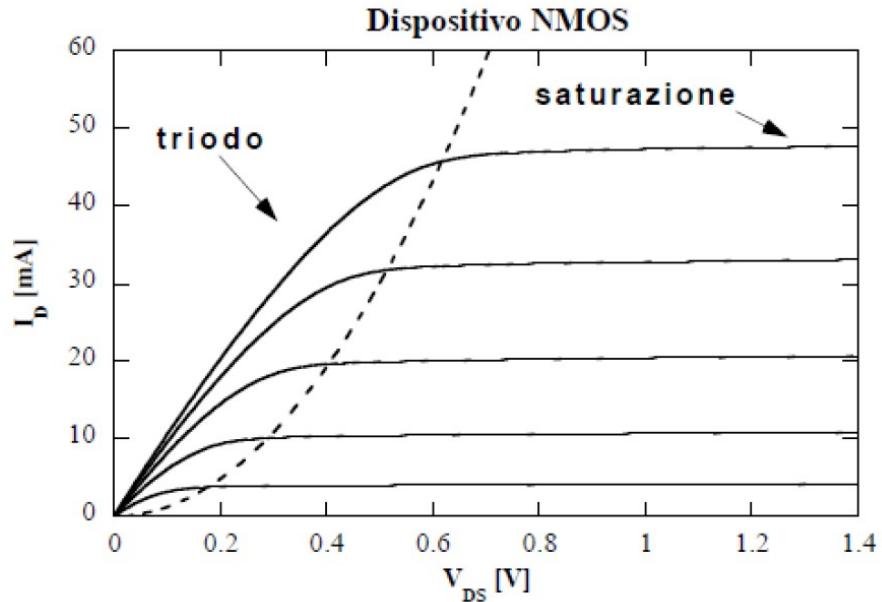


Figura 1.2: Caratteristica  $I - V$  di un MOSFET a canale N

Quando  $V_{GS} = 0$ , indipendentemente dal valore di  $V_{DS}$ , la corrente  $I_D$  è nulla, poiché la giunzione P-N composta da substrato e Drain e quella formata da substrato e source

## 1.1 Transistore MOSFET

sono in regione inversa.

Aumentando il valore di  $V_{GS}$ , le lacune presenti nel substrato si allontanano dalla regione direttamente al di sotto dell'ossido, creando una zona svuotata di portatori di carica liberi. Gli elettroni presenti nel semiconduttore vengono attirati creando una regione di canale di tipo N che unisce il Source e il Drain. Questo canale permette il passaggio di corrente, ma per crearlo è necessario che  $V_{GS}$  abbia un valore almeno pari alla cosiddetta tensione di soglia ( $V_{th}$ ). Finché  $V_{GS} < V_{th}$ , il MOSFET si trova in regione di *cutoff* e  $I_D \simeq 0$ .

Nel momento in cui  $V_{GS}$  egualia e supera  $V_{th}$ , il canale di conduzione è completo e inizia a scorrere corrente, seguendo leggi matematiche differenti in funzione del valore di  $V_{DS}$ .

Se  $V_{DS} < V_{GS} - V_{th}$ , il MOSFET è in regione lineare o di triodo e la corrente di Drain segue la seguente legge:

$$I_D = 2k_n \left[ (V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (1.1)$$

dove:

$$k_n = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}$$

$\mu_n$  = mobilità degli elettroni

$C_{ox}$  = capacità dell'ossido

$W$  = larghezza del canale

$L$  = lunghezza del canale

Se, invece,  $V_{DS} > V_{GS} - V_{th}$  il MOSFET si trova in regione di saturazione e la corrente di Drain ha un andamento che segue la legge:

$$I_D = k_n (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (1.2)$$

dove  $\lambda$  è un parametro che tiene conto della modulazione della lunghezza di canale introdotta dalla tensione  $V_{DS}$ .

Tutto quanto detto finora sui MOSFET a canale N vale in maniera analoga per i MOSFET a canale P. Altri parametri verranno descritti nel prossimo capitolo.

### 1.1.2 Modello per piccolo segnale e sorgenti di rumore

Il modello per piccolo segnale rappresenta il funzionamento del MOSFET nel momento in cui si fissa il punto di lavoro in continua e si fornisce in ingresso al dispositivo un segnale con un'ampiezza sufficientemente piccola da non alterarne il funzionamento.

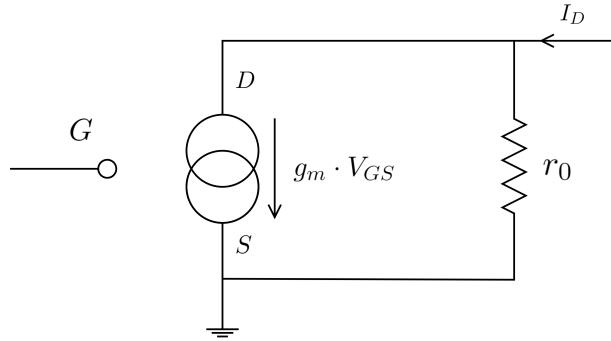


Figura 1.3: Modello piccolo segnale

In prima approssimazione, il MOSFET si comporta come un generatore di corrente controllato in tensione che emette una corrente proporzionale al valore di  $V_{GS}$ . La costante di proporzionalità è la transconduttanza di canale  $g_m$ , che dipende dal punto di lavoro ed è descritta meglio al paragrafo 2.4. Un modello più accurato prevede che, quando il MOSFET è in saturazione, la corrente di Drain dipenda anche da  $V_{DS}$  in modo lineare. Nel circuito equivalente per piccolo segnale, perciò, in parallelo al generatore di corrente, è presente una resistenza  $r_0 = \frac{1}{\lambda I_{D,sat}}$  che viene attraversata da una corrente prodotta dalla differenza di tensione tra Drain e Source e che va a sommarsi a quella generata dal generatore ideale, figura 1.3.

Per comprendere al meglio l'effettivo comportamento dei MOSFET, però, bisogna considerare che il segnale in uscita al MOSFET subisce delle interferenze dovute al rumore generato all'interno del dispositivo stesso. Esistono diverse sorgenti di rumore; qui di seguito si descrivono le principali.

**Rumore termico di canale o rumore bianco** Il canale di un dispositivo è composto da materiale resistivo e quindi è sorgente di rumore termico. Tale sorgente può essere rappresentata come un generatore di tensione la cui densità spettrale di potenza segue leggi differenti in base alla lunghezza del canale  $L$ . Infatti, se tale dimensione è nell'ordine delle frazioni di micron, subentrano i cosiddetti effetti di canale corto, che comportano l'aumento del rumore e che non possono essere ignorati. Poiché tutti i dispositivi presi in considerazione ricadono in questa categoria, la trattazione del rumore termico di canale si concentra sulla descrizione della legge matematica legata ai dispositivi a canale corto, ovvero:

$$S_w = 4K_B T \frac{\alpha_w n_{sub} \gamma}{g_m} \quad (1.3)$$

Dove  $K_B$  è la costante di Boltzmann e  $T$  è la temperatura assoluta.  $\alpha_w$  è il fattore di rumore in eccesso che tiene conto degli effetti di canale corto. Analisi approfondite (non mostrate in questa tesi) mostrano che per i dispositivi analizzati questo fattore ha valore

## 1.1 Transistore MOSFET

1, tranne per gli NMOS con lunghezza di canale  $L = 30mn$ , per i quali  $\alpha_w > 1$ .  $n_{sub}$  è un coefficiente proporzionale al reciproco della pendenza della caratteristica  $I_D - V_{GS}$  nella regione di sotto-soglia.  $\gamma$  è il coefficiente di rumore termico di canale che, per i dispositivi nanometrici, può essere espresso come:

$$\gamma = \frac{1}{1 + \frac{I_DL}{I_{Z^*}W}} \left( \frac{1}{2} + \frac{2I_DL}{3I_{Z^*}W} \right) \quad (1.4)$$

dove  $I_{Z^*}$  è la corrente di Drain caratteristica normalizzata, che si può estrarre dalle misure statiche.

Il rumore termico di canale può essere anche espresso sotto forma di resistenza equivalente  $R_{eq}$ , tramite l'equazione:

$$R_{eq} = \frac{S_w}{4K_B T} = \alpha_w \frac{n_{sub}\gamma}{g_m} \quad (1.5)$$

**Flicker Noise** A basse frequenze, prevale una componente di rumore del tipo  $1/f$ , la cui densità spettrale è inversamente proporzionale alla frequenza del segnale:

$$S_{\frac{1}{f}}(f) = \frac{K_f}{C_{ox}^2 WL} \frac{1}{f^{\alpha_f}} \quad (1.6)$$

dove  $K_f$  è un parametro che dipende dalla tecnologia e  $\alpha_f$  tiene conto della dipendenza dalla frequenza. Il rumore  $1/f$  è causato da una variazione della densità di portatori dovuto a fluttuazioni del potenziale superficiale; i portatori, all'interfaccia tra ossido e canale, vengono intrappolati e successivamente rilasciati e questo ha un effetto più evidente alle frequenze più basse

In passato, a parità di tecnologia, polarizzazione e dimensioni, il flicker noise è minore nei MOSFET a canale P, rispetto a quelli a canale N. Infine, il processo di *scaling* dei dispositivi influenza la quantità di questo tipo di rumore: analizzando l'equazione della densità spettrale, si nota come la riduzione delle dimensioni del canale comportano un aumento di rumore. Al contrario, la diminuzione dello spessore del Gate porta all'aumento della sua capacità e quindi ad una riduzione del rumore. Allo stesso tempo, però, un Gate più sottile potrebbe presentare altre problematiche, quindi il fattore  $K_f$  potrebbe non diminuire come aspettato e necessita per tanto un costante monitoraggio.

**Rumore associato alla corrente di Gate** Fino ad ora si è considerata solo la corrente  $I_D$  che va da dal Drain al Source (o viceversa, in base al tipo di canale). In realtà esiste anche una corrente  $I_G$  che attraversa il Gate, che in generale, appunto, è trascurabile, se confrontata con  $I_D$ . Infatti l'ossido presente tra il contatto di Gate e il substrato fa da barriera di potenziale all'iniezione dei portatori di carica. Questa barriera può essere comunque attraversata dai portatori con temperatura (e quindi energia cinetica) maggiore. Con la riduzione dello spessore del gate, l'energia necessaria per iniettare i portatori attraverso il Gate diminuisce e quindi  $I_G$  diventa meno trascurabile.

**Altre sorgenti di rumore** Ci sono infine sorgenti di rumore legate alla presenza di resistenze parassite nel Gate, nel Substrato e tra Drain e Source.

## 1.2 Effetti delle radiazioni sui transistori MOSFET

Gli effetti principali delle radiazioni su dispositivi elettronici possono essere di due categorie [4]:

- Danno da spostamento (*DD*), dislocazione degli atomi dai loro siti reticolari,
- Ionizzazione, generazione di coppie elettrone-lacuna ( $e - h$ ).

### 1.2.1 Danno da spostamento

Quando una particella (tipicamente un neutrone, ma non solo) possiede abbastanza energia tale da poter dislocare un atomo al di fuori dalla sua posizione normale all'interno reticolato, avviene il danno da spostamento (*Displacement Damage*); ne risulta che le caratteristiche elettroniche del materiale vengano alterate. Inoltre, può verificarsi che l'atomo colpito generi a sua volta altri *DD*, a patto che abbia abbastanza energia. L'energia minima da trasferire a un atomo per far sì che si generi un danno da spostamento nel silicio è di  $20\text{eV}$ .

Mentre il danno da spostamento non è molto rilevante sui MOSFET (in quanto sono dispositivi nei quali la conduzione delle cariche avviene a livello superficiale e non nel substrato), la ionizzazione può comportare variazioni dei parametri elettrici come guadagno e tensione di soglia; per questi motivi in questo lavoro ci concentreremo solo sugli effetti della ionizzazione.

### 1.2.2 Ionizzazione

La creazione di coppie  $e - h$  (*electron-hole*) all'interno del dispositivo MOSFET è provocata dalla ionizzazione che a sua volta è generata dal passaggio di una o più particelle che depositano una certa quantità di energia, nel materiale. Esiste una proporzionalità diretta tra il numero di coppie elettrone-lacuna e l'energia depositata da parte della particella, che collide con il dispositivo. Per esempio, nel silicio si ha una costante di  $\frac{1}{3,6\text{eV}}$  mentre per il biossido di silicio è di  $\frac{1}{18\text{eV}}$  [3].

Negli isolanti, come l'ossido di gate dei transistori MOSFET, l'effetto della ionizzazione è cumulativo. Gli elettroni liberati da una particella ionizzante si possono muovere facilmente soprattutto grazie a effetti di campo dovuti, ad esempio, a polarizzazioni. Al contrario, le lacune sono molto meno mobili, dai 5 ai 12 ordini di grandezza inferiori, rispetto agli elettroni. La maggior parte delle lacune riesce a sopravvivere alla ricombinazione con gli elettroni, creando perciò una carica positiva vicino alla giunzione  $\text{Si}/\text{SiO}_2$ .

## 1.2 Effetti delle radiazioni sui transistori MOSFET

La carica intrappolata nell'ossido ha come effetto un aumento (in valore assoluto) della tensione di soglia dei MOSFET a canale P; mentre negli NMOS l'effetto è un po' più complesso e dipende dai seguenti fattori:

1. Cariche positive intrappolate nell'ossido
2. Cariche negative presenti nelle trappole all'interfaccia<sup>1</sup>

Mentre la prima provoca una riduzione della tensione di soglia, la seconda, comporta un aumento della tensione di soglia in quanto la carica intrappolata all'interfaccia è negativa (negli NMOS si ha moto di elettroni nel canale). È inoltre opportuno sottolineare che anche nei PMOS vi sono portatori intrappolati all'interfaccia  $Si/SiO_2$ . Ma questi portatori, al contrario di quanto accade per gli NMOS, hanno carica positiva e pertanto le cariche intrappolate hanno un effetto che si somma a quello dovuto alle cariche positive intrappolate nell'ossido di gate.

Un'altro effetto presente solo negli NMOS è quello della formazione di transistor parassiti [1]. Questo effetto è dovuto all'accumulo delle cariche positive nella *shallow trench isolation (STI)* che, creano un canale conduttivo tra source e drain, aggirando quello principale (figura 1.4). Questo collegamento fa sì che possa esserci un flusso di corrente anche quando il dispositivo è polarizzato con una  $V_{GS} \simeq 0$ .

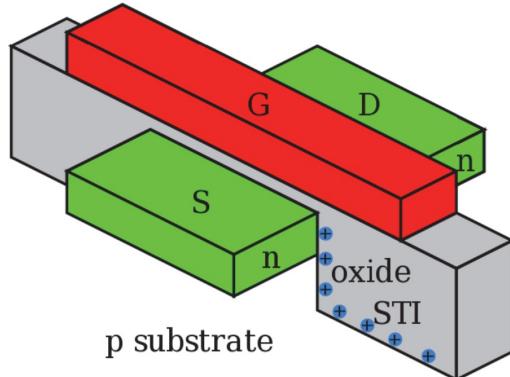


Figura 1.4: Accumulo delle lacune nella *shallow trench isolation* [1].

Poiché gli effetti delle radiazioni sui MOSFET precedentemente elencati sono maggiori sui dispositivi a canale N, in passato si è consolidata la preferenza ad utilizzare i PMOS come transistori d'ingresso in preamplificatori di carica a basso rumore, essendo più tolleranti alla ionizzazione. L'evoluzione di tecnologie MOSFET, che ha portato alla

---

<sup>1</sup>Le trappole all'interfaccia sono dovute a imperfezioni o difetti presenti alla giunzione  $Si/SiO_2$  che possono intrappolare delle cariche. Queste trappole aumentano all'aumentare della dose assorbita

fabbricazioni di transistori con dimensioni minime di canale sempre più piccole, ha comportato grazie alla riduzione dello spesso dell'ossido di gate, un aumento della resistenza alle radiazioni ionizzanti (figura 1.5).

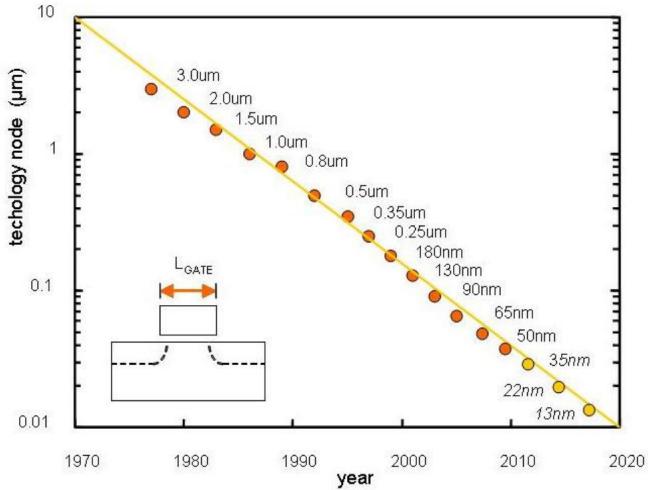


Figura 1.5: Evoluzione delle dimensioni nei dispositivi elettronici [7]

Gli effetti del danno da ionizzazione si riducono con il tempo (settimane, mesi, anni) e questo effetto è denominato annealing. Per simulare il ripristino delle prestazioni elettroniche dei dispositivi in un tempo ragionevolmente breve, si effettua un annealing ad alta temperatura, tipicamente  $100^{\circ}\text{C}$  per 24 ore, per accelerarne i meccanismi. In questo lavoro di tesi, dopo l'ultimo step di irraggiamento, si è effettuato uno step di annealing a  $100^{\circ}\text{C}$  per 24 ore.

### 1.2.3 Misura della dose

La quantità di radiazioni ionizzanti assorbite da un materiale viene chiamata *TID* (*total ionizing dose*) ed è espressa in energia su unità di massa. La *TID* normalmente è misurata in *rad* (*radiation absorbed dose*), definito come  $100\text{erg} = 100 \cdot 10^{-7}\text{J}$  per grammo di materiale. Un'altra unità di misura per la *TID*, accolta anche dal sistema internazionale, sono i *gray* (*Gy*), dove  $1\text{Gy} = 100\text{rad} = 1\frac{\text{J}}{\text{Kg}}$ . Data l'esistenza di una dipendenza tra quantità di energia persa e il materiale su cui essa si deposita, spesso insieme all'unità di misura si indica anche il materiale; ad esempio, nel caso del biossido di silicio si indica *rad( $\text{SiO}_2$ )*.

# Capitolo 2

## Studio sperimentale

In questo capitolo si presenteranno i principali parametri statici e di piccolo segnale che descrivono il funzionamento dei transistori MOS. Si analizzeranno inoltre le loro caratteristiche pre e post irraggiamento. I parametri tratti sono:

- Tensione di soglia
- Transconduttanza
- Corrente di leakage
- Corrente  $I_{on}$
- Guadagno Intrinseco

### 2.1 MOSFET misurati e setup per le misure statiche

Per questo studio sono stati utilizzati transistori CMOS appartenenti ad una tecnologia commerciale con lunghezza minima di canale pari a  $28nm$ . La tecnologia è una *High K Metal Gate (HKMG)* caratterizzata da un ossido di gate realizzato con materiali ad alta (maggiore di quella del biossido di silicio) costante dielettrica e un contatto di gate realizzato in metallo.

I dispositivi di ciascun chip hanno dimensioni differenti. In entrambi i chip, dunque, è presente un dispositivo di ogni dimensione presente nella tabella 2.1.

Durante la fase di misura l'NMOS di dimensioni  $600 - 0.030$  e il PMOS di dimensioni  $100 - 0.180$  sono stati rotti, dunque i dati mostrati e le analisi discusse non li prenderanno in considerazione.

Ogni chip è stato irraggiato a differenti step, presso l'università di Padova, portando il livello di  $TID$  a valori sempre più alti. Ad ogni step di irraggiamento sono state compiute le misure per estrarre i dati utili per l'analisi dei parametri statici. I valori di  $TID$  a cui queste sono state compiute sono:  $0rad$  (ovvero pre-irraggiamento),  $5Mrad$ ,  $50Mrad$ ,  $100Mrad$ ,  $200Mrad$ ,  $600Mrad$ ,  $1Grad$ ,  $3Grad$ . Infine, i dispositivi hanno subito un processo di *annealing* a  $100^{\circ}C$  per 24 ore.

Per poter analizzare i parametri statici dei MOSFET, ad ogni livello di irraggiamento e dopo il processo di *annealing* sono state misurate le seguenti caratteristiche:

Larghezza $W$ [ $\mu m$ ]	Lunghezza $L$ [ $\mu m$ ]
100	0.030
100	0.060
100	0.180
200	0.030
200	0.060
200	0.180
600	0.030
600	0.060
600	0.180

Tabella 2.1: Dimensioni dei dispositivi presenti in ciascun chip usato per lo studio

- Caratteristica  $I_D - V_{DS}$  per diversi valori di  $V_{GS}$ , ottenuta misurando la corrente di Drain facendo variare i valori delle tensioni come mostrato nella tabella 2.2:

	$V_{min}$ [mV]	$V_{max}$ [mV]	$\Delta V$ [mV]
$V_{DS}$	0	900	5
$V_{GS}$	0	900	150

Tabella 2.2: Valori delle tensioni per la misura della caratteristica  $I_D - V_{DS}$ . Per i PMOS i valori hanno segno opposto rispetto a quello riportato

- Caratteristica  $I_D - V_{GS}$  per diversi valori di  $V_{DS}$ , ottenuta misurando la corrente di Drain facendo variare i valori delle tensioni con due modalità, mostrate nella tabella 2.3.

Le misure ottenute sono state analizzate con dei programmi scritti in MatLab. Di seguito si discutono vari parametri estratti.

## 2.2 Caratteristiche tensione-corrente

	$V_{min}$ [mV]	$V_{max}$ [mV]	$\Delta V$ [mV]
Modalità 1	$V_{DS}$	0	100
	$V_{GS}$	-300	900
Modalità 2	$V_{DS}$	0	900
	$V_{GS}$	-300	5

Tabella 2.3: Valori delle tensioni per la misura della caratteristica  $I_D - V_{GS}$ . Per i PMOS i valori hanno segno opposto rispetto a quello riportato

## 2.2 Caratteristiche tensione-corrente

In questa sezione si presentano le caratteristiche tensione-corrente dei dispositivi sotto analisi in questo lavoro di tesi. In figura 2.1 vengono mostrati i grafici  $I_D - V_{DS}$  a  $V_{GS}$  pari a  $450mV$ , mentre in figura 2.2 vengono riportati gli andamenti di della caratteristica  $I_D - V_{GS}$  con  $V_{DS} = 450mV$ .

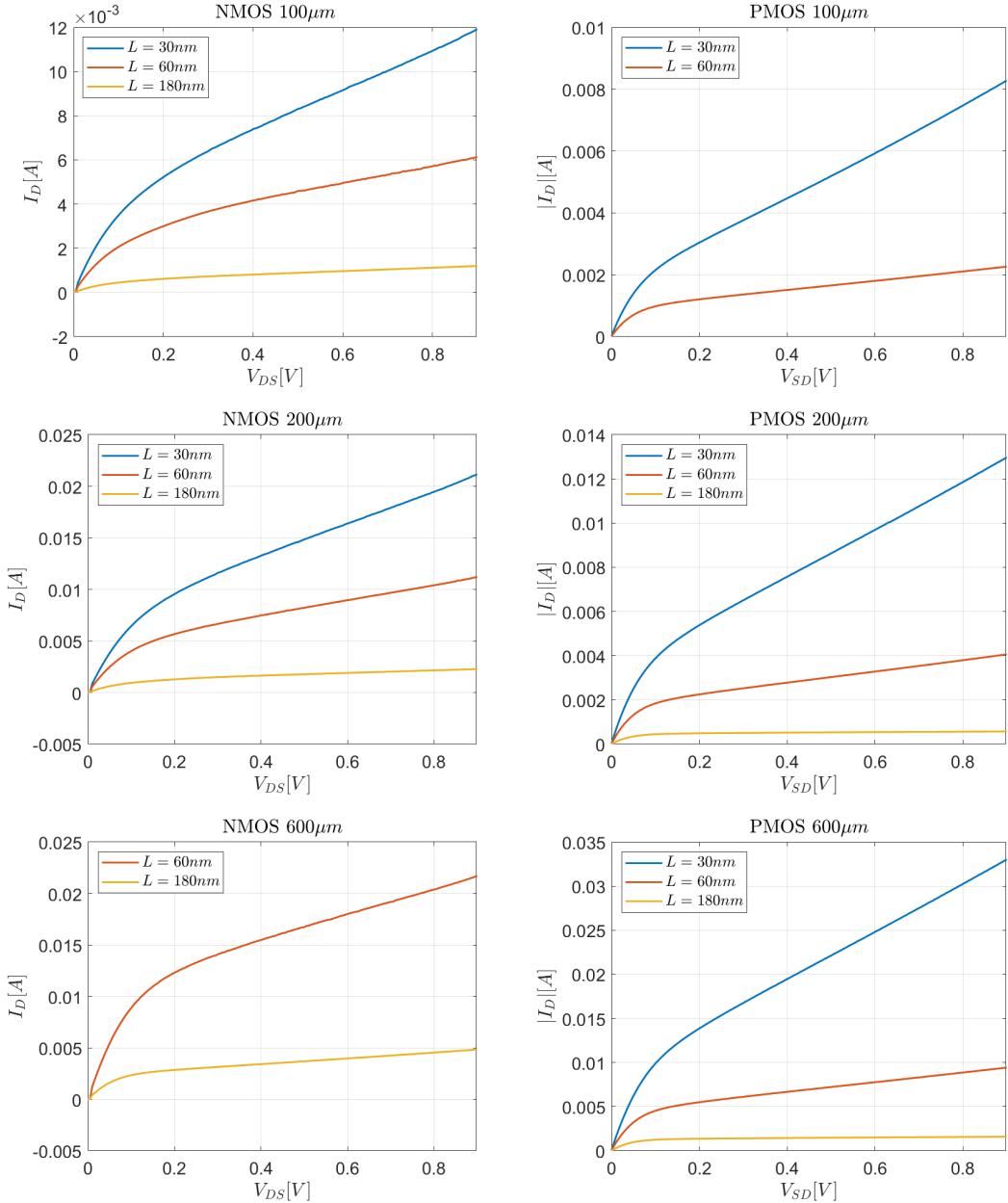


Figura 2.1: Caratteristica  $I_D - V_{DS}$  a  $V_{GS} = 450\text{mV}$  raggruppate per larghezza di canale, a sinistra MOSFET a canale N e a destra a canale P.

## 2.2 Caratteristiche tensione-corrente

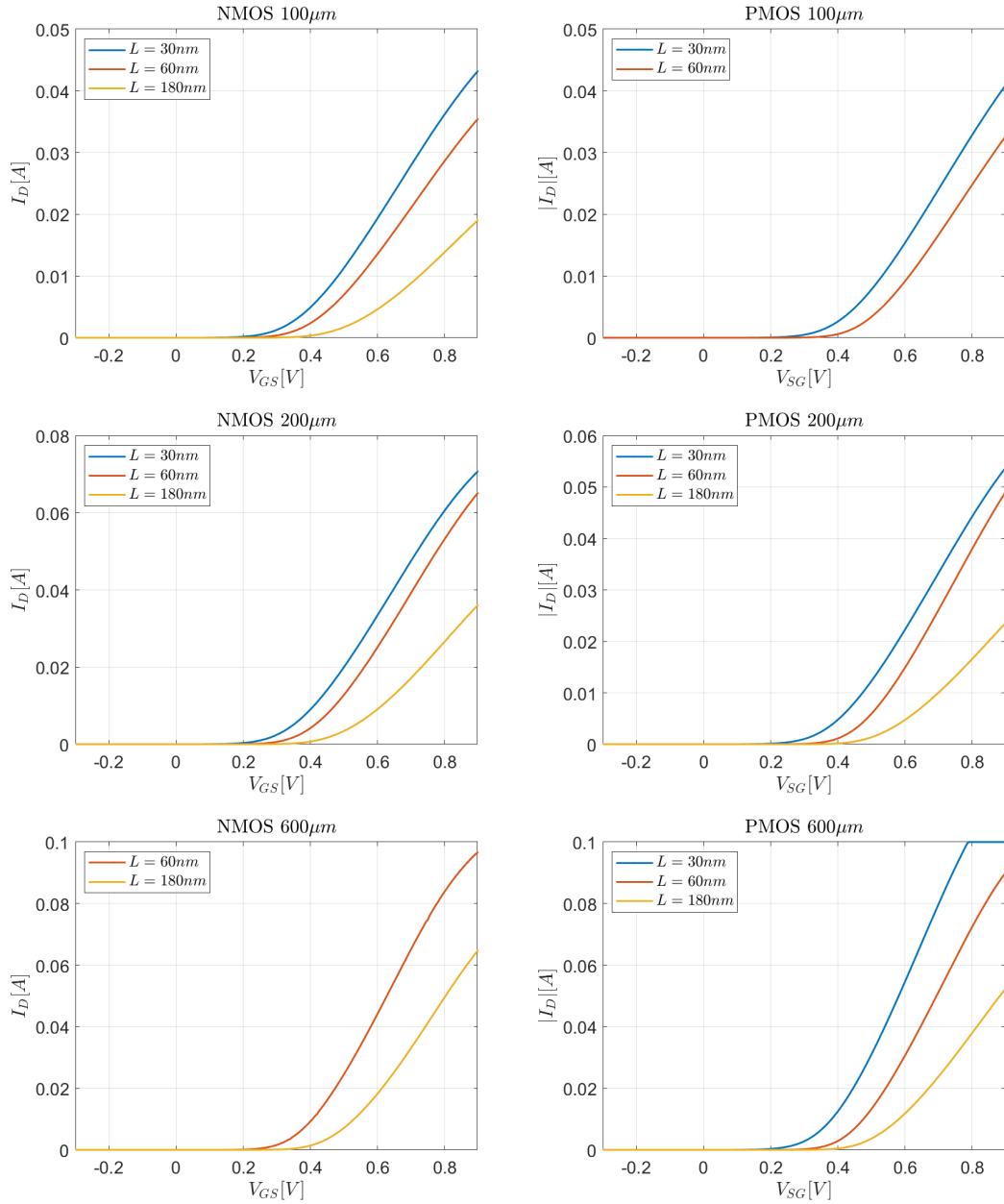


Figura 2.2: Caratteristica  $I_D - V_{GS}$  a  $V_{DS} = 450mV$  raggruppate per larghezza di canale, a sinistra MOSFET a canale N e a destra a canale P.

## 2.3 Variazione della tensione di soglia

La tensione di soglia  $V_{th}$  di un transistore MOS è definita come quella tensione tra gate e bulk per la quale la popolazione di minoritari all'interfaccia è uguale alla popolazione di maggioritari nel bulk. Per ricavare la tensione di soglia dei dispositivi non si può usare direttamente la definizione, ma si devono utilizzare le caratteristiche corrente-tensione dei dispositivi.

Per l'estrazione del parametro  $V_{th}$  esistono numerosi metodi [5], la scelta è solitamente dettata da un compromesso che si deve trovare fra complessità della procedura di estrazione della soglia e risultato ottenuto per la specifica applicazione. Per questo studio sono stati presi in considerazione:

- *Transconductance Change Method (TCM);*
- *Second Difference of the Logarithm of the drain current Minimum method (SDLM);*
- *Extrapolation in the Linear Region method (ELR);*
- *Ratio Method (RM).*

Per il nostro studio, però, non si è solo interessati al valore in sé della tensione di soglia dei dispositivi, ma anche a come questa varia all'aumentare dell'irraggiamento. Dunque, per ogni metodo non ci si ferma all'estrazione della  $V_{th}$  dei dispositivi non irraggiati, ma la si estrae anche dopo ogni step d'irraggiamento e, per ciascuno di questi, si calcola la  $\Delta V_{th} = V_{th, pos} - V_{th, pre}$ . Tutti i metodi sopra elencati sono stati usati per estrarre la soglia dopo ogni step di irraggiamento. Uno degli scopi di questo lavoro di tesi è capire se c'è un metodo migliore di altri da utilizzare in futuro.

### 2.3.1 Transconductance Change Method

Il *Transconductance Change Method*, *TCM*, definisce la tensione di soglia come la tensione di gate-source  $V_{GS}$  corrispondente al picco massimo della derivata della transconduttanza  $g_m$  rispetto alla tensione di gate ( $\frac{dg_m}{dV_{GS}}$ ) ed è valido per bassi valori della tensione  $V_{DS}$ . Questa definizione si basa sul fatto che, quando il dispositivo passa dalla regione di debole inversione alla regione di forte inversione, la dipendenza della corrente di drain rispetto a  $V_{GS}$  passa dall'essere esponenziale all'essere lineare. La transconduttanza è definita come la derivata prima della corrente  $I_D$  rispetto alla tensione  $V_{GS}$ , dunque la derivata della  $g_m$  corrisponde alla derivata seconda di  $I_D$ . Per questo motivo, il massimo di  $\frac{dg_m}{dV_{GS}}$  coincide con la tensione alla quale il grafico della corrente passa dalla forma esponenziale a quella lineare. Se  $V_{DS}$  è piccola, la tensione per la quale la  $g_m$  è massima è molto simile a  $V_{th}$ .

Per calcolare il *TCM* si deve trovare il massimo di una funzione, ovvero calcolarne la derivata prima. In questo caso si tratta in realtà di una derivata seconda, essendo già  $g_m$  calcolato con una derivata. Il calcolo della derivata non è effettuato su una funzione continua ma su dati misurati con uno step di 5mV di  $V_{GS}$ . Questo fa sì che la derivata prima e in modo maggiore la derivata seconda, siano affette da vere e proprie variazioni

### 2.3 Variazione della tensione di soglia

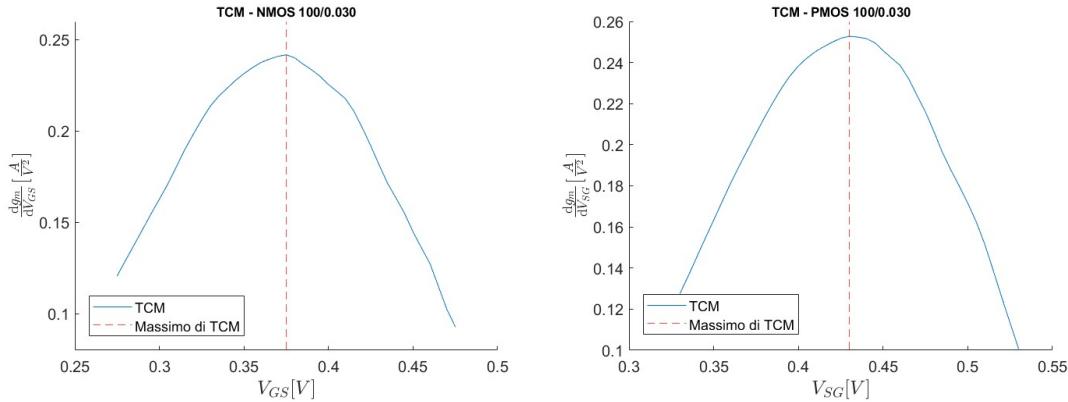


Figura 2.3: Esempio di *TCM* usato su un dispositivo NMOS e un dispositivo PMOS di dimensioni 100-0.030 a  $V_{DS} = 150mV$

repentine dovute alla natura granulare dei dati e non da fenomeni fisici. È quindi necessario rendere la funzione studiata meno dipendente da questo effetto. Inoltre, come detto in precedenza, la risoluzione con la quale sono state fatte le misure della corrente di drain è  $5mV$  (di  $V_{GS}$ ). Pertanto, con questo metodo si estrarrebbe una soglia che avrebbe una risoluzione di  $5mV$ , del tutto inaccettabile in quanto sarebbe maggiore delle variazioni di soglia che potrebbero essere indotte in alcuni step di irraggiamento. Per far fronte a questi due problemi, si è scelto di non effettuare i calcoli direttamente sui valori delle misure, ma d'interpolare prima i punti del grafico con una funzione polinomiale e, di ricavare il valore di soglia da questa funzione.

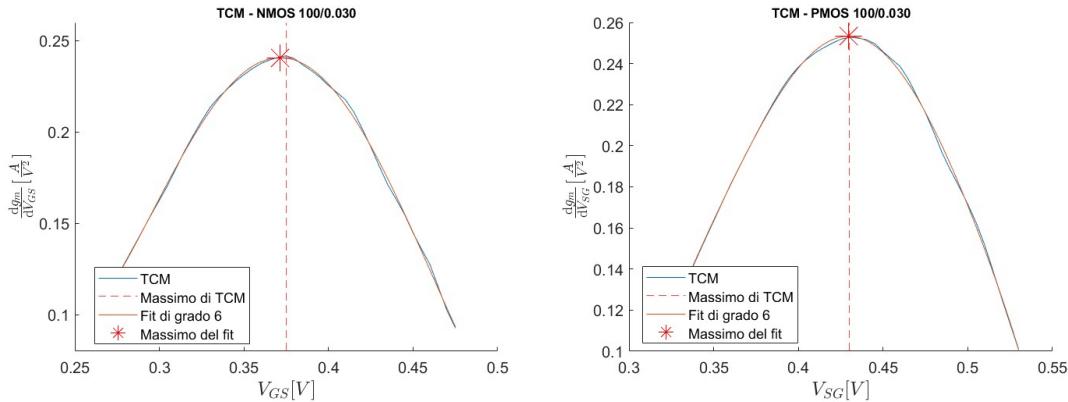


Figura 2.4: Esempio di *TCM* con fit polinomiale usato su un dispositivo NMOS e un dispositivo PMOS di dimensioni 100-0.030 a  $V_{DS} = 150mV$

Lo studio del fit polinomiale risolve il problema della bassa risoluzione di misura, ma presenta una potenziale nuovo problema: il valore della  $V_{th}$  calcolata potrebbe variare significativamente al variare del grado della funzione polinomiale interpolante. Per capire

Dispositivo	$V_{th}[mV]$ con interpolante di grado:			
	2	4	6	8
100 - 0.030	426.9	429.4	429.4	430.8
100 - 0.060	467.6	469.5	469.3	468.9
200 - 0.030	397.8	399.7	399.3	399.8
200 - 0.060	452.2	454.1	453.5	453.5
200 - 0.180	495.6	495.6	495.3	495.5
600 - 0.030	383.0	387.4	385.9	386.2
600 - 0.060	431.1	434.3	434.7	435.6
600 - 0.180	478.5	480.8	480.6	480.0

Tabella 2.4: Confronto dei valori di  $V_{th}$  dei dispositivi PMOS ottenuti con  $TCM$  con fit polinomiale di diversi gradi

l'effetto del grado della funzione interpolante sul valore di tensione di soglia estratto, si sono effettuate le estrazioni considerando i gradi 2, 4, 6 e 8 e si sono studiati i risultati ottenuti. Lo studio si è effettuato su dispositivi PMOS. Una volta scelto il valore del grado della funzione, lo stesso grado sarà utilizzato anche per l'estrazione della tensione di soglia degli NMOS.

Osservando i valori nella tabella 2.4, si può notare che la tensione di soglia ottenuta non varia molto nel caso dei fit fatti con polinomiali di grado 4, 6 e 8: è raro che la differenza tra questi valori superi 1mV. Non si può dire la stessa cosa per le  $V_{th}$  calcolate con fit di grado 2: in questo caso la funzione interpolante ha un grado troppo basso per seguire in modo coerente la curva  $\frac{dg_m}{dV_{GS}}$  e quindi il massimo risulta essere molto diverso da quelli calcolati con fit di grado maggiore. Dunque, al fine di fissare al meglio la curva, si è scelto un fit polinomiale di grado 6. In Tabella 2.5 e 2.7 sono riportati i risultati ottenuti con il metodo  $TCM$  e fit polinomiale di grado 6 su dispositivi PMOS<sup>1</sup> e NMOS pre e post irraggiamento. Mentre nelle tabelle 2.6, 2.8 e nei grafici a figura 2.5 vengono riportati i valori della  $\Delta V_{th}$  in funzione della dose assorbita<sup>2</sup>.

---

<sup>1</sup>Per i PMOS viene indicata la  $|V_{th}|$

<sup>2</sup>La  $\Delta V_{th}$  riportata per i PMOS è da intendersi come:  $\Delta V_{th} = |V_{th_{post}}| - |V_{th_{pre}}|$

### 2.3 Variazione della tensione di soglia

Dispositivo	$V_{th}[mV]$								
	pre	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	371.3	370.6	361.0	380.6	378.7	375.1	371.1	367.1	372.4
100 - 0.060	405.0	399.9	390.0	419.8	418.8	414.0	412.8	416.6	421.6
100 - 0.180	476.0	472.4	459.5	491.9	491.2	492.0	491.1	501.9	508.6
200 - 0.030	359.5	357.9	348.1	369.2	367.0	363.8	361.7	363.6	368.5
200 - 0.060	402.2	398.3	385.0	415.5	413.7	412.3	411.0	416.7	423.0
200 - 0.180	466.4	463.5	451.8	484.6	483.8	486.5	487.0	500.3	510.1
600 - 0.060	370.2	364.4	359.3	379.5	381.0	378.1	377.2	380.1	386.7
600 - 0.180	449.6	447.9	430.7	458.8	458.4	458.9	458.4	469.2	478.5

Tabella 2.5:  $V_{th}$  dei dispositivi NMOS estratte con *TCM*

Dispositivo	$\Delta V_{th}[mV]$							
	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	-0.7	-10.3	9.3	7.4	3.8	-0.2	-4.2	1.1
100 - 0.060	-5.1	-15.0	14.8	13.8	9.0	7.8	11.6	16.6
100 - 0.180	-3.6	-16.5	15.9	15.2	16.0	15.1	25.9	32.6
200 - 0.030	-1.6	-11.4	9.7	7.5	4.3	2.2	4.1	9.0
200 - 0.060	-3.9	-17.2	13.3	11.5	10.1	8.8	14.5	20.8
200 - 0.180	-2.9	-14.6	18.2	17.4	20.1	20.6	33.9	43.7
600 - 0.060	-5.8	-10.9	9.3	10.8	7.9	7.0	9.9	16.5
600 - 0.180	-1.7	-18.9	9.2	8.8	9.3	8.8	19.6	28.9

Tabella 2.6:  $\Delta V_{th}$  dei dispositivi NMOS estratte con *TCM*

## Capitolo 2 Studio sperimentale

Dispositivo	$ V_{th} [mV]$								
	pre	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	429.4	430.7	432.2	434.4	439.0	452.6	459.4	485.6	465.2
100 - 0.060	469.3	469.6	471.4	472.7	479.7	491.8	500.8	533.0	513.4
200 - 0.030	399.3	401.0	403.1	404.8	410.2	422.3	429.8	450.1	431.1
200 - 0.060	453.5	455.2	456.2	458.6	463.8	476.9	485.8	514.9	493.6
200 - 0.180	495.3	497.1	503.9	506.5	511.3	524.1	535.3	576.2	557.6
600 - 0.030	385.9	386.6	388.8	391.0	394.5	405.5	412.3	436.5	416.2
600 - 0.060	434.7	435.4	438.5	438.9	445.6	458.4	467.8	500.4	478.9
600 - 0.180	480.6	481.5	483.7	486.0	492.0	507.2	519.6	564.1	537.1

Tabella 2.7:  $|V_{th}|$  dei dispositivi PMOS estratte con *TCM*

Dispositivo	$\Delta V_{th}[mV]$							
	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	1.3	2.8	5.0	9.6	23.2	30.0	56.2	35.8
100 - 0.060	0.3	2.1	3.4	10.4	22.5	31.5	63.7	44.1
200 - 0.030	1.7	3.8	5.5	10.9	23.0	30.5	50.8	31.8
200 - 0.060	1.7	2.7	5.1	10.3	23.4	32.3	61.4	40.1
200 - 0.180	1.8	8.6	11.2	16.0	28.8	40.0	80.9	62.3
600 - 0.030	0.7	2.9	5.1	8.6	19.6	26.4	50.6	30.3
600 - 0.060	0.7	3.8	4.2	10.9	23.7	33.1	65.7	44.2
600 - 0.180	0.9	3.1	5.4	11.4	26.6	39.0	83.5	56.5

Tabella 2.8:  $\Delta V_{th}$  dei dispositivi PMOS estratte con *TCM*

### 2.3 Variazione della tensione di soglia

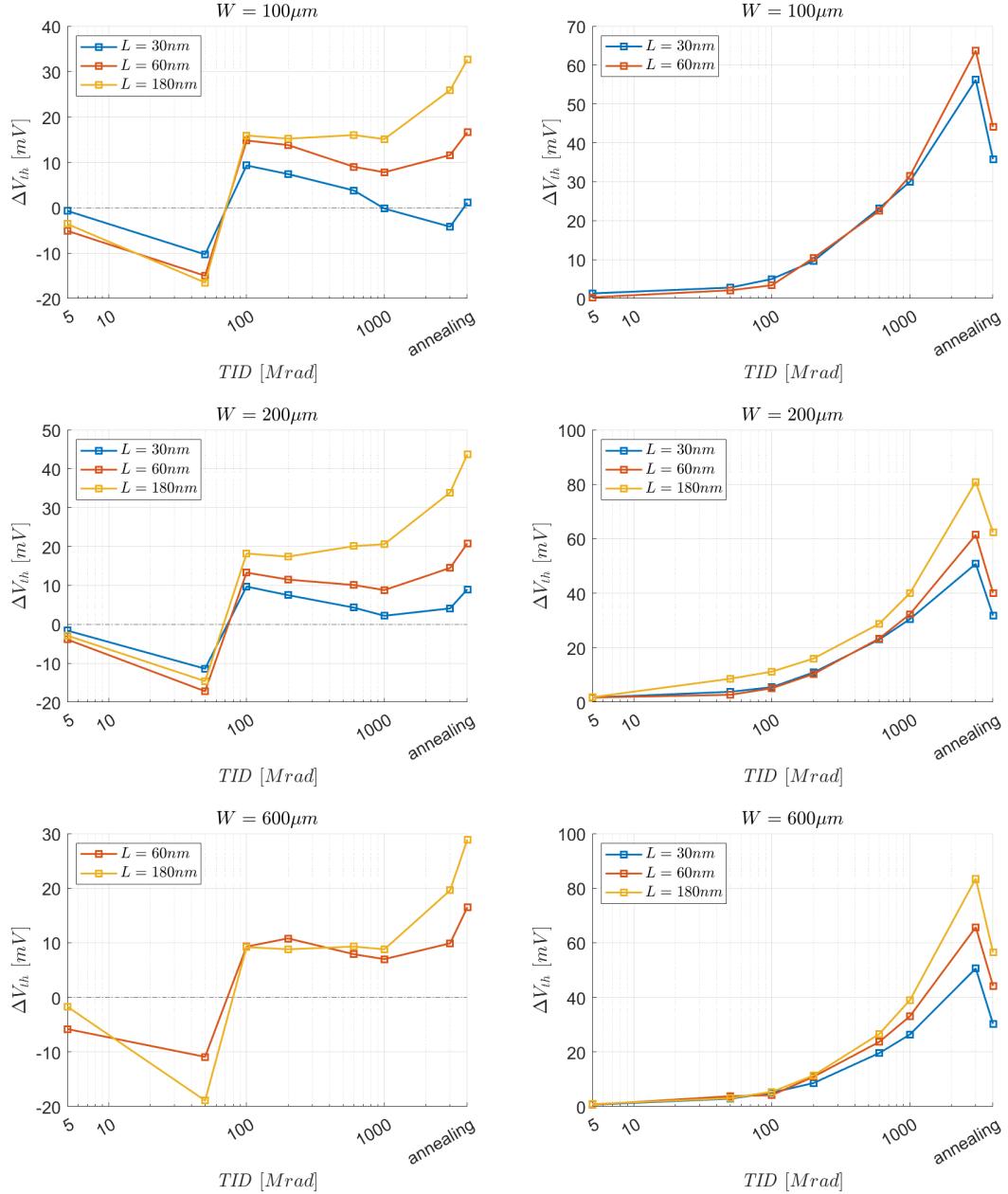


Figura 2.5: Variazioni di  $V_{th}$  dei dispositivi NMOS (a sinistra) e PMOS (a destra) estratti con TCM in funzione della dose assorbita. Ogni figura si riferisce a una larghezza di canale  $W$  differente. Raggruppate per dimensione della lunghezza di canale dei dispositivi

### 2.3.2 Second Difference of the Logarithm of the drain current Minimum method

Il secondo metodo analizzato è il *Second Difference of the Logarithm of the drain current Minimum method*, *SDLM*. Questo metodo definisce la  $V_{th}$  come la tensione  $V_{GS}$  per la quale si ha il picco minimo della derivata seconda del logaritmo naturale di  $I_D$  rispetto alla tensione di gate ( $\frac{d^2 \ln I_D}{dV_{GS}^2}$ ) e vale solo per alti valori di  $V_{DS}$  [6].

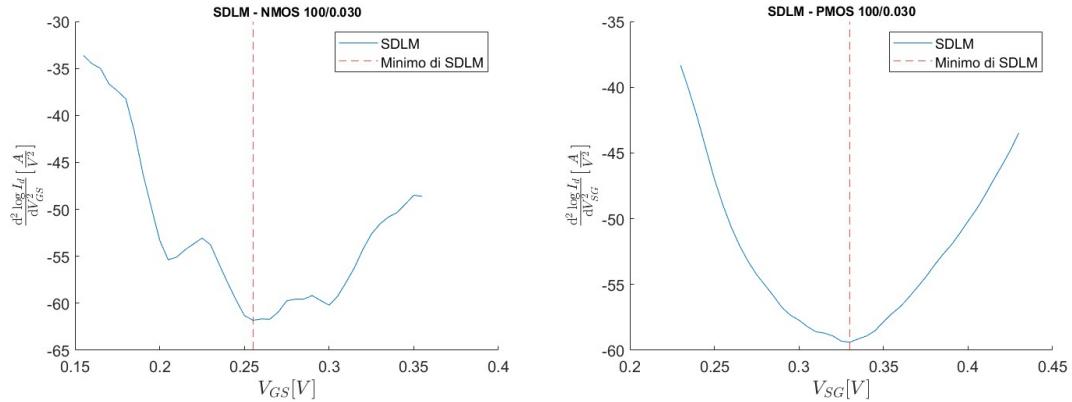


Figura 2.6: Esempio di *SDLM* usato su un dispositivo NMOS e un dispositivo PMOS di dimensioni 100-0.030 a  $V_{DS} = 900mV$

Anche per questo metodo si ritrovano le problematiche presenti per il *TCM*: si deve fare il fit di una curva ottenuta come derivata seconda e inoltre la risoluzione della  $V_{GS}$  è  $5mV$ . Quindi, anche per questo metodo, abbiamo deciso d'interpolare la funzione ottenuta con una polinomiale e considerare il minimo di quest'ultima.

Prendendo in considerazione i dati presenti nella tabella 2.9, si nota come  $V_{th}$  assume valori molto diversi a seconda del grado della polinomiale interpolante. Nella maggior parte dei casi, le tensioni di soglia ottenute con polinomiali di grado basso (2 e 4) cambiano molto tra loro e rispetto a quelle ottenute con polinomiali di grado alto (6 e 8), mentre le misure ottenute con queste ultime sono, in genere, molto simili tra loro. Ad esempio, osservando i grafici relativi alla *SDLM* del PMOS 200-0.030 (figura 2.7), si può notare che il plot della funzione  $\frac{d^2 \ln I_D}{dV_{GS}^2}$  ha un andamento che non viene interpolato in modo preciso da polinomiali di basso grado: per questo i valori minimi si discostano parecchio dai minimi ottenuti con polinomiali di grado maggiore. Risulta pertanto necessario estrarre le tensioni di soglia utilizzando una funzione polinomiale di grado 6.

Di seguito si riportano i valori delle  $V_{th}$  e delle  $\Delta V_{th}$ , per i dispositivi NMOS: tabelle 2.10 e 2.11, e per i PMOS<sup>3</sup>: tabelle 2.12 e 2.13. Mentre in figura 2.8 si riportano i grafici che mostrano l'andamento della variazione della tensione di soglia ( $\Delta V_{th}$ ), in funzione della dose assorbita.

---

<sup>3</sup>Per i PMOS viene indicato il modulo della  $V_{th}$  e per il calcolo della variazione si utilizza:  $\Delta V_{th} = |V_{th_{post}}| - |V_{th_{pre}}|$ .

### 2.3 Variazione della tensione di soglia

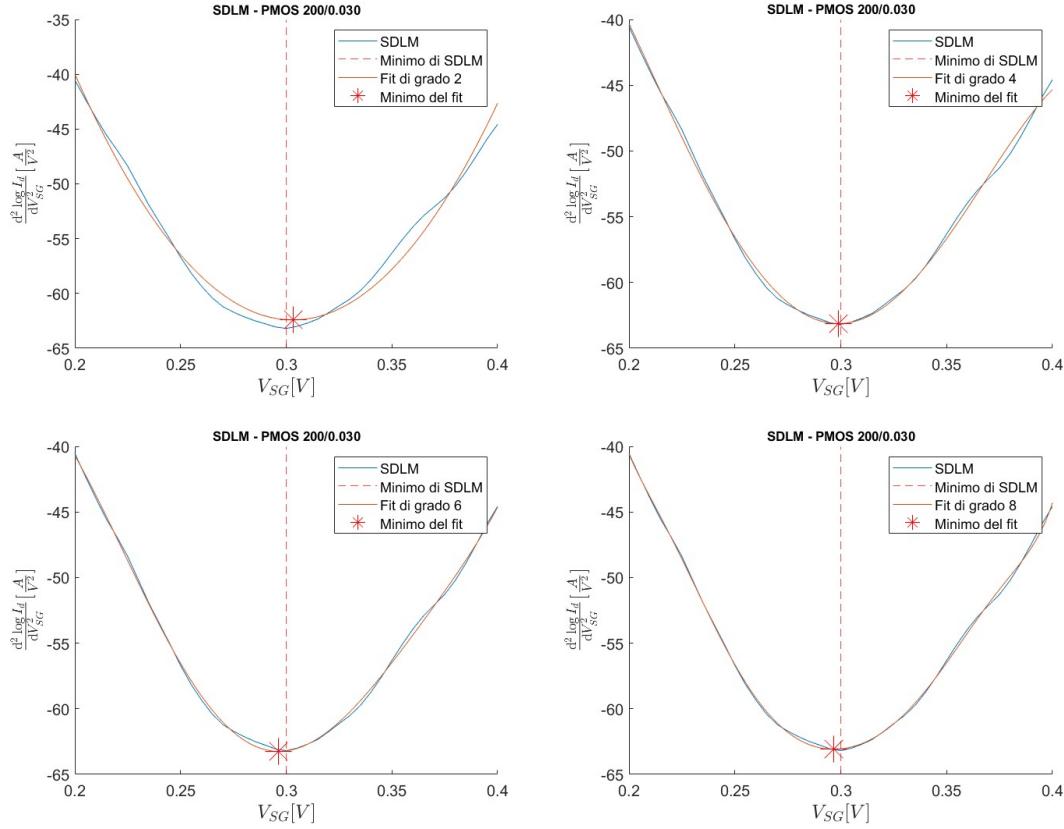


Figura 2.7: Confronto fra differenti fit (al variare del grado della funzione) della curva  $\frac{d^2 \ln(I_D)}{dV_{GS}^2}$  per un dispositivo PMOS 200-0.030.

Dispositivo	$ V_{th} [mV]$ con interpolante di grado:			
	2	4	6	8
100 - 0.030	332.0	322.3	323.5	327.2
100 - 0.060	423.1	416.1	411.6	411.7
200 - 0.030	303.2	298.8	296.5	296.7
200 - 0.060	413.1	404.4	404.9	405.0
200 - 0.180	460.4	453.5	449.3	448.7
600 - 0.030	296.0	291.4	289.7	298.1
600 - 0.060	398.3	393.3	391.8	389.6
600 - 0.180	454.7	446.7	441.4	441.3

Tabella 2.9: Confronto dei valori di  $|V_{th}|$  dei dispositivi PMOS ottenuti con *SDLM* con fit polinomiale di diversi gradi

## Capitolo 2 Studio sperimentale

Dispositivo	$V_{th}[mV]$								
	pre	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	287.7	259.5	271.2	289.8	287.7	278.5	276.4	269.7	275.0
100 - 0.060	356.8	327.2	322.7	360.9	356.8	356.6	352.6	354.6	352.4
100 - 0.180	404.8	381.5	369.1	422.1	404.8	422.1	418.2	433.1	442.5
200 - 0.030	279.7	262.2	269.6	277.9	279.7	267.3	268.5	267.8	268.2
200 - 0.060	355.3	325.4	313.3	357.4	355.3	351.1	348.7	355.7	358.2
200 - 0.180	417.9	378.9	372.5	418.8	417.9	420.1	416.7	436.6	441.5
600 - 0.060	334.4	276.0	304.0	336.1	334.4	332.7	331.6	333.8	336.7
600 - 0.180	417.1	381.5	379.6	418.4	417.1	416.2	414.3	426.7	431.1

Tabella 2.10:  $V_{th}$  dei dispositivi NMOS estratte con *SDLM*

Dispositivo	$\Delta V_{th}[mV]$							
	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	-20.2	-8.5	10.1	8.0	-1.2	-3.3	-10.0	-4.7
100 - 0.060	12.1	7.6	45.8	41.7	41.5	37.5	39.5	37.3
100 - 0.180	12.1	-0.3	52.7	35.4	52.7	48.8	63.7	73.1
200 - 0.030	-2.5	4.9	13.2	15.0	2.6	3.8	3.1	3.5
200 - 0.060	-0.6	-12.7	31.4	29.3	25.1	22.7	29.7	32.2
200 - 0.180	7.1	0.7	47.0	46.1	48.3	44.9	64.8	69.7
600 - 0.060	-29.1	-1.1	31.0	29.3	27.6	26.5	28.7	31.6
600 - 0.180	-3.3	-5.2	33.6	32.3	31.4	29.5	41.9	46.3

Tabella 2.11:  $\Delta V_{th}$  dei dispositivi NMOS estratte con *SDLM*

### 2.3 Variazione della tensione di soglia

Dispositivo	$ V_{th} [mV]$								
	pre	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	323.5	329.9	327.3	330.7	329.7	343.2	355.8	373.1	354.5
100 - 0.060	411.6	409.9	412.3	415.5	416.8	428.3	435.8	466.9	453.9
200 - 0.030	296.5	292.4	301.7	299.8	304.4	320.0	323.0	345.6	327.0
200 - 0.060	404.9	403.9	405.3	407.3	413.0	422.5	430.9	460.0	442.1
200 - 0.180	449.3	452.1	457.6	456.9	461.9	473.7	482.7	520.4	506.6
600 - 0.030	289.7	293.0	297.3	297.0	299.9	313.1	325.7	345.2	324.0
600 - 0.060	391.8	393.4	397.4	396.8	402.0	415.1	421.2	451.1	432.6
600 - 0.180	441.4	443.4	445.1	444.6	450.9	464.5	474.2	514.2	492.4

Tabella 2.12:  $|V_{th}|$  dei dispositivi PMOS estratte con *SDLM*

Dispositivo	$\Delta V_{th}[mV]$							
	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	6.4	3.8	7.2	6.2	19.7	32.3	49.6	31.0
100 - 0.060	-1.7	0.7	3.9	5.2	16.7	24.2	55.3	42.3
200 - 0.030	-4.1	5.2	3.3	7.9	23.5	26.5	49.1	30.5
200 - 0.060	-1.0	0.4	2.4	8.1	17.6	26.0	55.1	37.2
200 - 0.180	2.8	8.3	7.6	12.6	24.4	33.4	71.1	57.3
600 - 0.030	3.3	7.6	7.3	10.2	23.4	36.0	55.5	34.3
600 - 0.060	1.6	5.6	5.0	10.2	23.3	29.4	59.3	40.8
600 - 0.180	2.0	3.7	3.2	9.5	23.1	32.8	72.8	51.0

Tabella 2.13:  $\Delta V_{th}$  dei dispositivi PMOS estratte con *SDLM*

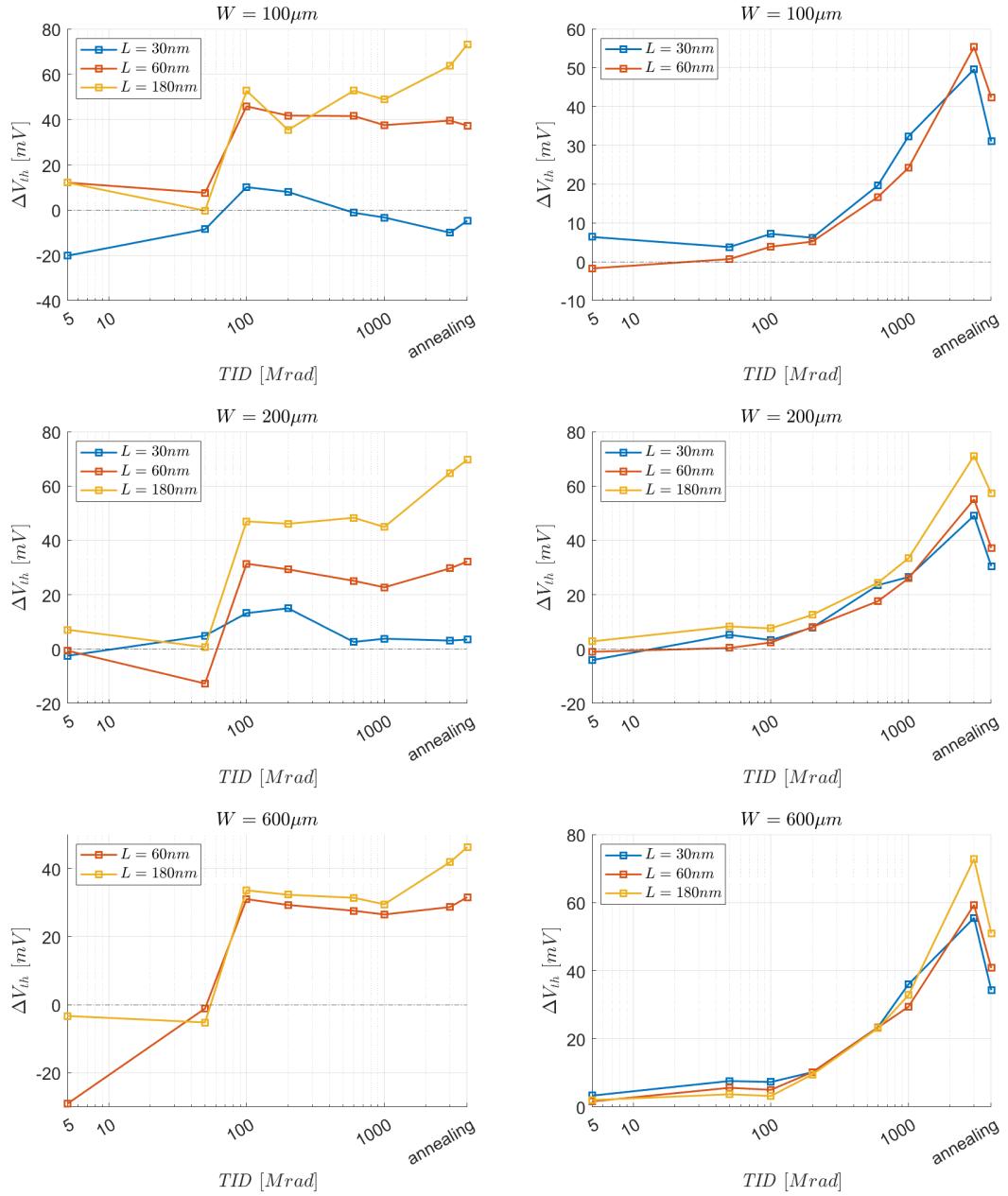


Figura 2.8: Variazioni di  $V_{th}$  dei dispositivi NMOS (a sinistra) PMOS (a destra) estratte con *SDLM* in funzione della dose assorbita. Ogni figura si riferisce a una larghezza di canale  $W$  differente. Raggruppate per dimensione dello spessore dei dispositivi

### 2.3.3 Extrapolation in the Linear Region method

Il terzo metodo analizzato è l'*Extrapolation in the Linear Region method, ELR* [5]. La tensione di soglia estratta con questo metodo è data dall'intercetta della extrapolazione lineare della caratteristica  $I_D - V_{GS}$  nel suo punto di massima pendenza (cioè il punto di massima transconduttanza,  $g_m$ ) con l'asse delle ascisse ( $V_{GS}$ ). Per ottenere la tensione di soglia, al valore dell'intercetta si deve aggiungere  $V_{DS}/2$ , dove  $V_{DS}$  è la tensione alla quale è stata misurata la caratteristica  $I_D - V_{GS}$  interpolata linearmente. Operativamente, il tratto sul quale fare il fit lineare è ottenuto prendendo un determinato intervallo nell'intorno del punto di flesso della  $I_D - V_{GS}$ .

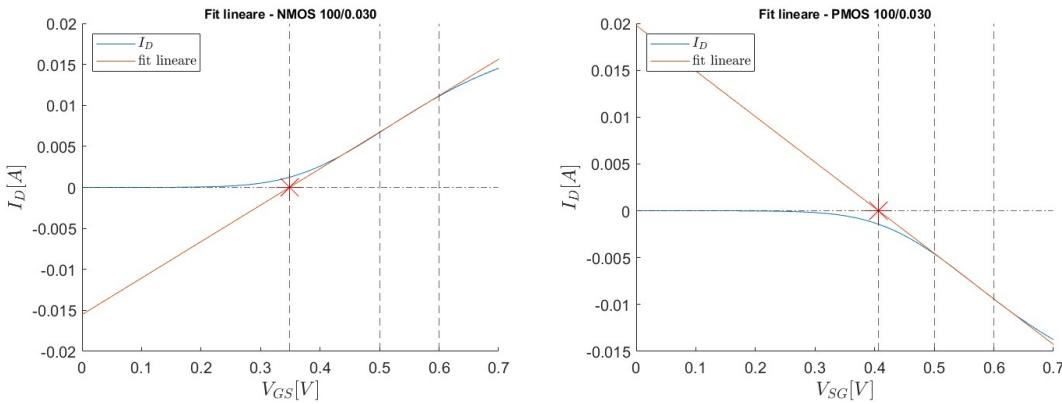


Figura 2.9: Fit lineare della caratteristica  $I_D - V_{GS}$  a  $V_{DS} = 150mV$  di un NMOS e di un PMOS di dimensioni 100-0.030

Lo svantaggio principale di questo metodo è dato dal fatto che il punto di pendenza massima può essere incerto a causa di possibili effetti quali il degrado della mobilità dei portatori di carica e la possibile presenza di resistenze parassite serie al terminale di source e drain. Nonostante ciò, per il nostro studio questo metodo potrebbe risultare efficace, in quanto non siamo principalmente interessati al valore della tensione di soglia dei dispositivi, ma alla variazione della tensione di soglia a causa delle radiazioni ionizzanti alle quali i dispositivi vengono sottoposti. Dunque gli errori prodotti dalle resistenze parassite e dalla degradazione di mobilità possono essere considerate come un offset che viene eliminato nel momento in cui si calcola la differenza tra la  $V_{th}$  pre e post irraggiamento.

È infine doveroso fare una parentesi sulla regione di linearizzazione considerata per questo studio: infatti non è possibile stabilire con certezza una regione fissa in cui la funzione, ottenuta con misure sperimentali, può essere linearizzata. Il metodo da noi applicato è stato quello di analizzare tutti i possibili intervalli di linearizzazione ampi  $100mV$  i cui estremi ricadono nell'intervallo  $[300mV; 750mV]$  e scegliere quello il cui fit approssimava meglio la funzione. All'atto pratico abbiamo considerato l'intervallo il cui fit ha il coefficiente di determinazione  $R^2$  più alto, che è risultato essere sempre maggiore di 0.999.

## Capitolo 2 Studio sperimentale

Dispositivo	$V_{th}[mV]$								
	pre	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	351.0	348.5	338.8	360.4	358.4	353.1	348.6	346.2	350.1
100 - 0.060	388.8	385.3	373.1	403.8	402.0	398.8	396.0	399.6	404.4
100 - 0.180	465.9	461.6	449.4	482.5	481.7	482.3	481.9	492.9	500.8
200 - 0.030	336.9	334.6	324.6	346.0	344.7	341.3	338.7	340.1	344.5
200 - 0.060	382.9	379.4	366.4	396.6	395.1	393.4	391.6	397.6	403.1
200 - 0.180	454.6	449.8	438.1	471.1	471.0	473.6	474.4	489.5	497.8
600 - 0.060	349.3	347.2	336.7	361.2	361.4	358.1	356.7	359.9	366.0
600 - 0.180	431.8	427.5	412.4	440.6	440.1	440.8	440.4	451.3	460.8

Tabella 2.14:  $V_{th}$  dei dispositivi NMOS estratte con *ELR*

Dispositivo	$\Delta V_{th}[mV]$							
	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	-2.5	-12.1	9.4	7.4	2.1	-2.4	-4.8	-0.9
100 - 0.060	-3.5	-15.8	15.0	13.1	10.0	7.2	10.8	15.6
100 - 0.180	-4.3	-16.5	16.6	15.8	16.3	16.0	27.0	34.9
200 - 0.030	-2.3	-12.3	9.1	7.9	4.5	1.8	3.2	7.6
200 - 0.060	-3.5	-16.5	13.6	12.2	10.5	8.7	14.7	20.2
200 - 0.180	-4.9	-16.5	16.5	16.4	19.1	19.8	34.9	43.2
600 - 0.060	-2.2	-12.7	11.8	12.0	8.8	7.4	10.6	16.7
600 - 0.180	-4.3	-19.4	8.8	8.2	9.0	8.6	19.5	29.0

Tabella 2.15:  $\Delta V_{th}$  dei dispositivi NMOS estratte con *ELR*

### 2.3 Variazione della tensione di soglia

Dispositivo	$ V_{th} [mV]$								
	pre	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	405.8	406.6	408.6	410.1	416.1	429.3	436.6	458.9	440.7
100 - 0.060	452.0	452.9	454.6	456.5	462.9	475.4	484.9	515.9	497.1
200 - 0.030	376.2	377.6	379.3	380.3	386.9	397.5	404.7	426.3	406.6
200 - 0.060	434.6	435.9	437.5	439.3	445.1	458.1	467.2	495.9	474.2
200 - 0.180	482.3	483.5	490.3	492.4	498.5	511.5	522.6	562.3	543.2
600 - 0.030	359.4	360.9	362.5	364.6	370.1	379.8	387.1	410.6	389.2
600 - 0.060	412.8	414.2	417.1	417.5	424.5	437.3	446.1	477.9	455.5
600 - 0.180	463.2	464.4	466.4	468.9	475.2	490.8	502.9	546.2	519.3

Tabella 2.16:  $|V_{th}|$  dei dispositivi PMOS estratte con *ELR*

Dispositivo	$\Delta V_{th}[mV]$							
	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	0.8	2.8	4.4	10.4	23.5	30.8	53.1	34.9
100 - 0.060	0.9	2.6	4.5	10.9	23.3	32.9	63.9	45.1
200 - 0.030	1.4	3.2	4.1	10.8	21.3	28.6	50.1	30.4
200 - 0.060	1.3	2.9	4.7	10.5	23.5	32.6	61.3	39.6
200 - 0.180	1.2	8.0	10.1	16.2	29.3	40.4	80.0	60.9
600 - 0.030	1.5	3.2	5.2	10.7	20.4	27.7	51.2	29.8
600 - 0.060	1.4	4.3	4.8	11.8	24.5	33.3	65.1	42.7
600 - 0.180	1.2	3.2	5.7	12.0	27.6	39.7	83.0	56.1

Tabella 2.17:  $\Delta V_{th}$  dei dispositivi PMOS estratte con *ELR*

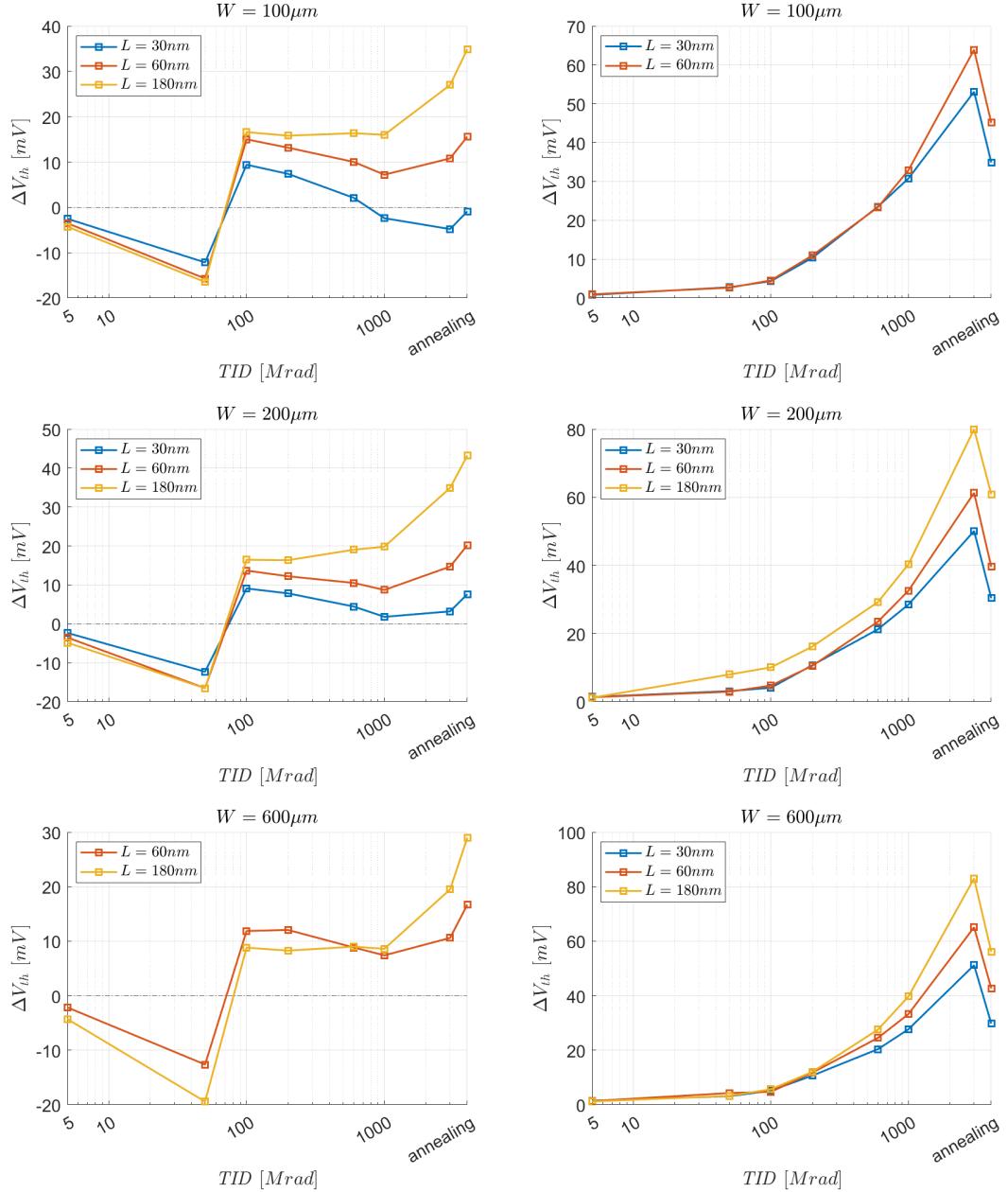


Figura 2.10: Variazioni di  $V_{th}$  dei dispositivi NMOS (a sinistra) PMOS (a destra) estratte con  $ELR$  in funzione della dose assorbita. Ogni figura si riferisce a una larghezza di canale  $W$  differente.

### 2.3.4 Ratio Method

Il *Ratio Method*, *RM* è stato sviluppato per far fronte alle problematicità dell'*ELR*: è stato infatti dimostrato che questo metodo non è influenzato dalla degradazione della mobilità dei portatori di carica né dalle resistenze parassite [5]. Questo metodo si basa sull'assunzione che, a bassi valori di tensione di drain  $V_{DS}$ , il rapporto tra la corrente di drain  $I_D$  e la radice quadrata della transconduttanza  $g_m$  ( $\frac{I_D}{\sqrt{g_m}}$ ) in funzione della tensione di gate  $V_{GS}$  si comporti come una funzione lineare. La tensione di soglia  $V_{th}$  coincide con il valore della tensione  $V_{GS}$  a cui il fit lineare della funzione interseca l'asse delle ascisse (figura 2.11).

Anche in questo caso, per ottenere il fit lineare più accurato possibile è stato usato lo stesso metodo esposto per l'*ELR*.

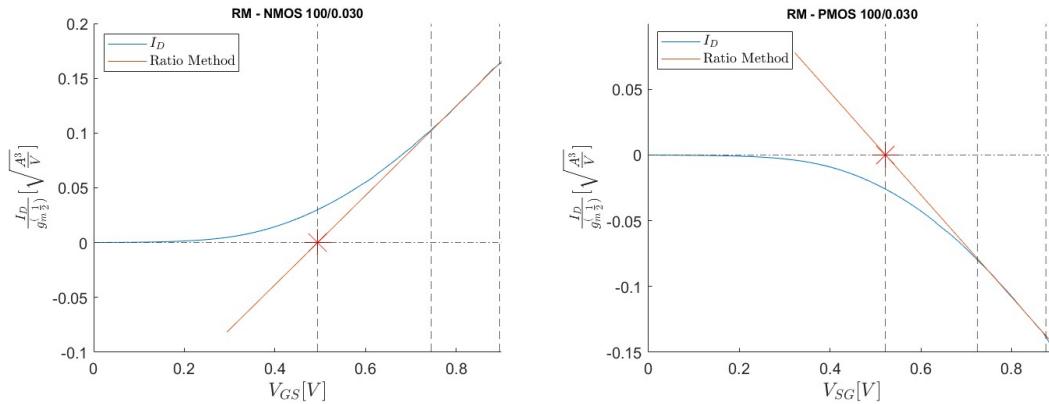


Figura 2.11: Fit lineare della caratteristica  $\frac{I_D}{\sqrt{g_m}} - V_{GS}$  a  $V_{DS} = 150mV$  di un NMOS e di un PMOS di dimensioni 100-0.030

## Capitolo 2 Studio sperimentale

Dispositivo	$V_{th}[mV]$								
	pre	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	494.2	490.9	476.2	449.9	447.5	478.7	478.4	444.0	489.9
100 - 0.060	485.6	481.8	470.9	502.5	499.4	500.3	499.4	506.0	506.9
100 - 0.180	529.4	527.8	503.8	541.0	541.9	541.4	540.9	545.8	550.8
200 - 0.030	485.2	497.4	483.1	486.8	496.7	504.1	497.3	500.3	499.0
200 - 0.060	499.8	482.9	467.2	499.6	498.9	503.1	514.1	513.6	518.1
200 - 0.180	523.4	515.8	507.5	542.1	538.6	544.1	546.2	506.6	555.1
600 - 0.060	514.9	507.4	504.9	517.3	521.4	521.2	514.3	512.8	526.5
600 - 0.180	539.0	537.0	525.9	546.6	546.2	545.6	546.1	550.2	557.4

Tabella 2.18:  $V_{th}$  dei dispositivi NMOS estratte con  $RM$

Dispositivo	$\Delta V_{th}[mV]$							
	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	-3.3	-18.0	-44.3	-46.7	-15.4	-15.8	-50.2	-4.3
100 - 0.060	-3.9	-14.7	16.8	13.8	14.7	13.8	20.4	21.3
100 - 0.180	-1.6	-25.6	11.6	12.6	12.0	11.5	16.4	21.4
200 - 0.030	12.2	-2.1	1.7	11.5	19.0	12.1	15.1	13.8
200 - 0.060	-16.9	-32.5	-0.2	-0.9	3.3	14.3	13.8	18.3
200 - 0.180	-7.6	-15.9	18.7	15.2	20.7	22.8	-16.8	31.7
600 - 0.060	-7.5	-9.9	2.4	6.5	6.3	-0.6	-2.1	11.6
600 - 0.180	-1.9	-13.0	7.6	7.2	6.7	7.1	11.2	18.4

Tabella 2.19:  $\Delta V_{th}$  dei dispositivi NMOS estratte con  $RM$

### 2.3 Variazione della tensione di soglia

Dispositivo	$ V_{th} [mV]$								
	pre	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	522.3	529.8	530.7	532.2	533.3	544.4	547.3	520.9	553.1
100 - 0.060	543.6	543.3	541.8	545.4	548.9	528.1	541.6	581.5	560.3
200 - 0.030	525.2	520.5	527.4	542.2	544.8	551.1	554.7	554.0	553.5
200 - 0.060	547.9	540.5	549.1	550.6	555.7	563.1	568.3	579.3	571.1
200 - 0.180	551.1	553.1	538.3	538.0	545.0	568.8	576.8	599.7	587.5
600 - 0.030	527.8	539.9	537.3	540.2	539.9	550.8	555.2	567.0	556.5
600 - 0.060	557.2	552.2	558.5	559.7	558.7	567.6	576.7	589.6	575.2
600 - 0.180	555.2	559.3	556.9	559.4	559.7	574.3	581.3	603.4	582.1

Tabella 2.20:  $|V_{th}|$  dei dispositivi PMOS estratte con *RM*

Dispositivo	$\Delta V_{th}[mV]$							
	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100 - 0.030	7.5	8.4	9.9	11.0	22.1	25.1	-1.4	30.8
100 - 0.060	-0.3	-1.8	1.8	11.0	-15.5	-2.0	37.9	16.7
200 - 0.030	-4.7	2.2	17.0	19.6	25.9	29.5	28.8	28.3
200 - 0.060	-7.5	1.1	2.6	7.7	15.2	20.3	31.4	23.2
200 - 0.180	2.0	-12.7	-13.1	-6.1	17.8	25.7	48.6	36.4
600 - 0.030	12.1	9.5	12.4	12.1	23.0	27.5	39.2	28.7
600 - 0.060	12.1	1.3	2.5	12.1	10.4	19.5	32.4	18.0
600 - 0.180	-4.6	1.8	4.3	4.5	19.2	26.1	48.2	26.9

Tabella 2.21:  $\Delta V_{th}$  dei dispositivi PMOS estratte con *RM*

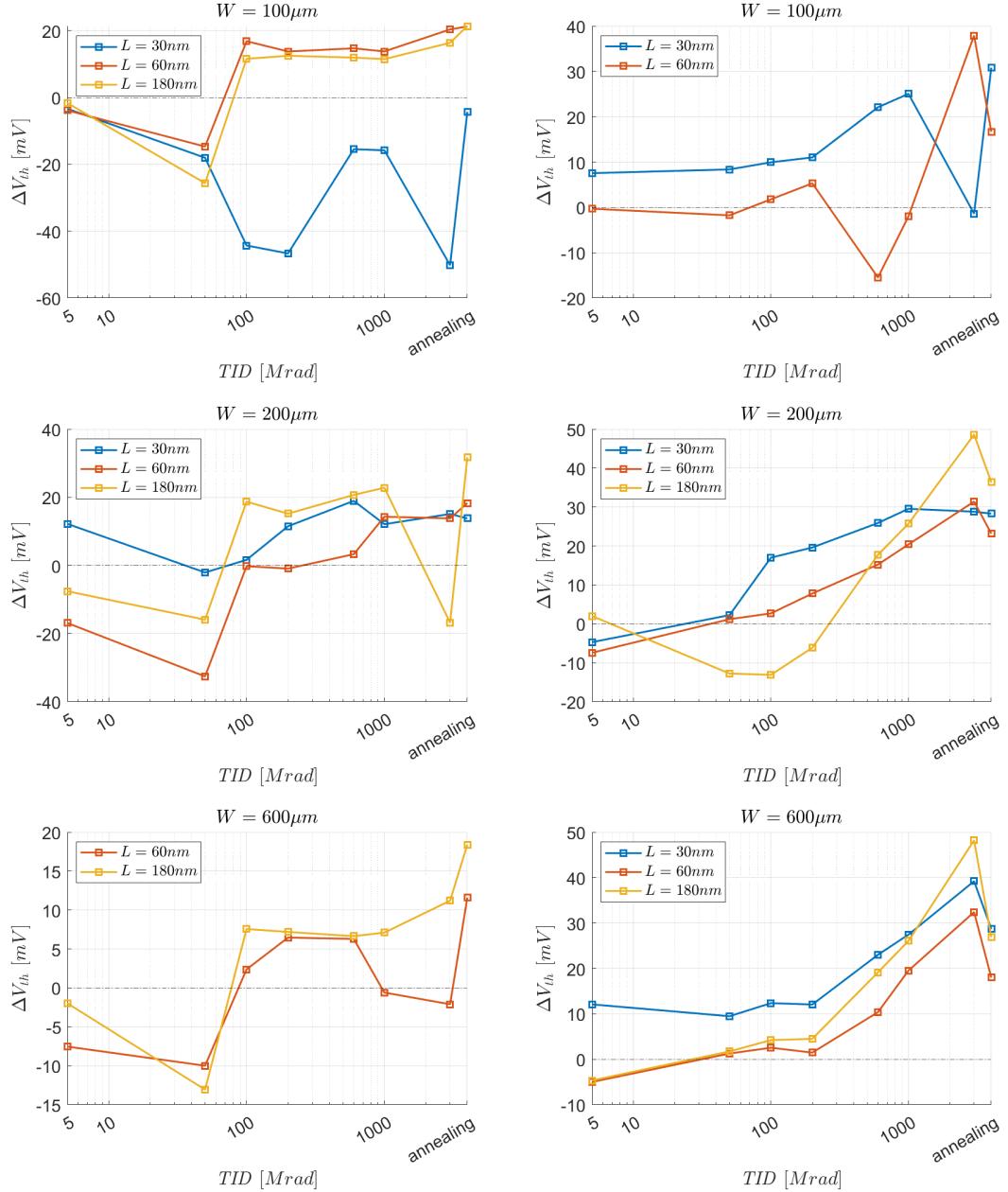


Figura 2.12: Variazioni di  $V_{th}$  dei dispositivi NMOS (a sinistra) PMOS (a destra) estratte con  $RM$  in funzione della dose assorbita. Ogni figura si riferisce a una larghezza di canale  $W$  differente.

### 2.3.5 Riepilogo

Per concludere questa sezione si vogliono osservare gli andamenti delle curve della variazione della tensione di soglia  $V_{th}$  al variare della dose, con l'obiettivo di far incontrare la teoria, trattata alla sezione 1.2.2, e dati sperimentali. In particolare si è scelto di fare questa analisi sul dispositivo a larghezza  $W = 100\mu m$  e a lunghezza  $L = 30nm$  sia per il transistore MOSFET a canale N che a canale P.

Mettendo a confronto tutti i metodi utilizzati nelle sezioni precedenti si trovano offset sugli andamenti anche superiori a  $200mV$ , figura 2.13, che, però, non rappresentano un problema, poiché l'obiettivo è osservare la variazione della tensione di soglia. Nella figura 2.14 vengono mostrate le curve  $\Delta V_{th}$ . È da notare come la maggior parte dei metodi segue lo stesso andamento sia per i transistori MOSFET a canale N sia per quelli a canale P.

**MOSFET a canale N** Osservando il grafico 2.14a si ha che per dosi superiori a  $50Mrad ERL$ ,  $SDLM$  e  $TCM$  sono molto simili (differenze poco superiori ai  $5mV$ ) mentre per dosi inferiori  $SDLM$  si distingue dalle altre due. Prendendo come riferimento queste curve, inizialmente si ha un decremento della  $V_{th}$ , dovuto all'accumulo di cariche positive nell'ossido; a  $100Mrad$  di  $TID$  si ha un aumento significativo della tensione di soglia (circa  $20mV$ ), che può essere spiegato dall'extrappolamento di cariche negative da parte delle trappole all'interfaccia. Infine, per dosi superiori a  $100Mrad$  si osserva un decremento della  $V_{th}$  a cui non si è riusciti a trovare una spiegazione.

**MOSFET a canale P** Per quanto riguarda i PMOS, grafico 2.14b, si osserva che  $ERL$ ,  $SDLM$  e  $TCM$  hanno andamenti quasi sovrapposti che mostrano lo stesso comportamento del modulo della tensione di soglia<sup>4</sup>, che aumenta sempre all'aumentare della dose. Questo fenomeno è giustificato dall'accumulo di cariche positive intrappolate sia nell'ossido che nella giunzione  $Si/SiO_2$ . A seguito della procedura di annealing si può osservare un recupero importante, di circa  $20mV$ .

---

<sup>4</sup>Il calcolo della variazione della tensione di soglia nei PMOS è  $\Delta V_{th} = |V_{th,post}| - |V_{th,pre}|$

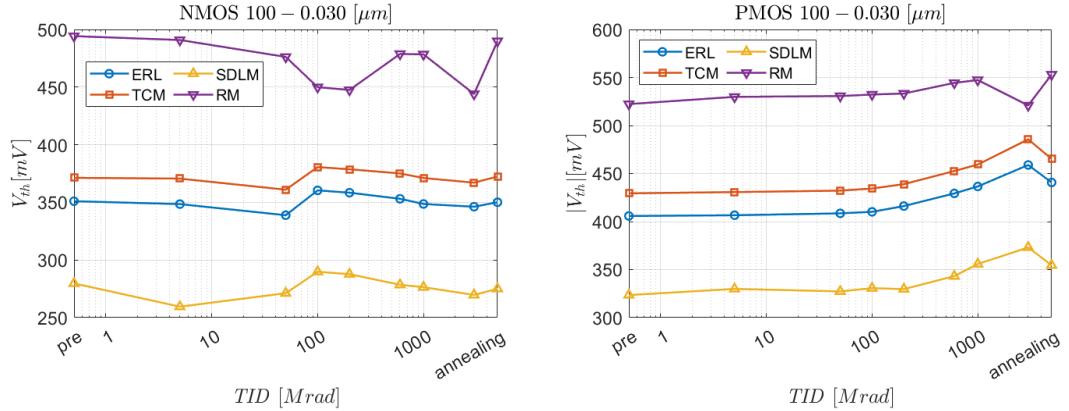


Figura 2.13: Confronto curve della  $V_{th}$  dei diversi metodi utilizzati al variare della dose, per i dispositivi NMOS, a sinistra, e PMOS, a destra, con dimensione  $W = 100\mu\text{m}$  e  $L = 30\text{nm}$ .

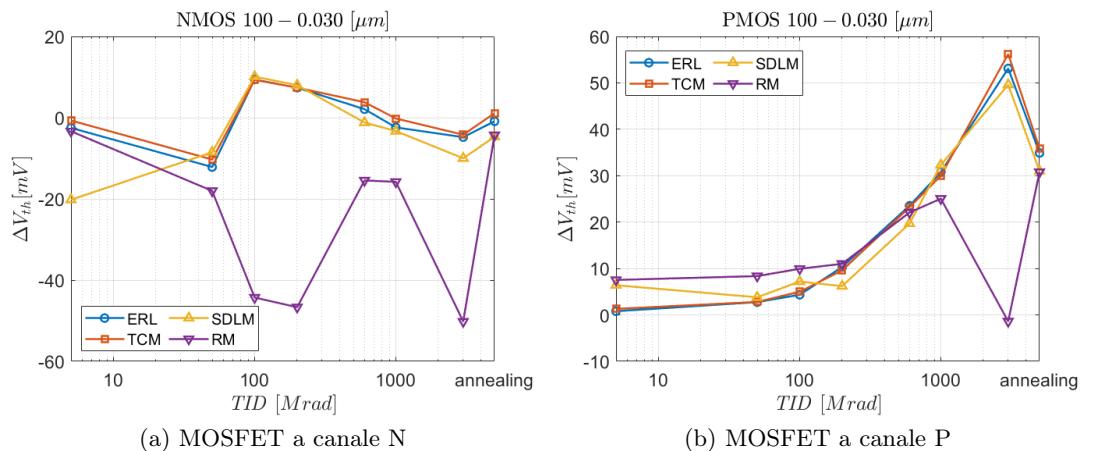


Figura 2.14:  $\Delta V_{th}$  al variare della dose per diversi metodi di estrazione, per dispositivi con dimensione  $W = 100\mu\text{m}$  e  $L = 30\text{nm}$ .

## 2.4 Variazione della transconduttanza

Un parametro utile ad indicare quanto un dispositivo MOSFET possa regolare la corrente di drain  $I_D$ , attraverso la tensione  $V_{GS}$ , è la transconduttanza  $g_m$ . Essa è definita dal rapporto incrementale:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (2.1)$$

Nel caso in cui il MOSFET si trovi nella regione di saturazione si ottiene la seguente espressione:

$$g_m = \frac{W}{L} \cdot \mu \cdot C_{ox} \cdot (V_{GS} - V_{th}) \quad (2.2)$$

### 2.4.1 Calcolo della transconduttanza

Derivare dei dati discontinui porta sempre, o quasi sempre, ad avere delle curve spezzate, delle quali è difficile trarre informazioni utili. Questo è stato il caso per la transconduttanza; la figura 2.15a (curva di sinistra) rappresenta la  $g_m$  di un transistor MOSFET a canale N, con  $W = 100\mu m$  e  $L = 30nm$  senza eseguire nessun tipo di smooth; in particolare, per alte  $V_{GS}$ , il difetto è molto marcato. Per ridurre questo effetto, oltre ad applicare alla fine uno smooth di ampiezza 5; sono state calcolate due transcondutranze, la prima  $g_m'$  normalmente, mentre, per la seconda  $g_m''$  si è eseguito il rapporto incrementale tra  $I_D$  e  $V_{GS}^*$ , tensione gate-source traslata di una posizione, duplicando il primo valore ed eliminando l'ultimo. In seguito la transconduttanza è stata ricavata eseguendo la media tra i singoli valori di  $g_m'$  e  $g_m''$ :

$$g_{mi} = \frac{g_{mi}' + g_{mi}''}{2} \quad i \in [1, 2, 3\dots] \quad (2.3)$$

Trovando, per il dispositivo in questione, la curva a figura 2.15b(curva a destra).

A figura 2.16 vengono mostrati i grafici relativi alla transconduttanza per i diversi transistori MOSFET, sia a canale N che P. Avendo imposto, sul dispositivo che effettua le misure statiche, il limite di corrente di drain a  $100mA$  (positiva e negativa); per i dispositivi con larghezza  $600\mu m$  e con lunghezze inferiori a  $60nm$ , questo limite viene raggiunto spiegando così il motivo del crollo della  $g_m$  per alte  $V_{GS}$ .

Un parametro utile per lo studio dell'influenza delle radiazioni ionizzanti sulla transconduttanza, è sicuramente la variazione della  $g_m$  in questo caso si è scelto di calcolare la  $\% \Delta g_m$  (equazione 2.4). Dall'espressione della transconduttanza (equazione 2.2) si nota la proporzionalità diretta con la mobilità dei portatori  $\mu$  e della tensione di soglia  $V_{th}$ , entrambi influenzati dalle radiazioni ionizzanti. Nello specifico l'aumento della  $TID$  riduce la mobilità dei portatori di carica all'interno del canale.

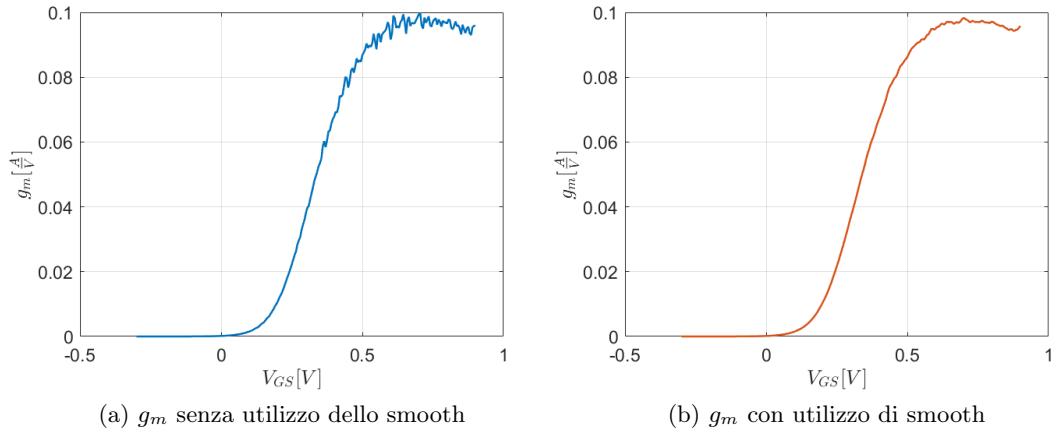


Figura 2.15: Confronto delle transconduttanze calcolate senza applicare smooth e con l'utilizzo di smooth.

$$\% \Delta g_m = \frac{g_{m\text{post}} - g_{m\text{pre}}}{g_{m\text{pre}}} \cdot 100 \quad (2.4)$$

Con  $g_{m\text{post}}$  si intende il massimo valore della transconduttanza ottenuta ad un determinato step di irraggiamento, mentre  $g_{m\text{pre}}$  è il valore massimo della transconduttanza calcolata pre irraggiamento. I dati estratti<sup>5</sup> sono riportati a tabelle 2.22 e 2.23 e figura 2.17.

---

<sup>5</sup>La  $V_{DS}$  da cui è stata estratta la transconduttanza è di  $0.9V$ , nel caso di NMOS, mentre per PMOS  $-0.9V$ .

## 2.4 Variazione della transconduttanza

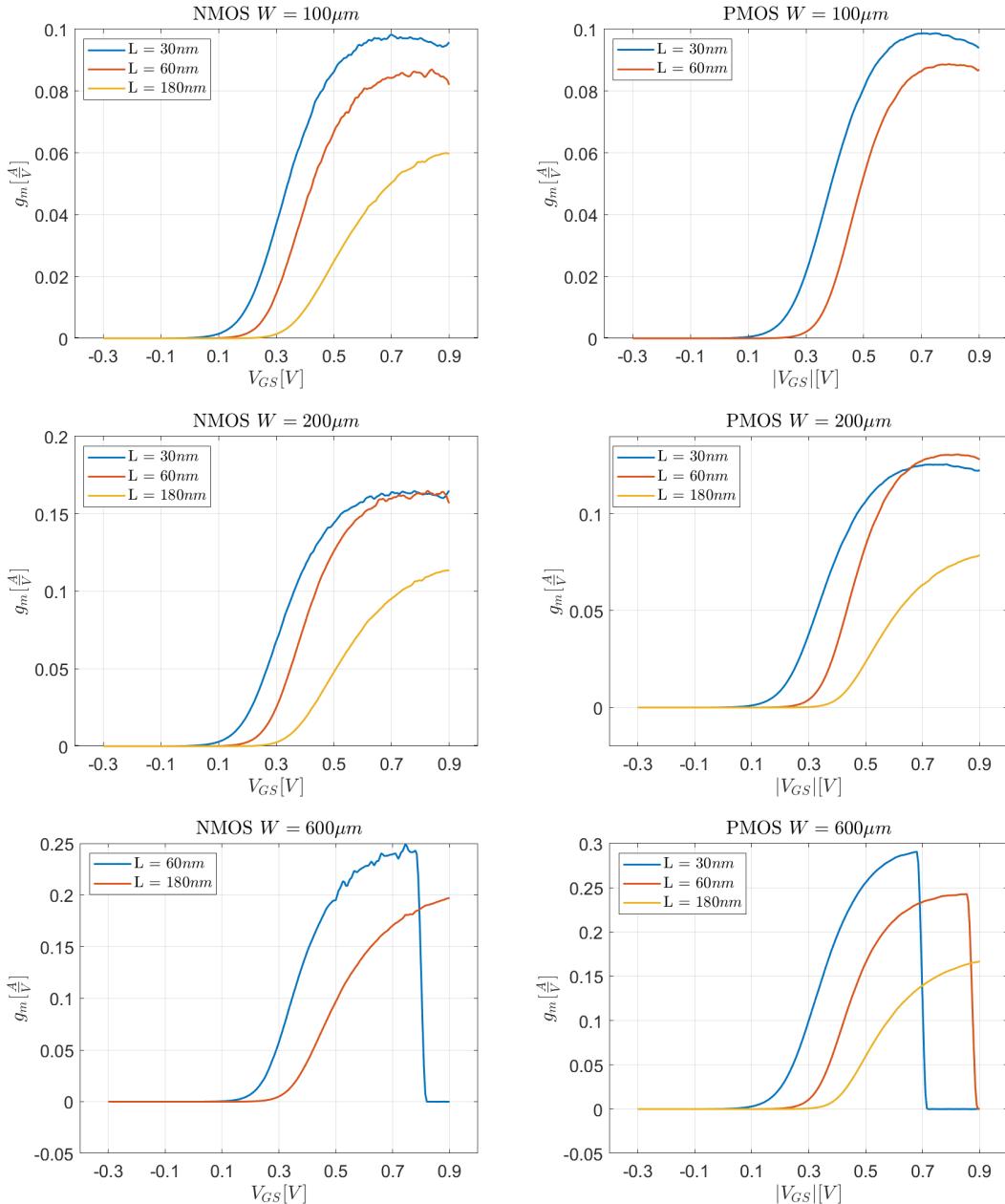


Figura 2.16: Transconduttanza dei dispositivi MOSFET. canale N, a sinistra, e canale P, a destra, pre irraggiamento. I grafici sono raggruppati per larghezza di canale.

## Capitolo 2 Studio sperimentale

Dispositivo	% $\Delta g_m$							
	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100-0.030	-0.3866	-0.4273	-0.7731	-0.7528	-1.2004	-2.2787	-4.0081	-4.2930
100-0.060	-0.2759	-0.6667	-1.6092	-1.6092	-1.8851	-2.7126	-4.6207	-4.2989
100-0.180	1.1011	1.1567	-2.7027	-2.2356	-2.2356	-4.1263	-6.9069	-7.0181
200-0.030	-0.1333	0.3758	-0.9939	-1.2000	-1.8667	-2.7273	-5.0182	-5.0788
200-0.060	1.3702	0	-1.3823	-1.4915	-2.0007	-3.0799	-4.8139	-4.9473
200-0.180	0.5282	0.3815	-3.3744	-3.3451	-4.5775	-5.4577	-9.5364	-9.5070
600-0.060	-1.4440	-1.8532	-4.0193	-3.4817	-4.4765	-5.1023	-6.1773	-6.4902
600-0.180	0.8105	1.0132	-4.2553	-4.5086	-4.8632	-5.6738	-8.0041	-8.7133

Tabella 2.22: Variazioni percentuali della transconduttanza al variare della dose assorbita in un MOSFET a canale N.

Dispositivo	% $\Delta g_m$							
	5Mrad	50Mrad	100Mrad	200Mrad	600Mrad	1Grad	3Grad	annealing
100-0.030	-0.1216	-0.9325	-1.4393	-1.1555	-3.0205	-4.1557	-11.2508	-6.4058
100-0.060	-0.1578	-0.8343	-1.3078	-1.0372	-3.1342	-4.3292	-12.2435	-6.5614
200-0.030	0.0797	-0.4461	-0.7328	0.1593	-1.3223	-1.4338	-6.2291	-3.7757
200-0.060	0.1837	-0.4898	-0.8878	-0.2908	-1.8062	-2.4797	-8.8321	-4.4390
200-0.180	-0.6345	-1.7766	-1.2690	-1.5228	-3.2995	-5.0761	-18.6548	-11.1675
600-0.030	-0.0069	-0.2477	-0.3647	0.1651	-0.9770	-0.7362	-4.9539	-3.4884
600-0.060	0.0494	-0.0412	-0.6837	0.1565	-0.9885	-1.5568	-7.4876	-4.3822
600-0.180	0.1198	-0.4790	-1.1976	-1.0579	-3.2335	-4.3114	-17.9441	-8.8423

Tabella 2.23: Variazioni percentuali della transconduttanza al variare della dose assorbita in un MOSFET a canale P.

## 2.4 Variazione della transconduttanza

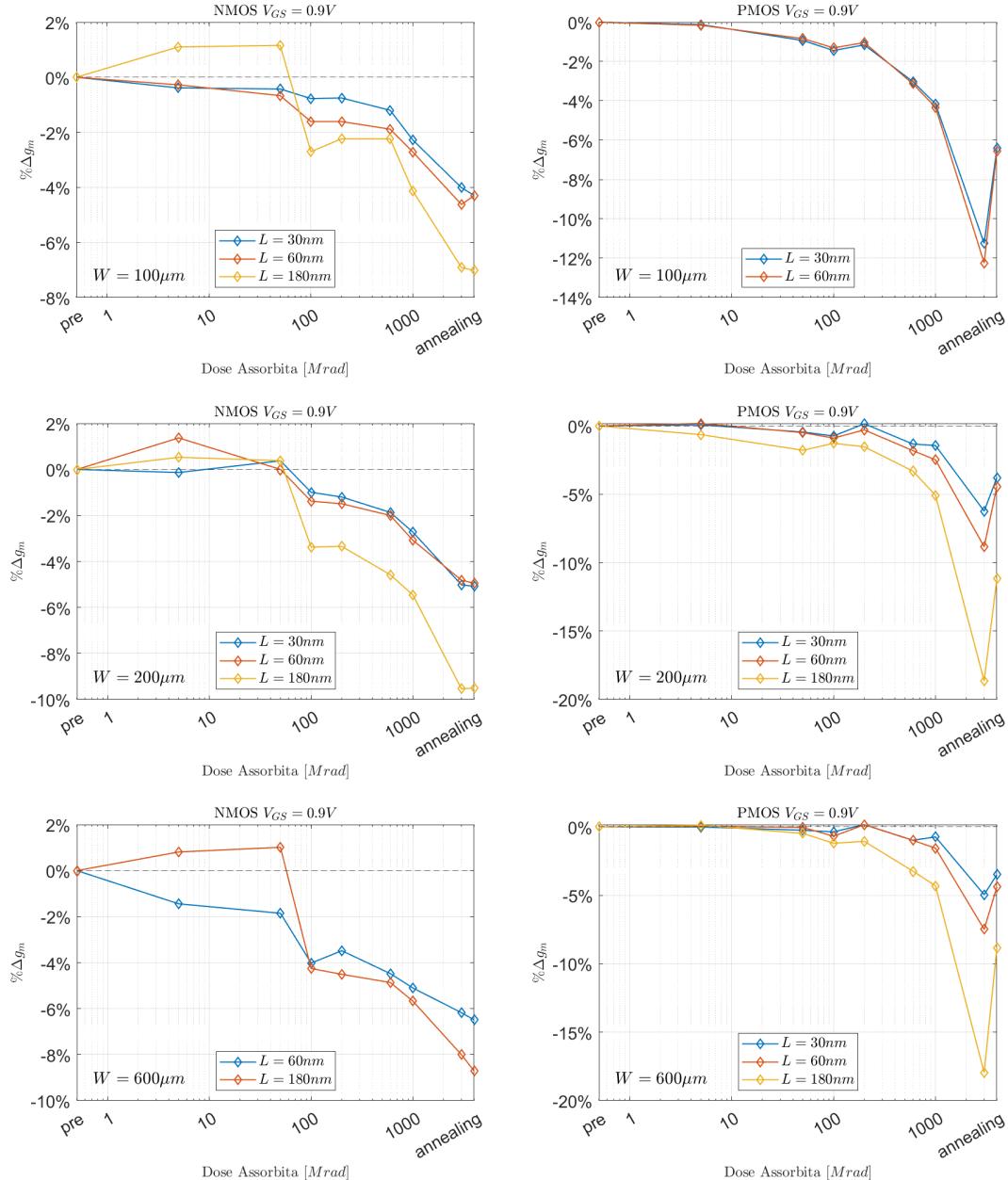


Figura 2.17: Curve  $\Delta g_m$  percentuale al variare della dose assorbita: a sinistra i transistori MOSFET a canale N e a destra a canale P. I grafici sono raggruppati per larghezza di canale.

## 2.5 Variazione della corrente di leakage

Idealmente per tensioni *gate-source* inferiori alla tensione di soglia il transistore MOSFET non lascia passare nessuna corrente di *drain*,  $I_D = 0$ . Nella realtà questo non è vero, infatti sono presenti le cosiddette *leakage current*, correnti di perdita, che possono variare a seconda della tipologia del dispositivo, NMOS o PMOS, o anche per la dimensione. Queste correnti possono essere rilevanti o trascurabili a seconda dell'intensità; In figura 2.19, confronti tra NMOS e PMOS delle correnti di perdita estratti per valori di  $V_{GS} = -0.3V$  e  $V_{DS} = 0.45V$ <sup>6</sup>.

**Differenze di  $I_{off}$  tra NMOS e PMOS** Nella figura 2.19 la differenza tra i dispositivi a canale N e a canale P è molto evidente superati i  $600Mrad$ , soprattutto per il dispositivo  $600 - 0.060$  (b), raggiungendo differenze all'ordine dei  $\mu A$ . Infatti, come già anticipato nella sezione 1.2.2, i MOSFET a canale N sono soggetti alla creazione di transistor parassiti nella *STI* che comportano un aumento della  $I_{off}$ .

**Differenze di  $I_{off}$  in dispositivi a dimensioni diverse** La corrente di *drain* presenta una proporzionalità con le dimensioni del dispositivo, in particolare  $I_D \propto \frac{W}{L}$ . Osservando, ad esempio, la figura 2.19a si nota come la l'aumento della lunghezza, da  $30$  a  $60nm$  provoca un abbassamento della  $I_{off}$ , mentre a parità di  $L$  e all'aumentare di  $W$  si ha un aumento della corrente di perdita.

**Effetto della  $\Delta V_{th}$  a basse dosi sui NMOS** Come già riportato nella sezione 1.2.2, e confermato dai dati nella sezione 2.3, la variazione della tensione di soglia, nei dispositivi NMOS, inizialmente è negativa a basse dosi (circa  $10Mrad$ ) e la riduzione della  $V_{th}$  comporta un aumento della corrente *drain-source* di perdita, in figura 2.18 vengono mostrati gli andamenti della  $I_{off}$  per i dispositivi a larghezza  $100\mu m$  con lunghezza  $60nm$  e  $180nm$  e per i dispositivi  $W = 600\mu m$  e  $L = 60nm$  e  $180nm$ , con un focus particolare sui bassi dosaggi di radiazioni ionizzanti.

Per concludere si riportano a figura 2.20 i grafici delle variazioni della *leakage current*,  $\Delta I_{off}$ , al variare della dose assorbita.

---

<sup>6</sup>Per i PMOS si intendono  $V_{SG} = -0.3V$  e  $V_{SD} = 0.45V$

## 2.5 Variazione della corrente di leakage

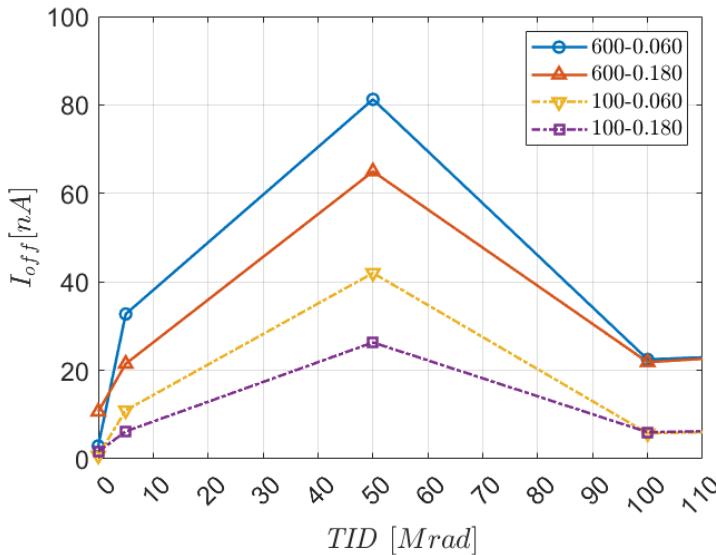


Figura 2.18: Confronto della  $I_{off}$  di diversi dispositivi NMOS

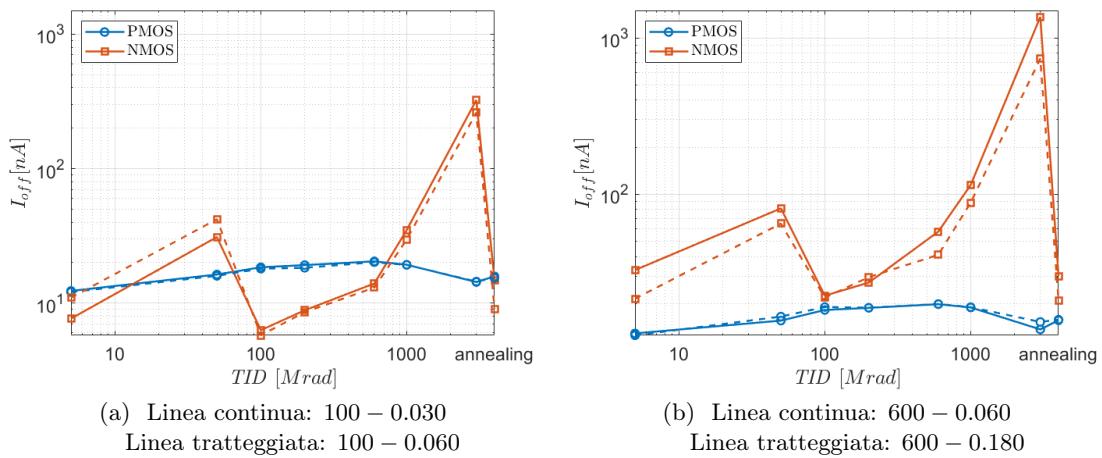


Figura 2.19: Confronto *leakage current* tra dispositivi NMOS e PMOS; a sinistra, figura (a), le larghezze  $100\mu m$  mentre a figura (b) le larghezze  $600\mu m$ .

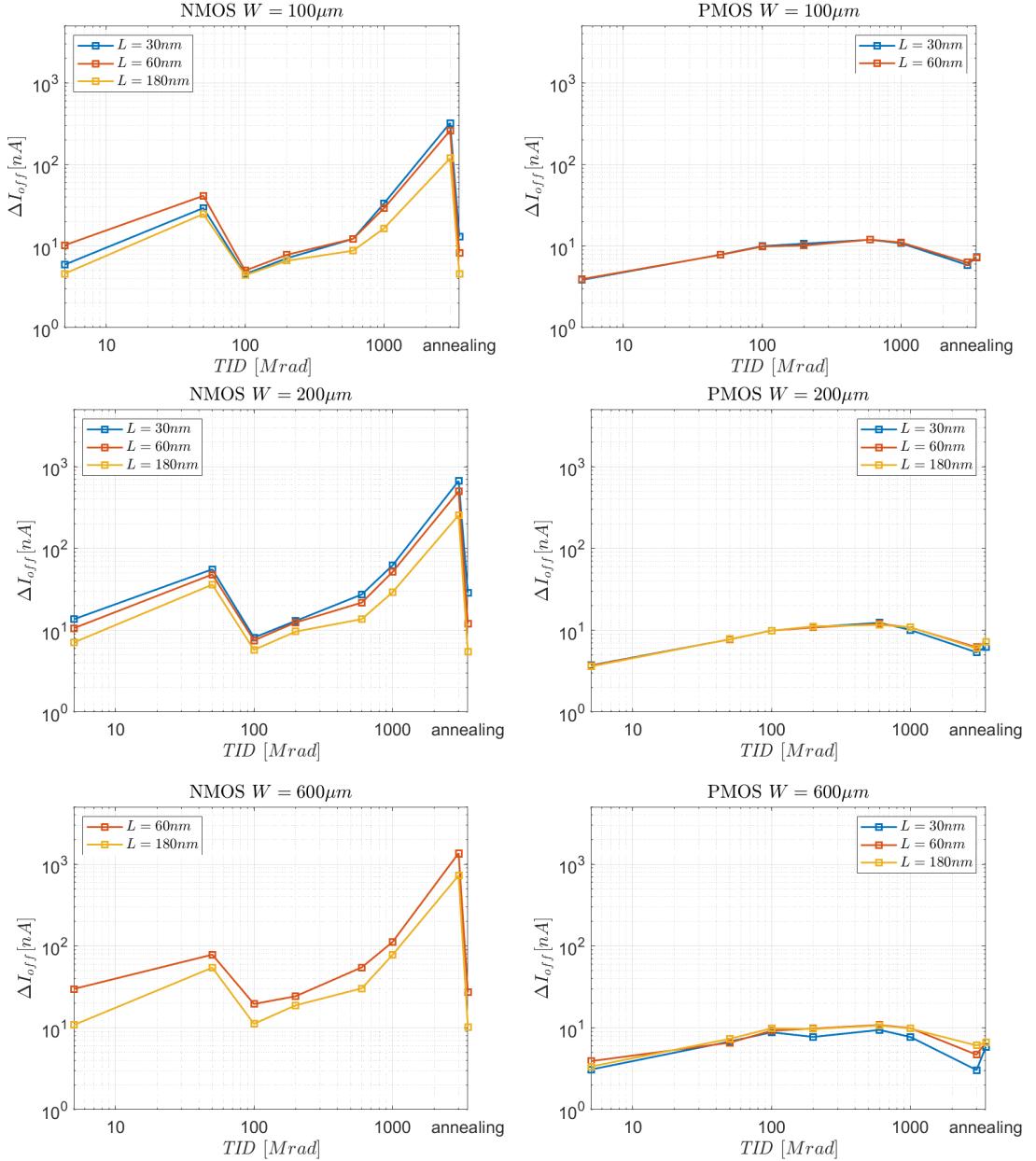


Figura 2.20: Confronti della  $\Delta I_{off}$  al variare della dose assorbita, a sinistra i NMOS e a destra i PMOS, i dispositivi sono raggruppati per larghezza di canale.

## 2.6 Variazione della corrente $I_{on}$

Fissato il valore della tensione  $V_{DS}$ , la  $I_{on}$  è definita come il valore di corrente di Drain  $I_D$  che attraversa un MOSFET quando il valore della tensione  $V_{GS}$  è massimo:

$$I_{on}(V_{DS}) = \max_{V_{GS}} I_D(V_{DS}, V_{GS}) \quad (2.5)$$

Per questo studio, si è interessati alla variazione percentuale di questo parametro al crescere della dose assorbita e successivamente all'*annealing*. Il valore massimo di  $V_{GS}$  considerato è il valore massimo utilizzato per le misure, ovvero 900mV. L'unica eccezione è il MOSFET a canale P di dimensioni 600-0.030, per il quale è stata considerata la  $I_D$  a  $V_{GS} = 700mV$ , poiché a  $V_{GS} = 900mV$  satura lo strumento di misura. Alcuni risultati ottenuti sono mostrati nelle immagini 2.21 ( $V_{DS} = 450mV$ ) e 2.22 ( $V_{DS} = 900mV$ ).

Analizzando i grafici si possono ottenere diverse informazioni:

- **A parità di dispositivo e  $V_{DS}$ :** per i MOSFET a canale N, la  $I_{on}$  a basse dosi di irraggiamento aumenta leggermente (tra 0% e 5% del valore pre-irraggiamento), ma intorno ai 100Mrad di  $TID$  il valore diminuisce in maniera repentina. All'aumentare ulteriore dell'irraggiamento, il valore di  $I_{on}$  cala in modo costante, ma lentamente. Le stessa cosa succede dopo l'*annealing*. Per i MOSFET a canale P, invece, il valore della  $I_{on}$  cala in modo quasi lineare con l'irraggiamento, in maniera più consistente di quanto faccia per i dispositivi a canale N dopo i 100Mrad di radiazioni subite. In seguito all'*annealing*, il valore di  $I_{on}$  nei PMOS aumenta notevolmente, senza però avvicinarsi al valore pre-irraggiamento. Queste variazioni sono coerenti con l'andamento della tensione di soglia dei dispositivi.
- **A parità di  $V_{DS}$ , larghezza e tipologia di canale:** la lunghezza del canale influenza fortemente il degrado della  $I_{on}$ . La differenza percentuale è tanto più negativa quanto più la lunghezza dei MOSFET è maggiore. Nei grafici è presente un'eccezione: la  $\% \Delta I_{on}$  del MOSFET a canale P di dimensione 600-0.060 pare essere meno negativa rispetto a quella del MOSFET della stessa tipologia di dimensione 600-0.030. Quest'eccezione in realtà è dovuta alle modalità con cui è stata calcolata la  $I_{on}$  per quest'ultimo dispositivo (vedi sopra).

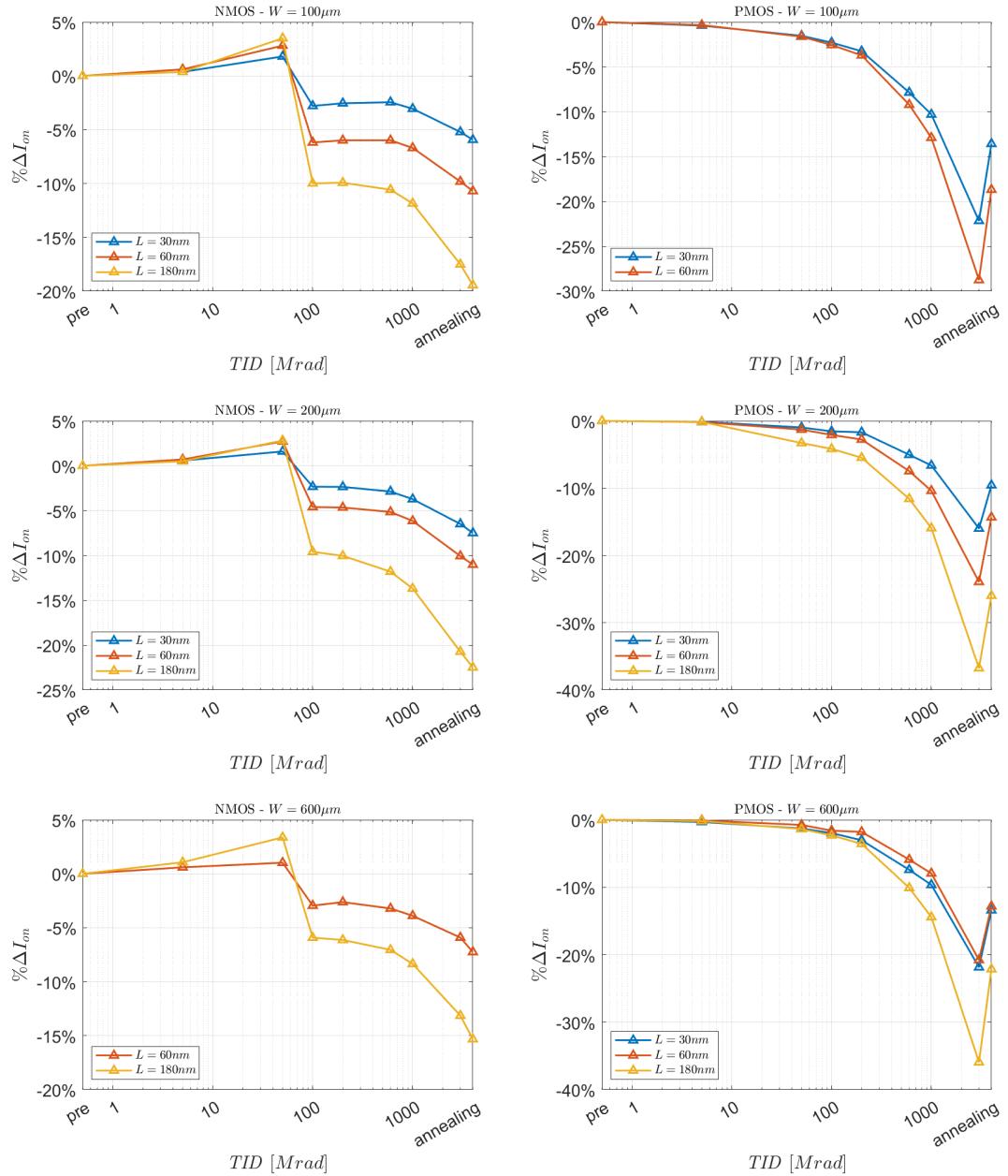


Figura 2.21:  $\% \Delta I_{on}$  calcolata nei dispositivi MOSFET a  $V_{DS} = 450mV$  rispetto alle misure fatte prima di subire la dose di irraggiamento. A sinistra i dispositivi a canale N, a destra i dispositivi a canale P. I grafici sono raggruppati per larghezza di canale.

## 2.6 Variazione della corrente $I_{on}$

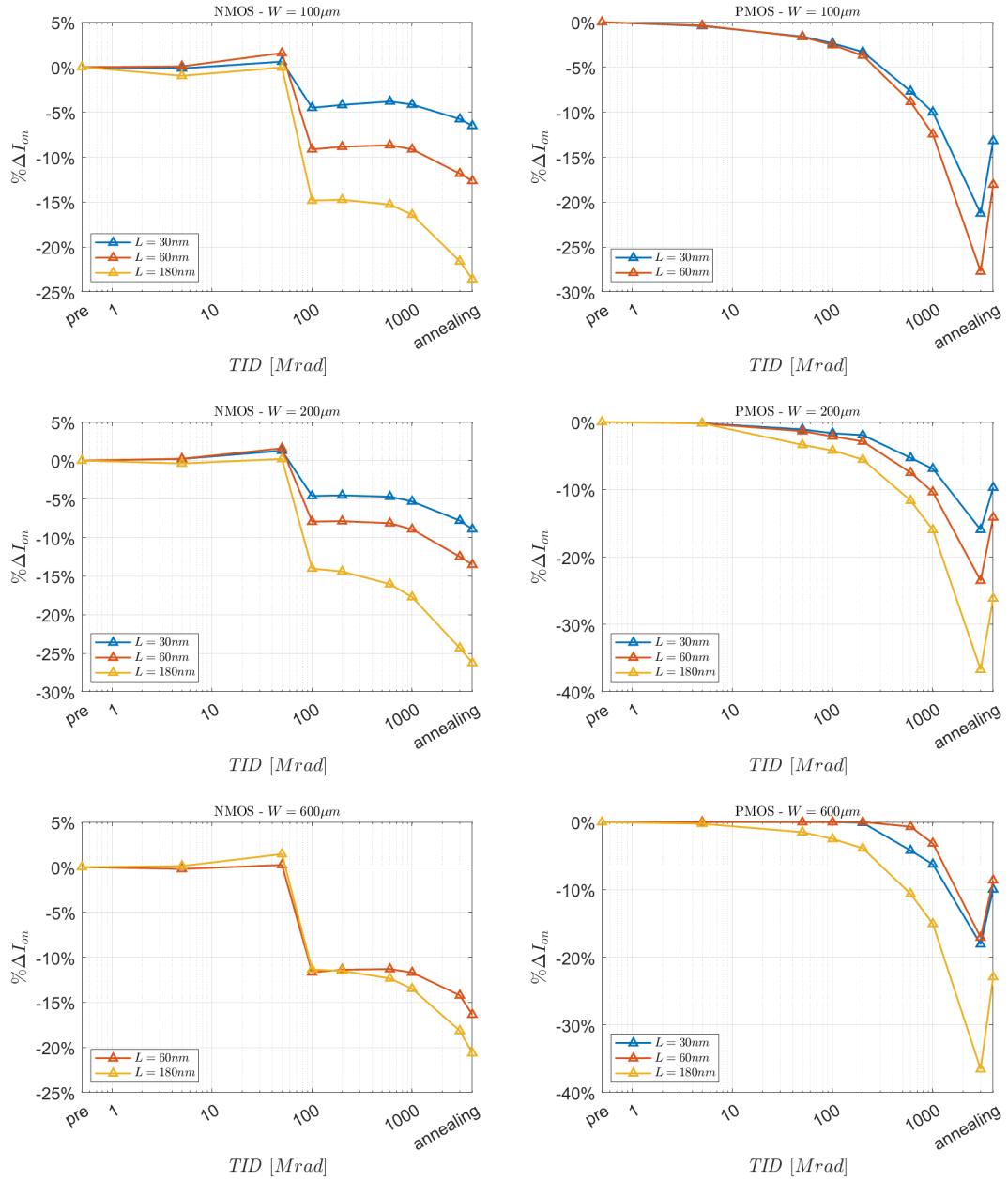


Figura 2.22:  $\% \Delta I_{on}$  calcolata nei dispositivi MOSFET a  $V_{DS} = 900mV$  rispetto alle misure fatte prima di subire la dose di irraggiamento. A sinistra i dispositivi a canale N, a destra i dispositivi a canale P. I grafici sono raggruppati per larghezza di canale.

## 2.7 Guadagno Intrinseco

Il guadagno intrinseco ( $A_{vi}$ ) è definito come il massimo guadagno ottenibile da un MOSFET, polarizzato da un generatore di corrente ideale. Fornisce una misura di quanto un MOSFET possa amplificare senza essere influenzato da elementi esterni. Esso viene calcolato come:

$$A_{vi} = g_m \cdot r_0 = \frac{g_m}{g_{ds}} \quad (2.6)$$

Con  $g_m$  la transconduttanza e  $r_0$  la resistenza in uscita dal transistor ( $1/g_{ds}$ ). Spesso, il grafico di  $A_{vi}$ , viene mostrato in funzione del coefficiente di inversione ( $I_{C0}$ ), parametro utile per descrivere il grado di inversione del canale (debole: per valori inferiori a 0.1, moderata: tra 0.1 e 10, forte: superiori a 10) il quale si può ricavare dalla  $I_D$  ad alte  $V_{DS}$ :

$$I_{C0} = \frac{I_D}{I_Z^*} \cdot \frac{L}{W} \quad (2.7)$$

La corrente caratteristica ( $I_Z^*$ ) è stata misurata pre-irraggiamento. I valori sono riportati nella tabella 2.24.

Tipologia Canale	$I_Z^*[nA]$
N	470
P	370

Tabella 2.24: Valori della corrente caratteristica misurati prima dell'irraggiamento

A figura 2.23 vengono mostrati i grafici  $A_{vi}$  -  $I_{C0}$ , raggruppati per larghezza di canale, prima e dopo l'irraggiamento a 3Grad, per transistori MOSFET a canale N e P.

## 2.7 Guadagno Intrinseco

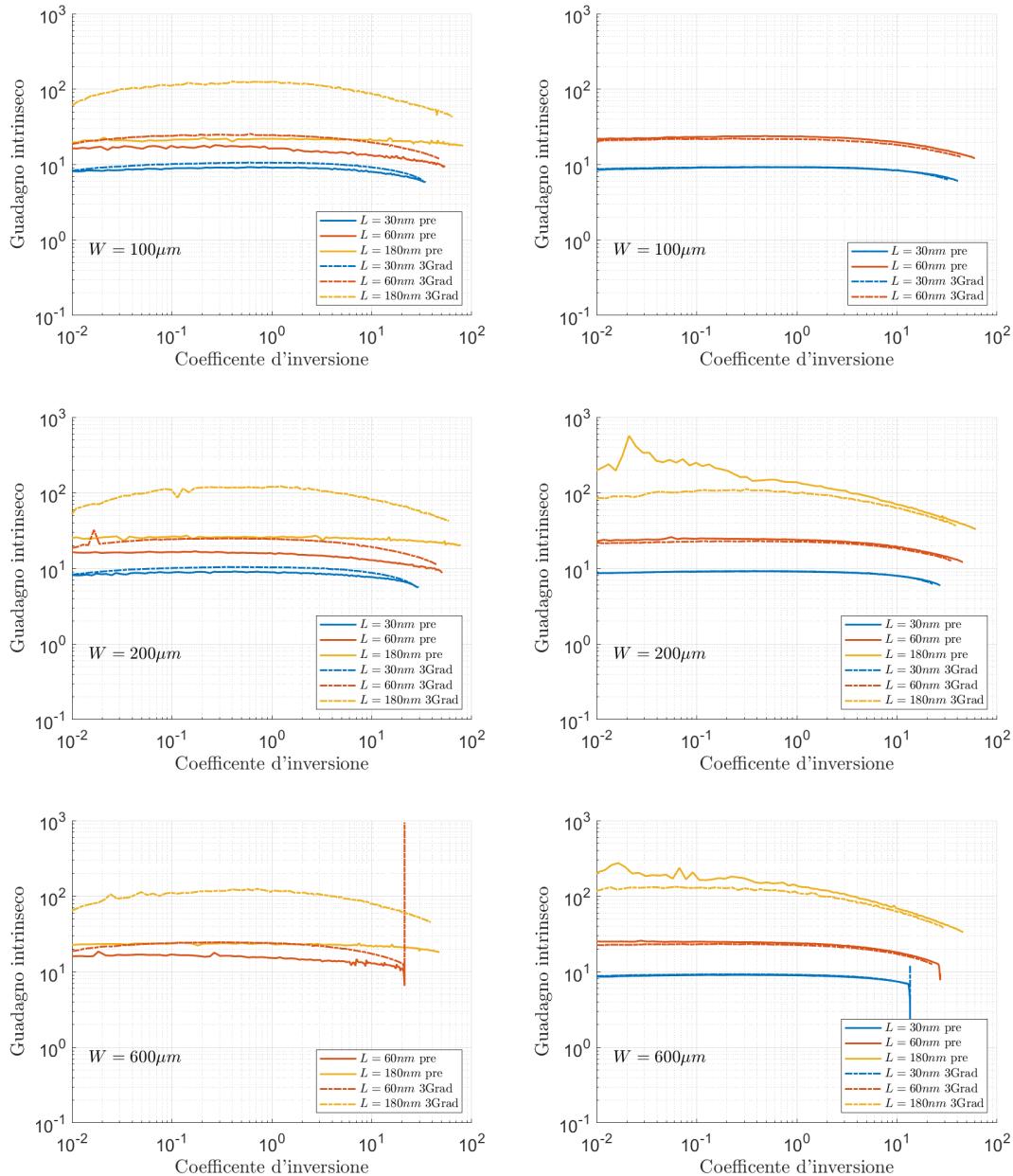


Figura 2.23: Variazioni del guadagno intrinseco per NMOS, a sinistra, e PMOS a destra prima e dopo una dose di  $3\text{Grad}$ .



# Conclusioni

Questo lavoro di tesi ha avuto come obiettivo la caratterizzazione di una tecnologia CMOS da  $28nm$ , sotto il profilo della sua resistenza alle radiazioni ionizzanti per un possibile impiego in esperimenti di fisica delle alte energie. L'attività condotta nell'ultimo anno, oltre ad effettuare le misure sui diversi MOSFET ad ogni step di irraggiamento (fino a  $3Grad$ ) e dopo l'*annealing*, si è focalizzata nella realizzazione di diverse funzioni MATLab volte ad estrarre i parametri statici e di piccolo segnale presentati in questo lavoro.

Gran parte degli sforzi sono stati dedicati all'estrapolazione della tensione di soglia  $V_{th}$ . Non essendoci un metodo unico per estrarre questo parametro si sono utilizzati quattro metodi diversi: *TCM*, *SDLM*, *ERL* e *RM*. Questi metodi hanno fornito valori assoluti di tensione di soglia in alcuni casi significativamente differenti, in altri abbastanza simili. Sono stati però tutti in grado di tracciare correttamente la variazione della  $V_{th}$  in funzione della dose di radiazioni assorbita. In particolare, nei PMOS la dose assorbita comporta un aumento monotono del valore assoluto della tensione di soglia. Negli NMOS, invece, si è prima osservata una diminuzione della  $V_{th}$  e poi un aumento. Questo andamento è dovuto a due effetti differenti e contrapposti: le cariche positive intrappolate negli ossidi di canale e nelle *Shallow Trench Isolation(STI)* tendono a ridurre la  $V_{th}$ , mentre le cariche negative intrappolate all'interfaccia ossido-canale tendono ad aumentare la  $V_{th}$ .

L'incremento delle correnti di perdita è molto significativo negli NMOS, in particolare per i dispositivi con alti rapporti  $W/L$ . Questo effetto, come già noto in letteratura, è dovuto alla carica positiva intrappolata negli ossidi delle *STI* che creano uno strato di inversione che connette il Drain con il Source anche quando non è presente una tensione  $V_{GS}$ . I PMOS, non soffrendo della creazione di transistor parassiti, non hanno subito cambiamenti significativi nella corrente di *leakage*. Questo parametro è importante in termini di dissipazione di potenza, poiché la corrente di perdita è l'unica presente nel MOSFET quando è spento ( $I_{off}$ ) e quindi rappresenta l'unica fonte di dissipazione di potenza in tale condizione.

Sia nei dispositivi a canale N sia in quelli a canale P si è ottenuta una riduzione della transconduttanza  $g_m$ . Nello specifico, allo step da  $3Grad$  si è arrivati ad una riduzione del 10% negli NMOS e ad una del 17% nei PMOS. Al contrario, la reazione all'*annealing* dei due tipi di MOSFET è stata di diversa natura: nei dispositivi a canale P, il trend si è invertito, denotando un recupero parziale della transconduttanza; nei dispositivi a canale N non sono stati osservati cambiamenti rilevanti della  $g_m$ .



# Bibliografia

- [1] A. Camplani, S. Shojaii, H. Shrimali, A. Stabile, and V. Liberali, “Cmos ic radiation hardening by design,” *Facta universitatis - series: Electronics and Energetics*, vol. 27, pp. 251–258, 01 2014.
- [2] H. Duan, “From mosfet to finfet to gaafet: The evolution, challenges, and future prospects,” *Applied and Computational Engineering*, vol. 50, pp. 113–120, 03 2024.
- [3] L. Edmonds, C. Barnes, L. Scheick, U. S. N. Aeronautics, S. Administration, and J. P. L. (U.S.), *An Introduction to Space Radiation Effects on Microelectronics*, ser. JPL publication. Jet Propulsion Laboratory, National Aeronautics and Space Administration, 2000. [Online]. Available: <https://books.google.it/books?id=3azqHAAACAAJ>
- [4] F. B. McLean and T. R. Oldham, “Basic mechanisms of radiation effects in electronic materials and devices. final report, september 1986-september 1987,” 9 1987. [Online]. Available: <https://www.osti.gov/biblio/5646360>
- [5] A. Ortiz-Conde, F. Garcia Sánchez, J. Liou, A. Cerdeira, M. Estrada, and Y. Yue, “A review of recent mosfet threshold voltage extraction methods,” *Microelectronics Reliability*, vol. 42, no. 4, pp. 583–596, 2002. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S0026271402000276>
- [6] T. Rudenko, V. Kilchytska, M. K. M. Arshad, J.-P. Raskin, A. Nazarov, and D. Flandre, “Influence of drain voltage on mosfet threshold voltage determination by transconductance change and gm/id methods,” in *Ulis 2011 Ultimate Integration on Silicon*, 2011, pp. 1–4.
- [7] J. Voves, “Nanoelectronics and nanolithography,” vol. 10, 01 2009.