

# Indice

<b>Introduzione</b>	<b>9</b>
<b>1 Il transistore ad effetto di campo MOSFET</b>	<b>11</b>
1.1 Metal-Oxide-Semiconductor Field-Effect Transistor MOSFET . . . . .	11
1.2 Struttura e funzionamento del MOSFET . . . . .	13
1.2.1 Regioni di funzionamento . . . . .	14
1.2.2 Caratteristiche corrente-tensione . . . . .	17
1.2.3 La tecnologia MOS complementare CMOS . . . . .	19
1.2.4 Regioni di inversione del MOS . . . . .	20
1.3 Modello del MOSFET per piccolo segnale . . . . .	21
1.3.1 Transconduttanza di canale $g_m$ . . . . .	22
1.4 Sorgenti di rumore . . . . .	25
1.4.1 Rumore termico di canale (White Noise) . . . . .	26
1.4.2 Flicker Noise . . . . .	28
1.4.3 Rumore Lorentziano . . . . .	31
1.4.4 Rumore associato alla corrente di Gate . . . . .	31
1.4.5 Altre sorgenti di rumore . . . . .	32
1.5 Effetti delle radiazioni su MOS . . . . .	36
1.5.1 Intrappolamento di carica nelle STI . . . . .	39
1.5.2 Effetti delle radiazioni sui parametri elettrici dei MOS . . . . .	40
<b>2 Misure PRE Irraggiamento</b>	<b>45</b>
2.1 Descrizione della tecnologia . . . . .	45
2.2 Misure Statiche . . . . .	48
2.2.1 Strumentazione per misure statiche . . . . .	48

2.2.2	Grafici $I_D$ - $V_{DS}$	51
2.2.3	Grafici $I_D$ - $V_{GS}$	57
2.2.4	Grafici transconduttanza di canale	67
2.3	Misure di rumore	71
2.3.1	Strumentazione per misure di rumore	71
2.3.2	Modello e coefficienti di rumore	73
2.3.3	Risultati delle misure di rumore	74
<b>3</b>	<b>Misure POST Irraggiamento</b>	<b>79</b>
3.1	Misure Statiche	79
3.2	Misure di rumore	83
3.2.1	Misure di rumore negli NMOS	83
3.2.2	Misure di rumore nei PMOS	84
3.2.3	Misure in dispositivi con diverso numero di finger	85
3.2.4	Analisi dei coefficienti di rumore	86
<b>Conclusioni</b>	<b>89</b>	
<b>Bibliografia</b>	<b>91</b>	

# Elenco delle figure

1.1	Struttura di un transistor ad effetto di campo a giunzione JFET . . . . .	12
1.2	Struttura di un transistor di tipo MOSFET a canale P . . . . .	13
1.3	Struttura di un transistor MOS a canale N . . . . .	14
1.4	Struttura di un transistor NMOS con canale indotto ( $V_{GS} > V_{th}$ e piccola $V_{DS}$ applicata). . . . .	15
1.5	Struttura di un transistor NMOS con $V_{GS} > V_{th}$ e $V_{DS}$ aumentata. Il canale ha una forma rastremata e si “strozzerà” per $V_{DS} = V_{GS} - V_{th}$ . . . . .	16
1.6	(a) Simbolo circuitale per un dispositivo MOSFET a canale n. (b) Simbolo circuitale per un dispositivo MOSFET a canale p. . . . .	16
1.7	Caratteristica $I_D$ - $V_{DS}$ di un MOS a canale N, in cui sono evidenziate le zone di triodo e di saturazione . . . . .	18
1.8	Caratteristica $I_D$ - $V_{DS}$ di un MOS a canale N, in cui è evidente l’effetto di modulazione della lunghezza di canale . . . . .	19
1.9	Sezione trasversale di un circuito integrato CMOS. Il transistor PMOS è realizzato in una regione n separata, nota come n well. Non sono mostrate le connessioni realizzate sul Body di tipo p ne sulla well n. Quest’ultima costituisce il terminale di Body per il PMOS. . . . .	20
1.10	Modelli a piccolo segnale del MOSFET . . . . .	22
1.11	Rapporto tra la transconduttanza $g_m$ e la corrente di Drain $I_D$ in funzione della corrente di Drain $I_D$ normalizzata per dispositivi NMOS e PMOS 65nm con dimensioni $W/L = 200/0.70$ . L’andamento teorico del coefficiente di efficienza di transconduttanza $g_m/I_D$ nelle regioni di debole e forte inversione è indicato con linea tratteggiata. . . . .	24

1.12 Modello equivalente per piccolo segnale di un MOSFET con i contributi di rumore . . . . .	25
1.13 Spettro di rumore Lorentziano . . . . .	31
1.14 Schema del layout di un MOSFET con: a) i finger contattati da un solo lato; b) i finger contattati da entrambi i lati. . . . .	33
1.15 LDD per un dispositivo MOS a canale P . . . . .	35
1.16 Contributi di rumore della resistenza di Source/Drain in un MOSFET	36
1.17 Processo di intrappolamento di lacune nell'ossido per tensioni di gate positive . . . . .	38
1.18 Visuale 3D delle STI e delle cariche trappolate in esse . . . . .	39
1.19 CMOS realizzato con tecnologia ELT . . . . .	40
1.20 $V_{th}$ in funzione della dose di radiazione . . . . .	41
1.21 Variazione della $g_m$ prima e dopo l'irraggiamento . . . . .	43
1.22 Variazione della tensione di rumore prima e dopo l'irraggiamento per una Tecnologia CMOS con lunghezza minima di canale di $0.35 \mu m$ irraggiata ad una dose totale di 100 KGy. . . . .	43
 2.1 Sezione di un transistor MOSFET a canale P ed N . . . . .	46
2.2 Piedinatura dei package mapA per i dispositivi NMOS . . . . .	47
2.3 Piedinatura dei package mapB per i dispositivi PMOS . . . . .	47
2.4 Configurazione dei diodi di protezione . . . . .	48
2.5 pannello frontale dello strumento Agilent B1500A. . . . .	50
2.6 board utilizzata per eseguire le misure. . . . .	50
2.7 connettore per collegare la board con l'Agilent B1500A. . . . .	51
2.8 Zone di funzionamento del MOSFET . . . . .	51
2.9 Grafici $I_D-V_{DS}$ NMOS mapA ( $IDn$ fa riferimento alla misure $I_D-V_{DS}$ effettuata a $n00$ mV di $V_{GS}$ ) . . . . .	53
2.10 Grafici $I_D-V_{DS}$ NMOS mapA ( $IDn$ fa riferimento alla misure $I_D-V_{DS}$ effettuata a $n00$ mV di $V_{GS}$ ) . . . . .	54
2.11 Grafici $I_D-V_{DS}$ PMOS mapB ( $IDn$ fa riferimento alla misure $I_D-V_{DS}$ effettuata a $n00$ mV di $V_{GS}$ ) . . . . .	55

2.12 Grafici $I_D-V_{DS}$ PMOS mapB ( $IDn$ fa riferimento alla misure $I_D-V_{DS}$ effettuata a $n00$ mV di $V_{GS}$ ) . . . . .	56
2.13 Grafici $I_D-V_{GS}$ NMOS mapA . . . . .	59
2.14 Grafici $I_D-V_{GS}$ NMOS mapA . . . . .	60
2.15 Grafici $I_D-V_{GS}$ PMOS mapB . . . . .	61
2.16 Grafici $I_D-V_{GS}$ PMOS mapB . . . . .	62
2.17 Grafici $I_D-V_{GS}$ NMOS mapA in scala semilogaritmica . . . . .	63
2.18 Grafici $I_D-V_{GS}$ NMOS mapA in scala semilogaritmica . . . . .	64
2.19 Grafici $I_D-V_{GS}$ PMOS mapB in scala semilogaritmica . . . . .	65
2.20 Grafici $I_D-V_{GS}$ PMOS mapB in scala semilogaritmica . . . . .	66
2.21 Grafici $g_m-V_{GS}$ NMOS mapA . . . . .	67
2.22 Grafici $g_m-V_{GS}$ NMOS mapA . . . . .	68
2.23 Grafici $g_m-V_{GS}$ PMOS mapB . . . . .	69
2.24 Grafici $g_m-V_{GS}$ PMOS mapB . . . . .	70
2.25 Schema a blocchi del sistema per le misure di rumore . . . . .	72
2.26 Densità spettrale di rumore per NMOS con differenti lunghezze di canale L . . . . .	74
2.27 Densità spettrale di rumore per PMOS con differenti lunghezze di canale L . . . . .	75
2.28 Densità spettrale di rumore per NMOS con differenti larghezze di canale W . . . . .	75
2.29 Densità spettrale di rumore per PMOS con differenti larghezze di canale W . . . . .	76
2.30 Densità spettrale di rumore per NMOS con variazione della corrente di drain . . . . .	76
2.31 Densità spettrale di rumore per PMOS con variazione della corrente di drain . . . . .	76
2.32 Confronto spettro di rumore tra NMOS e PMOS . . . . .	77
3.1 Confronto pre e post irraggiamento della caratteristica $I_D-V_{GS}$ in scala semilogaritmica per 2 NMOS . . . . .	79

3.2 Confronto pre e post irraggiamento della caratteristica $I_D-V_{GS}$ in scala semilogaritmica per 2 NMOS . . . . .	80
3.3 Confronto pre e post irraggiamento della caratteristica $I_D-V_{GS}$ in scala semilogaritmica per 4 PMOS . . . . .	80
3.4 Confronto pre e post irraggiamento della transconduttanza $g_m$ per 2 NMOS . . . . .	81
3.5 Confronto pre e post irraggiamento della transconduttanza $g_m$ per 2 PMOS . . . . .	81
3.6 Spettro di rumore per due NMOS a bassi valori di corrente . . . . .	83
3.7 Spettro di rumore per due NMOS ad alti valori di corrente . . . . .	83
3.8 Spettro di rumore di un dispositivo PMOS . . . . .	84
3.9 Spettri di rumore pre e post irraggiamento per due NMOS con W/L=100/0.35 e diverso numero di finger . . . . .	85
3.10 Variazione del parametro $\alpha_W$ in funzione della corrente di drain per un dispositivo NMOS e un dispositivo PMOS . . . . .	86
3.11 Rapporto del parametro di rumore $K_f$ prima e dopo l'irraggiamento in funzione della corrente di drain . . . . .	87
3.12 Ingrandimento della caratteristica $I_D-V_{GS}$ in scala semilogaritmica . .	87

## Elenco delle tabelle

2.1	Caratteristiche della tecnologia CMOS TSMC da 65nm . . . . .	46
2.2	Dispositivi caratterizzati con misure statiche. Le due notazioni 20f e 50f indicano il numero di finger del dispositivo. . . . .	49
2.3	Tabella delle tensioni di soglia ricavate dalle misure $I_D - V_{GS}$ . . . . .	58
2.4	Dispositivi impiegati nelle misure di rumore . . . . .	71
3.1	Confronto tensioni di soglia pre e post irraggiamento per gli NMOS .	82
3.2	Confronto tensioni di soglia pre e post irraggiamento per i PMOS .	82



# Introduzione

Il rapido scaling tecnologico nel campo della Microelettronica, che attualmente rende commercialmente disponibili processi con transistori delle dimensioni di  $32\text{ nm}$ , ha consentito un incessante aumento delle prestazioni e della complessità dei circuiti integrati digitali, a fronte di una diminuzione delle dimensioni. L'elevata densità di integrazione, abbinata a costi alquanto contenuti, ha permesso alle tecnologie CMOS di raggiungere una larghissima diffusione nella realizzazione di circuiti destinati a svolgere sia funzioni di carattere analogico che digitale, in diversi campi applicativi quali quello delle telecomunicazioni, dei calcolatori, dell'elaborazione di segnali provenienti da sensori di vario genere, etc. Tuttavia, questa continua evoluzione, necessita di una continua analisi delle caratteristiche statiche e di rumore al fine di avere informazioni precise sull'impatto dell'evoluzione tecnologica sulle caratteristiche del dispositivo.

La diminuzione dello spessore dell'ossido di gate ha determinato un aumento della tolleranza alle radiazioni delle tecnologie CMOS. Questo fatto ne consente l'utilizzo in campi quali quello della fisica delle alte energie e delle applicazioni spaziali, nei quali la resistenza alle radiazioni rappresenta un aspetto critico. Numerosi chip di lettura per esperimenti di fisica fondamentale, come ATLAS, CMS, ALICE dell'acceleratore LHC del CERN di Ginevra, sono stati sviluppati in tecnologia CMOS da  $0.25\text{ }\mu\text{m}$  di lunghezza minima di canale.

Negli acceleratori di prossima generazione verranno impiegate tecnologie più scalate rispetto alla  $0.25\text{ }\mu\text{m}$ . Per questo motivo, in questo lavoro di Tesi, ci si è occupati delle caratteristiche statiche di dispositivi appartenenti ad una tecnologia CMOS con una lunghezza minima di canale pari a  $65\text{ nm}$ . Inoltre le misure sono state ripetute dopo un irraggiamento con radiazioni ionizzanti (raggi  $\gamma$ ) ad una dose totale pari a

10 Mrad.

Il primo capitolo è dedicato ad una analisi approfondita del funzionamento del dispositivo MOSFET, in particolare viene descritto il modello per piccolo segnale, con un'analisi dettagliata del coefficiente di transconduttanza di canale  $g_m$ . Di seguito vengono analizzate le sorgenti di rumore del MOSFET, ognuna delle quali viene descritta e modellizzata. Infine si parlerà degli effetti delle radiazioni sui MOS sia in termini fisici sia in termini di variazione dei parametri elettrici.

Il secondo capitolo tratta i risultati delle misure pre-irraggiamento effettuate sui dispositivi e per semplicità è stato suddiviso in tre parti. Nella prima parte vengono descritti i dispositivi oggetto della caratterizzazione. La seconda parte è dedicata all'analisi delle misure statiche: si parte da una breve presentazione della strumentazione per effettuare le misure, per poi passare ad una serie di grafici illustranti le caratteristiche statiche dei dispositivi. Infine nella terza parte si discuterà delle misure di rumore: si parte da una breve descrizione della strumentazione per misure di rumore, per poi focalizzarsi sul confronto degli spettri di rumore tra i vari dispositivi.

Il terzo capitolo tratta i risultati delle misure post-irraggiamento effettuate sui dispositivi. Nella prima parte vengono presentate le misure statiche dopo l'irraggiamento con particolare attenzione al confronto con quelle pre-irraggiamento. Stessa struttura ha la seconda parte in cui si parla delle misure di rumore.

# Capitolo 1

## Il transistore ad effetto di campo MOSFET

Questo primo capitolo è dedicato allo studio dei transistor ad effetto di campo MOSFET. Dapprima viene analizzata la struttura fisica del MOS, per poi trattarne il funzionamento, facendo riferimento alle diverse zone di polarizzazione caratterizzate da differenti comportamenti. Si passa successivamente ad una analisi del comportamento del dispositivo per piccoli segnali, al fine di effettuare uno studio approfondito delle sorgenti di rumore e capire gli effetti che queste hanno sul comportamento del MOSFET e sulle sue prestazioni. Nella parte finale del capitolo si descrivono gli effetti della radiazione ionizzante sulle strutture MOS.

### 1.1 Metal-Oxide-Semiconductor Field-Effect Transistor MOSFET

Il transistor è un dispositivo a stato solido formato da semiconduttori, il cui funzionamento si basa sulle proprietà fisiche della giunzione P-N scoperta da Russel Ohl nel 1939. I transistor vengono impiegati in ambito elettronico principalmente come amplificatori di segnali elettrici o come interruttori elettronici comandati da opportuni segnali. Il primo tipo di transistor sperimentato e poi prodotto fu il transistor bipolare o BJT (Bipolar Junction Transistor), in cui sia elettroni che lacune presenti nel materiale drogato contribuiscono al passaggio della corrente all'interno del dispositivo. In seguito furono creati altri tipi di transistor, detti ad effetto di campo o JFET (Junction Field Effect Transistor), in cui il passaggio di corrente

avviene grazie ad un solo tipo di portatori di carica (elettroni o lacune).

I transistor di tipo JFET sono caratterizzati dall'avere tre terminali, chiamati rispettivamente Gate (G), Source (S) e Drain (D), e l'effetto transistor si ottiene tramite il campo elettrico indotto dalla tensione applicata al terminale Gate che respinge i portatori di carica del silicio del canale presente fra Source e Drain, variandone la resistenza elettrica: più la tensione fra Gate e Source è grande, più ampia diventa la regione svuotata non conduttrice, priva di portatori, e più cresce la resistenza elettrica fra Source e Drain. Una rappresentazione grafica della struttura di un transistor ad effetto di campo a giunzione JFET è riportata in Fig. 1.1.

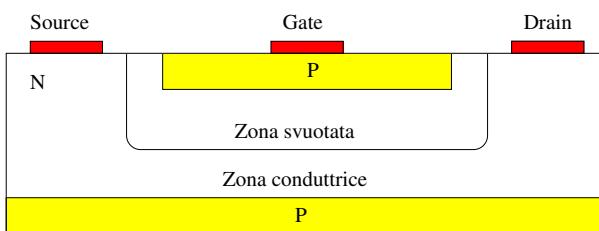


Figura 1.1: Struttura di un transistor ad effetto di campo a giunzione JFET

Rispetto ai transistor bipolari, i JFET presentano il vantaggio di avere il terminale di controllo (Gate) isolato, in cui non passa alcuna corrente; lo svantaggio invece è che un transistor JFET non è in grado di offrire molta corrente in uscita, infatti in genere i circuiti con questo tipo di transistor hanno un'elevata impedenza di uscita, pertanto sono in grado di erogare solo piccole correnti. I JFET, come tutti i transistor compresi i bipolar, possono essere realizzati in due versioni complementari, a canale P fiancheggiato da regioni N o a canale N fiancheggiato da regioni P; come accade per i bipolar, il funzionamento è quasi identico, ma le polarità devono essere invertite. Una particolare tipologia di transistor ad effetto di campo sono i MOSFET (Metal Oxide Semiconductor Field Effect Transistor) in cui la tensione applicata sul Gate non solo crea una zona svuotata priva di portatori, ma se cresce oltre una tensione detta di soglia, provoca una inversione di popolazione nel silicio a ridosso dello strato di ossido. Una rappresentazione grafica della struttura di un transistor di tipo MOSFET è riportata in Fig. 1.2.

Oggi giorno il MOSFET è certamente il più diffuso transistor a effetto di campo sia nei circuiti digitali che in quelli analogici. I MOSFET sono largamente utilizzati

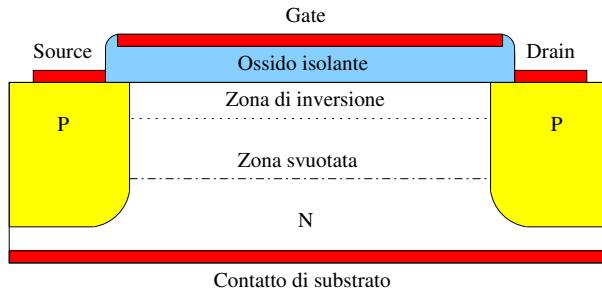


Figura 1.2: Struttura di un transistor di tipo MOSFET a canale P

nell'elettronica digitale, soprattutto per la loro struttura molto semplice che li rende facili da costruire e di economico impiego nei circuiti integrati: un ulteriore vantaggio è il basso consumo di potenza che si traduce in minori problemi di dissipazione termica, mentre il principale svantaggio è che sono più lenti nel cambiare stato rispetto ai transistor bipolar. I moderni circuiti integrati (microprocessori, DSP, microcontrollori, etc...) ricorrono all'impiego di tecnologie CMOS (Complementary MOS), nelle quali vengono realizzati su di uno stesso substrato di silicio sia transistor a canale P che a canale N. Tra i diversi dispositivi a semiconduttore a tre terminali, il transistor a effetto di campo metallo-ossido-semiconduttore MOSFET è diventato di gran lunga il dispositivo elettronico usato più diffusamente, specialmente nella progettazione di circuiti integrati, cioè circuiti fabbricati sul medesimo wafer di silicio [1]. Di seguito verranno analizzate le caratteristiche fisiche e il comportamento di questo dispositivo.

## 1.2 Struttura e funzionamento del MOSFET

I dispositivi MOSFET (Metal-Oxide-Silicon Field-Effect-Transistor) vengono oggi ampiamente utilizzati nei circuiti integrati grazie alle loro caratteristiche di basso costo, basso consumo di potenza ed elevata densità di integrazione. La struttura di un dispositivo MOSFET a canale N è riportata in figura 1.3: il dispositivo è realizzato su un substrato di tipo P (wafer di silicio monocristallino), nel quale vengono ricavate due regioni di tipo N fortemente drogata ( $n+$ ), chiamate source e drain.

Sul substrato viene fatto crescere uno strato molto sottile di ossido di silicio ( $\text{SiO}_2$ ) che ricopre la zona compresa tra source e drain. Sullo strato di ossido viene depositato uno strato di metallo o polisilicio per formare l'elettrodo di gate; sulle

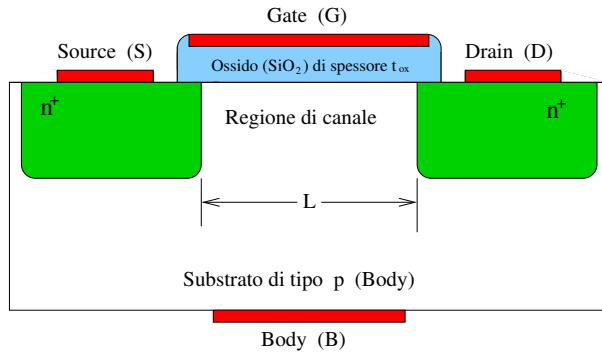


Figura 1.3: Struttura di un transistor MOS a canale N

regioni di source, drain e substrato (body) vengono realizzati i contatti metallici. Il MOSFET è quindi un dispositivo a quattro terminali (source, drain, gate e body): in base alle tensioni presenti sui quattro terminali il MOS opera in diverse zone di lavoro; nella maggior parte dei casi il terminale di body è cortocircuitato con il terminale di source quindi si possono considerare tre i terminali. Un dispositivo a canale P viene realizzato con una struttura duale a quella dell'NMOS: il substrato è di tipo N e le regioni di source e di drain sono fortemente drogate di tipo P. La regione compresa tra source e drain viene definita regione di canale; le dimensioni del dispositivo sono individuate dalla lunghezza di canale L, dalla larghezza di canale W e dallo spessore dello strato di ossido  $t_{ox}$ .

### 1.2.1 Regioni di funzionamento

La corrente scorre nel dispositivo tra source e drain, a causa del movimento di elettroni (NMOS) e lacune (PMOS) in base alla polarità del MOS; l'intensità di corrente dipende dalle tensioni applicate ai quattro terminali. La seguente trattazione è riferita ad un dispositivo a canale N; la struttura di un dispositivo PMOS è duale.

#### Tensione sul gate nulla

Il substrato e il source si trovano alla stessa tensione, mentre sul gate non è applicata alcuna tensione (gate floating). Le regioni source-substrato e drain-substrato sono due giunzioni P-N, di cui una, in queste condizioni, è sempre polarizzata inversamente. Nel dispositivo, quindi, non può scorrere corrente, anche applicando una tensione positiva sul drain; il MOS si comporta come un interruttore aperto.

### Creazione del canale

Le tensioni applicate al drain e al gate sono solitamente riferite al source e indicate con  $V_{DS}$  e  $V_{GS}$ . Applicando una tensione positiva sul gate, con  $V_{DS} = 0$ , le lacune si allontanano dalla regione direttamente al di sotto dell'ossido, creando una zona svuotata di portatori di carica liberi. Gli elettroni presenti nel semiconduttore vengono attirati creando una regione di canale di tipo N (figura 1.4) che unisce il source e il drain e permette il passaggio della corrente. Il valore di  $V_{GS}$  in corrispondenza del quale nella regione al di sotto del gate si forma un numero sufficiente di elettroni a creare il canale di conduzione viene chiamato tensione di soglia  $V_{th}$ .

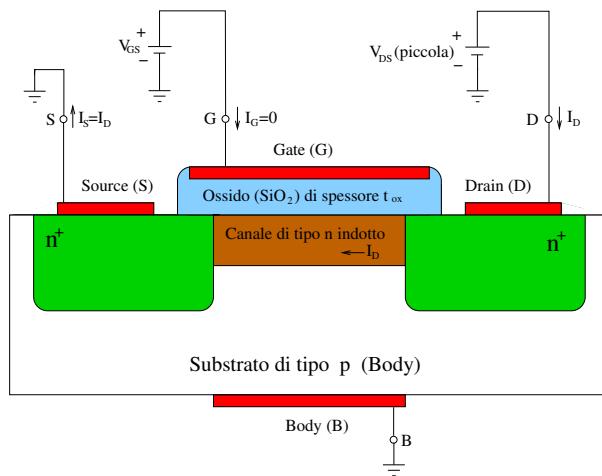


Figura 1.4: Struttura di un transistor NMOS con canale indotto ( $V_{GS} > V_{th}$  e piccola  $V_{DS}$  applicata).

### Regione di triodo

Una volta che il canale è stato indotto (figura 1.4), si applica una tensione positiva  $V_{DS}$  tra drain e source di piccolo valore. Tale tensione fa scorrere una corrente di drain  $I_D$  attraverso il canale indotto; la corrente dipende dal flusso e dalla densità di elettroni tra source e drain e quindi dalla tensione  $V_{GS}$  (in particolare dalla differenza  $V_{GS} - V_{th}$  oltre che dalla tensione applicata al drain). Questa regione di funzionamento del MOSFET viene chiamata regione di triodo.

## Regione di saturazione

Mantenendo costante  $V_{GS}$  è possibile aumentare la tensione  $V_{DS}$ : la caduta di potenziale lungo il canale ( $V_{GS} - V_{DS}$ ) non è più costante, ma risulta massima in corrispondenza del source ( $V_{DS} = 0$ ) e diminuisce fino ad arrivare al suo valore minimo in corrispondenza del drain. Il canale non risulta più uniforme come nella zona di triodo, ma ha uno spessore variabile: avvicinandosi alla zona di drain il canale si restringe sempre di più (figura 1.5).

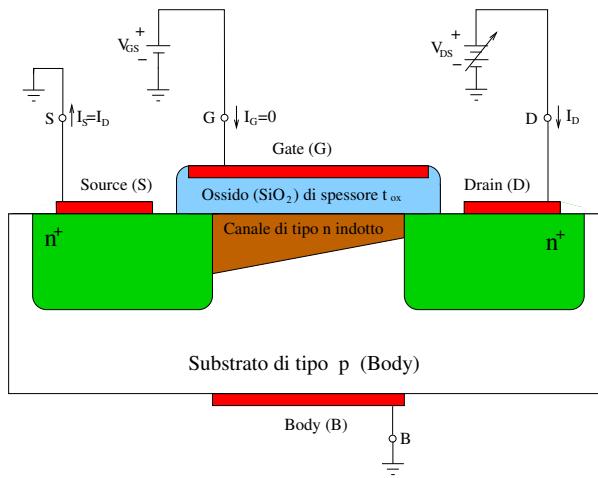


Figura 1.5: Struttura di un transistor NMOS con  $V_{GS} > V_{th}$  e  $V_{DS}$  aumentata. Il canale ha una forma rastremata e si “strozzera” per  $V_{DS} = V_{GS} - V_{th}$ .

## Simbolo circuitale

Il simbolo circuitale di un dispositivo MOS è mostrato in figura 1.6, in cui si suppone che il substrato sia connesso al source. La freccia indica il verso della corrente e la polarità del dispositivo.

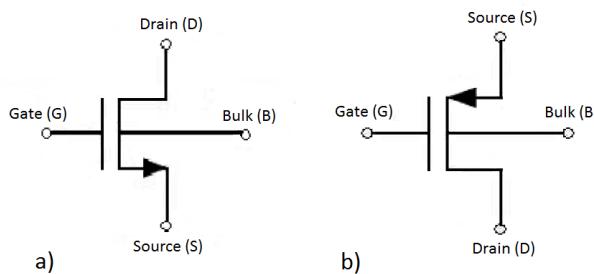


Figura 1.6: (a) Simbolo circuitale per un dispositivo MOSFET a canale n. (b) Simbolo circuitale per un dispositivo MOSFET a canale p.

### 1.2.2 Caratteristiche corrente-tensione

L'espressione della corrente di drain di un MOSFET dipende dalle tensioni  $V_{GS}$  e  $V_{DS}$  applicate che determinano la regione di funzionamento del dispositivo. Per valori della tensione  $V_{DS}$  non troppo alti, cioè tali che  $V_{DS} \leq V_{GS} - V_{th}$ , il dispositivo lavora nella regione di triodo e l'espressione della corrente di drain è la seguente:

$$I_D = \mu C_{OX} \frac{W}{L} V_{DS} [(V_{GS} - V_{th}) - \frac{1}{2} V_{DS}] \quad \text{zona di triodo} \quad (1.1)$$

dove  $V_{th}$  è la tensione di soglia del dispositivo,  $\mu$  la mobilità dei portatori di carica,  $C_{OX}$  la capacità dell'ossido di gate per unità di area, W e L rispettivamente la larghezza e la lunghezza di canale. La corrente di drain dipende dunque dalle tensioni applicate, ma anche dalle dimensioni del dispositivo e, attraverso il parametro  $C_{OX} = \epsilon_{ox}/t_{ox}$ , dallo spessore dell'ossido di gate  $t_{ox}$ . Quando è verificata la condizione  $V_{DS} \geq V_{GS} - V_{th}$  il dispositivo lavora nella zona di saturazione e l'espressione della corrente di drain è la seguente:

$$I_D = \frac{1}{2} \mu C_{OX} \frac{W}{L} [V_{GS} - V_{th}]^2 \quad \text{zona di saturazione} \quad (1.2)$$

Idealmente, in zona di saturazione, la corrente di drain risulta indipendente dalla tensione  $V_{DS}$  e raggiunge un valore di saturazione. La mobilità dei portatori di carica è legata alla velocità di deriva  $v_d$  dalla seguente espressione:

$$v_d = \mu E \quad (1.3)$$

dove E è il campo elettrico a cui sono sottoposti i portatori; poiché la mobilità è legata alla massa delle particelle, gli elettroni hanno una mobilità maggiore delle lacune. In figura 1.7 è mostrato un esempio di caratteristica  $I_D-V_{DS}$  di un dispositivo MOS a canale N per diversi valori di  $V_{GS}$ : è evidente la zona di saturazione, in cui la corrente rimane pressoché costante al variare della tensione di drain.

Aumentando la tensione di drain in zona di saturazione la corrente di drain aumenta, in quanto il punto di strozzamento si sposta verso la regione di source e la lunghezza effettiva del canale diminuisce, dando luogo al fenomeno della **modulazione della lunghezza di canale**. Anche in zona di saturazione la corrente

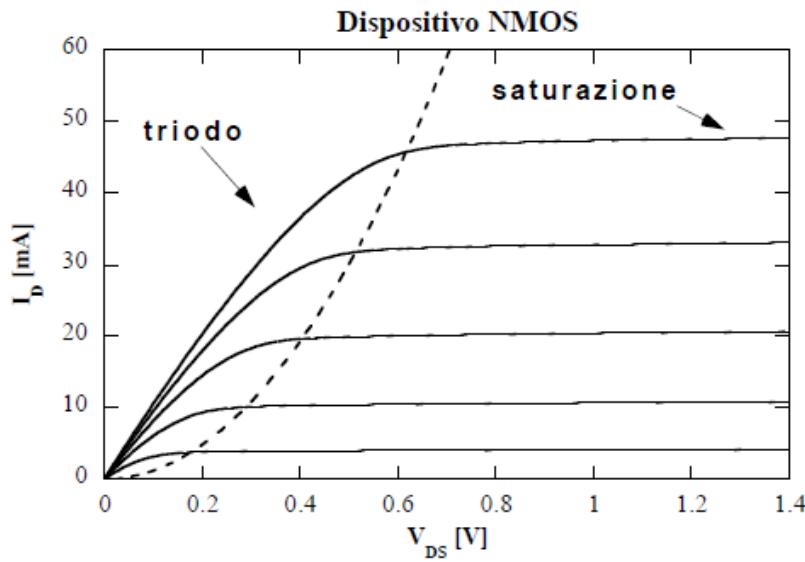


Figura 1.7: Caratteristica  $I_D-V_{DS}$  di un MOS a canale N, in cui sono evidenziate le zone di triodo e di saturazione

dipende dalla tensione  $V_{DS}$  attraverso il termine  $\lambda$ , definito come il coefficiente di modulazione della lunghezza di canale. L'espressione della corrente risulta essere la seguente:

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} [V_{GS} - V_{th}]^2 (1 + \lambda V_{DS}) \quad \text{zona di saturazione} \quad (1.4)$$

In figura 1.8 è mostrata una caratteristica  $I_D-V_{DS}$  in cui si può osservare l'effetto di modulazione: la pendenza del tratto lineare delle curve in zona di saturazione non è più nullo, ma assume un valore finito diverso da zero. La resistenza d'uscita  $r_0$  del dispositivo, definita come:

$$r_0 = \left[ \frac{\partial I_D}{\partial V_{DS}} \right]_{V_{GS}=\text{cost}}^{-1} \quad (1.5)$$

assume dunque un valore finito in presenza dell'effetto di modulazione della lunghezza di canale [2].

### Transconduttanza di canale

La transconduttanza di canale esprime le caratteristiche di amplificazione del MOSFET, in quanto la corrente in uscita  $I_D$  varia al variare della tensione applicata in ingresso  $V_{GS}$ . La transconduttanza di canale  $g_m$  è definita nel seguente modo:

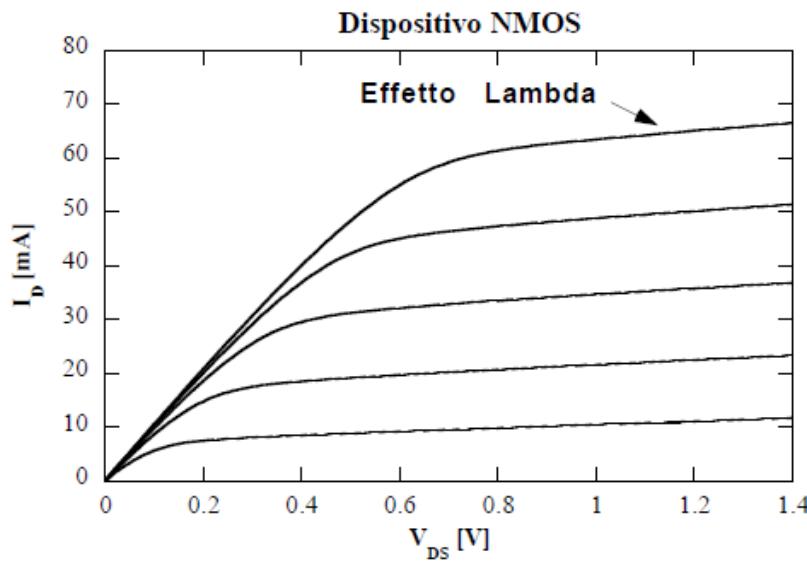


Figura 1.8: Caratteristica  $I_D-V_{DS}$  di un MOS a canale N, in cui è evidente l'effetto di modulazione della lunghezza di canale

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (1.6)$$

Utilizzando le espressioni della corrente di drain definite precedentemente, si ottiene un andamento costante della transconduttanza in zona di triodo:

$$g_m = \mu C_{OX} \frac{W}{L} V_{DS} \quad \text{zona di triodo} \quad (1.7)$$

In zona di saturazione la transconduttanza dipende linearmente dalla tensione applicata al gate:

$$g_m = \mu C_{OX} \frac{W}{L} [V_{GS} - V_{th}] \quad \text{zona di saturazione} \quad (1.8)$$

### 1.2.3 La tecnologia MOS complementare CMOS

Come indica il nome, la tecnologia complementare a MOS utilizza entrambi i tipi di dispositivi MOS. Benché i circuiti CMOS siano in qualche modo più complessi da fabbricare rispetto ai circuiti NMOS, la possibilità di sfruttare la complementarietà del funzionamento dei due tipi di dispositivi rende possibile progettare circuiti molto potenti. In effetti, oggi la tecnologia CMOS è la tecnologia più sfruttata

per la realizzazione di circuiti integrati, siano essi analogici o digitali. Di fatto, la progettazione in tecnologia NMOS è stata completamente sostituita dalle possibilità offerte dalla tecnologia CMOS. In figura 1.9 è mostrata la sezione di un chip CMOS per evidenziare come sono realizzati i transistor PMOS e NMOS.

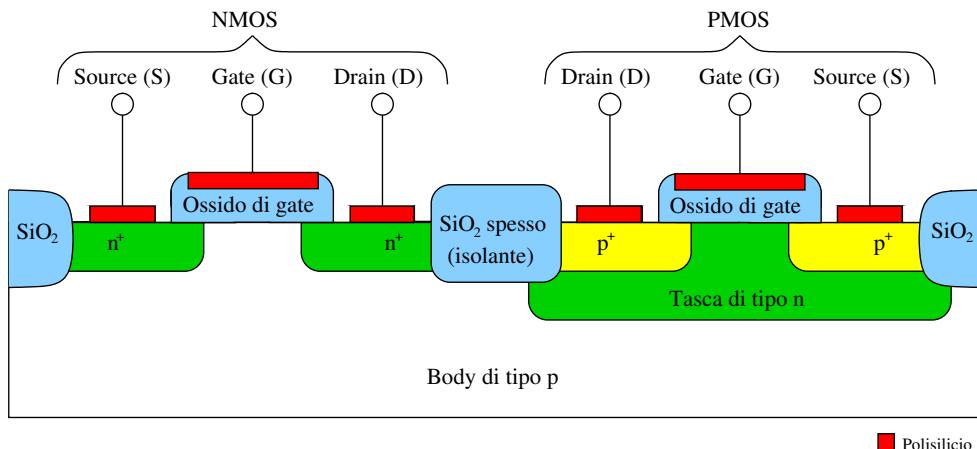


Figura 1.9: Sezione trasversale di un circuito integrato CMOS. Il transistor PMOS è realizzato in una regione n separata, nota come n-well. Non sono mostrate le connessioni realizzate sul Body di tipo p ne sulla well n. Quest'ultima costituisce il terminale di Body per il PMOS.

Notiamo che mentre il dispositivo NMOS è realizzato direttamente nel substrato di tipo p, il dispositivo PMOS viene realizzato in una regione di silicio drogata n, nota come n-well. I due dispositivi sono separati elettricamente tramite uno spesso strato di ossido che funge da isolante, che nelle moderne tecnologie prende il nome di STI (Shallow Trench Isolation).

#### 1.2.4 Regioni di inversione del MOS

La precedente descrizione del funzionamento del transistor MOS implica che per  $V_{GS} < V_{th}$  la corrente di Drain è nulla ed il dispositivo spento. Questo non è del tutto vero; da misure sperimentali, si evidenzia che anche con  $V_{GS} < V_{th}$  scorre una piccola corrente. In questa regione di funzionamento, detta regione di sottosoglia, la corrente di Drain è legata al valore di  $V_{GS}$  da una legge di tipo esponenziale, molto simile alla relazione  $I_c - V_{be}$  di un transistor BJT [1].

Benché in molte applicazioni il transistore MOS operi con  $V_{GS} > V_{th}$ , esistono delle applicazioni a basso consumo di potenza che fanno uso del funzionamento in

sottosoglia o, come indicato comunemente, in regione di debole inversione (weak inversion), per distinguere dal funzionamento in regione di forte inversione (strong inversion) che si ha per  $V_{GS} > V_{th}$ .

L'espressione della corrente di Drain in un dispositivo MOSFET che lavora in zona di debole inversione è data da:

$$I_D = I_M \frac{W}{L} e^{\frac{V_{GS}-V_M}{nV_T}} \left(1 - e^{-\frac{V_{DS}}{V_T}}\right) \quad (1.9)$$

dove  $I_M$  e  $V_M$  sono rispettivamente una corrente e una tensione caratteristiche che dipendono da parametri di processo [3].

Occorre osservare, infine, che tra le regioni di debole e forte inversione è presente una regione di moderata inversione per la quale, tuttavia, non esiste una espressione del comportamento fisico del MOS ma si utilizzano normalmente relazioni empiriche.

### 1.3 Modello del MOSFET per piccolo segnale

Per funzionamento a piccolo segnale si intende la condizione in cui, fissato un punto di lavoro in continua (DC), si fornisce un segnale (AC) in ingresso al MOSFET nell'intorno del punto di lavoro stesso, la cui ampiezza sia sufficientemente piccola da non alterare il funzionamento del dispositivo. Dal punto di vista del segnale, il MOS si comporta come un generatore di corrente controllato in tensione, ovvero accetta un segnale  $v_{GS}$  fra il Gate ed il Source, e genera una corrente  $g_m v_{GS}$  al terminale di Drain, dove  $g_m$  è la transconduttanza già analizzata precedentemente per le regioni di triodo e saturazione, e successivamente verrà analizzata per mettere in luce le differenze tra il funzionamento in weak inversion e in strong inversion. La resistenza di ingresso di questo generatore controllato è molto alta, idealmente infinita, come la resistenza in uscita, che è la resistenza vista dal Drain, anch'essa elevata. Da queste considerazioni, è possibile ricavare il circuito di figura 1.10(a), che rappresenta il modello per piccolo segnale del MOSFET, ed è quindi noto come circuito equivalente a piccolo segnale. Una importante semplificazione del modello a piccolo segnale di figura 1.10(a) è che esso ipotizza che la corrente di Drain in saturazione sia indipendente dalla tensione di Drain. Dagli studi fatti sulle carat-

teristiche del MOSFET in saturazione, sappiamo che la corrente di Drain, di fatto, dipende linearmente dalla  $V_{DS}$ . Questa dipendenza viene modellizzata tramite la presenza della resistenza  $r_0$  connessa fra Drain e Source, il cui valore può essere ricavato per mezzo della seguente equazione:

$$r_0 = \frac{1}{\lambda I_D} \quad (1.10)$$

dove  $I_D$  è il valore della corrente di Drain in continua senza considerare la modulazione del canale, ed è espressa dalla seguente equazione:

$$I_D = \frac{1}{2} \mu C_{OX} \frac{W}{L} [V_{GS} - V_{th}]^2 \quad (1.11)$$

Valori tipici di  $r_0$  sono compresi nell'intervallo da  $10\text{k}\Omega$  e  $1000\text{k}\Omega$ . Ne consegue che la precisione del modello a piccolo segnale può essere migliorata introducendo la resistenza  $r_0$  in parallelo al generatore controllato, come mostrato in figura 1.10(b). È importante notare che nel modello a piccolo segnale entrambi i parametri  $g_m$  e  $r_0$  dipendono dal punto di polarizzazione in continua del MOSFET.

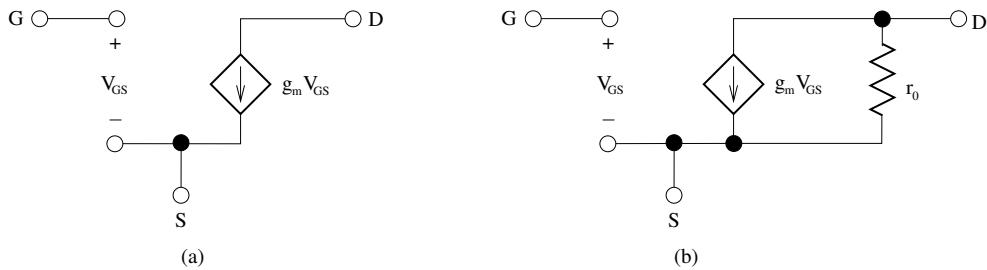


Figura 1.10: Modelli a piccolo segnale del MOSFET

### 1.3.1 Transconduttanza di canale $g_m$

Affrontiamo ora una trattazione più nel dettaglio rispetto al capitolo 1.2.2 sulla transconduttanza di canale rispetto alla regione di inversione in cui ci troviamo. La transconduttanza, come abbiamo già detto, è il parametro che lega  $I_D$  a  $V_{GS}$ , come descritto dalla seguente espressione:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (1.12)$$

Supponendo di lavorare in regione di forte inversione,  $g_m$  assume la seguente espressione:

$$g_m = \mu C_{OX} \frac{W}{L} (V_{GS} - V_{th}) \quad (1.13)$$

Queste equazioni mostrano che  $g_m$  è direttamente proporzionale ai parametri  $\mu C_{OX}$  ed al rapporto W/L del transistor MOS; quindi per ottenere alti valori di transconduttanza, il dispositivo deve essere corto e largo. Osserviamo anche che per un dato dispositivo la transconduttanza è proporzionale alla differenza di tensione  $V_{GS} - V_{th}$ , chiamata tensione di Overdrive, cioè la quantità di tensione di polarizzazione  $V_{GS}$  che eccede la tensione di soglia  $V_{th}$ . Si noti, comunque, che un aumento di  $g_m$  ottenuto polarizzando il dispositivo ad una  $V_{GS}$  più elevata presenta lo svantaggio di ridurre l'ampiezza possibile della variazione del segnale di uscita al terminale del Drain. Un'altra utile espressione per  $g_m$  può essere ottenuta sostituendo in luogo di  $(V_{GS} - V_{th})$  nell'equazione 1.13, la grandezza  $\sqrt{2I_D/(\mu C_{OX}(W/L))}$  da cui si ottiene la seguente equazione:

$$g_m = \sqrt{2\mu C_{OX} \frac{W}{L} I_D} \quad (1.14)$$

Questa espressione è molto significativa perché ci mostra il legame esistente tra  $g_m$  e la corrente  $I_D$ .

Nel caso di dispositivi operanti in regione di debole inversione, la transconduttanza assume invece la seguente espressione:

$$g_m = \frac{I_D}{nV_T} \quad (1.15)$$

Il livello di inversione per un transistor MOS che lavora in regime di saturazione può essere quindi espresso anche attraverso il rapporto tra la transconduttanza  $g_m$  e la corrente di Drain  $I_D$ , al variare della corrente di Drain normalizzata, come mostrato in figura 1.11, dove sono visualizzati i risultati ottenuti per transistor PMOS ed NMOS con lunghezza di canale di 65nm.

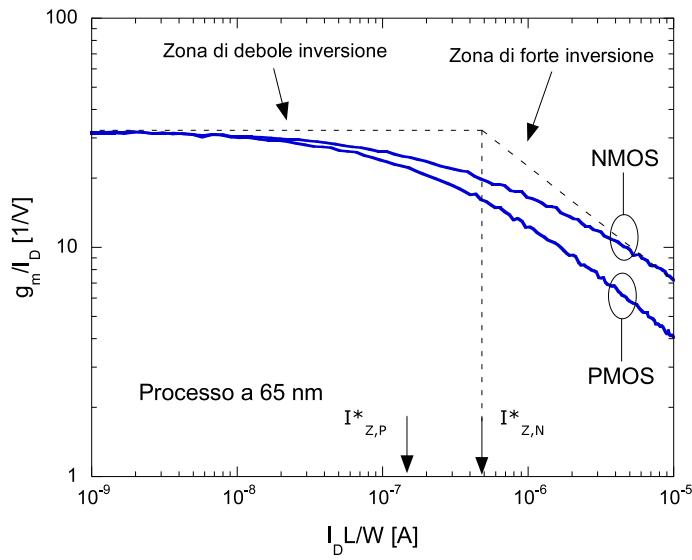


Figura 1.11: Rapporto tra la transconduttanza  $g_m$  e la corrente di Drain  $I_D$  in funzione della corrente di Drain  $I_D$  normalizzata per dispositivi NMOS e PMOS 65nm con dimensioni  $W/L = 200/0.70$ . L’andamento teorico del coefficiente di efficienza di transconduttanza  $g_m/I_D$  nelle regioni di debole e forte inversione è indicato con linea tratteggiata.

Facendo riferimento alle espressioni 1.14 e 1.15 di  $g_m$  in forte e debole inversione, si può osservare che la pendenza che si ottiene dallo studio del rapporto tra la transconduttanza  $g_m$  e la corrente di Drain  $I_D$ , è pari a zero in regione di debole inversione, dove la transconduttanza risulta proporzionale alla corrente di Drain, mentre, in regione di forte inversione, la pendenza in scala logaritmica è pari a  $-\frac{1}{2}$ , poichè la transconduttanza è proporzionale alla radice quadrata della corrente di Drain. Si nota la presenza di una regione di moderata inversione tra quelle di debole e forte inversione. È possibile definire una corrente di Drain caratteristica normalizzata  $I_Z^*$  localizzata nel punto di intersezione tra gli asintoti relativi alle zone di debole e forte inversione, la quale si può assumere che si trovi al centro della regione di moderata inversione:

$$I_Z^* = 2\mu C_{OX} n V_T^2 \quad (1.16)$$

dove:

- $\mu$  è la mobilità dei portatori del canale;

- $n$  è un coefficiente proporzionale all'inverso della pendenza sottosoglia di  $I_D$  in funzione di  $V_{GS}$ ;
- $V_T = k_B T/q$  è la tensione termica;

In accordo con l'equazione 1.16, ci si aspetta che  $I_Z^*$  sia più grande per i dispositivi NMOS rispetto ai PMOS e in quelli fabbricati con processi con ridotta dimensione minima dei dispositivi che presentano un più elevato valore di  $C_{OX}$ . Le regioni di debole e moderata inversione si estendono quindi a correnti di Drain più elevate per generazioni CMOS più avanzate.

## 1.4 Sorgenti di rumore

Per comprendere a pieno il funzionamento di un dispositivo MOSFET ed analizzare le diverse fonti di rumore che lo caratterizzano, è necessario studiare il modello per piccolo segnale riportato in figura 1.12.

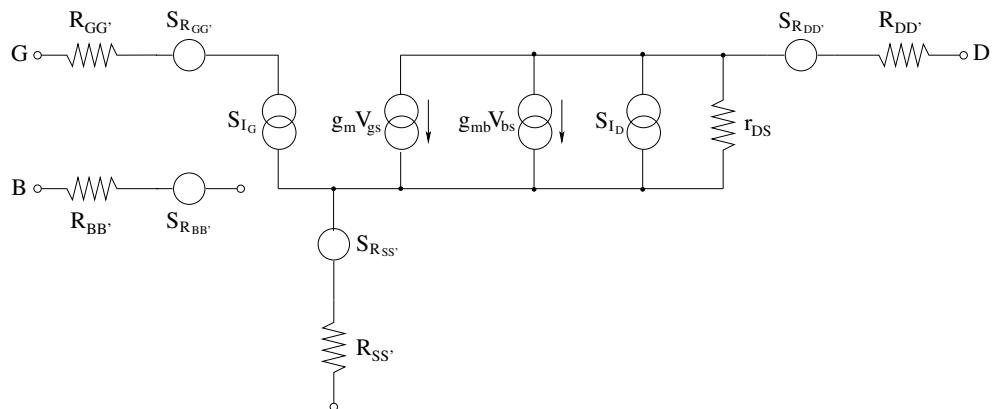


Figura 1.12: Modello equivalente per piccolo segnale di un MOSFET con i contributi di rumore

Le principali sorgenti di rumore presenti in un dispositivo MOSFET rappresentate, con i rispettivi generatori, nel circuito di Fig. 1.12, sono:

- **rumore termico di canale**, rappresentato da un generatore di corrente  $S_{I_D}$  collegato tra Drain e Source;
- **rumore 1/f (o Flicker noise)**, rappresentato anch'esso dal generatore di corrente collegato tra Drain e Source, il cui contributo viene raccolto nel ge-

neratore di corrente  $S_{I_D}$  del rumore termico, in quanto le due sorgenti sono scorrelate e le rispettive densità spettrali si sommano quadraticamente;

- **rumore Lorentziano**, rappresentato anch'esso dal generatore di corrente collegato tra Drain e Source il cui contributo viene raccolto nel generatore di corrente  $S_{I_D}$  del rumore termico;
- **rumore associato alla corrente di Gate**, rappresentato dal generatore di corrente  $S_{I_G}$ ;
- **rumore associato alla resistenza di Gate**, rappresentato dal generatore di tensione  $S_{R_{GG}}$  collegato in serie alla resistenza di Gate  $R_{GG}$ ;
- **rumore associato alla resistenza di substrato**, rappresentato dal generatore di tensione  $S_{R_{BB}}$  collegato in serie alla resistenza di Body  $R_{BB}$ ;
- **rumore associato alle resistenze parassite di Drain e Source**, rappresentati rispettivamente dai generatori  $S_{R_{DD}}$ , collegato in serie alla resistenza  $R_{DD}$ , e  $S_{R_{SS}}$ , collegato in serie alla resistenza  $R_{SS}$ .

Per comprendere quali siano gli effetti delle diverse sorgenti di rumore è necessario approfondire nel dettaglio, per ciascuna, le cause e gli effetti sul rumore totale del dispositivo.

#### 1.4.1 Rumore termico di canale (White Noise)

Il canale in un dispositivo ad effetto di campo è formato da materiale di tipo resistivo, e presenta pertanto una componente di rumore termico che può essere rappresentata attraverso un generatore di corrente collegato tra il Drain e il Source del dispositivo stesso. Tale generatore è caratterizzato da una densità spettrale di rumore descritta dalla seguente espressione:

$$S_{I_D}(f) = 4k_B T \Gamma g_{d0} \quad (1.17)$$

dove  $k_B$  è la costante di Boltzmann,  $\mathbf{T}$  è la temperatura assoluta e  $g_{d0}$  è la conduttanza di canale definita come:

$$g_{d0} = \frac{\partial I_{DS}}{\partial V_{DS}} \quad (1.18)$$

con  $V_{GS}$ ,  $V_{BS}$  fisse e  $V_{DS} = 0$ . In saturazione avremo che  $g_{d0} = g_m$  quindi l'equazione 1.17 può essere riscritta in modo alternativo come:

$$S_{I_D}(f) = 4k_B T \Gamma g_m \quad (1.19)$$

dove  $g_m$  è la transconduttanza di canale definita come:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \quad (1.20)$$

dove  $V_{DS}$ ,  $V_{BS}$  sono fisse, mentre  $\Gamma$  è un coefficiente esprimibile dalla seguente relazione:

$$\Gamma = \alpha_W n \gamma \quad (1.21)$$

dove  $n$  indica la pendenza in sottosoglia,  $\gamma$  dipende dalla regione di inversione e  $\alpha_W$  rappresenta il rumore in eccesso che può dipendere dai portatori caldi, da una  $L$  del MOS troppo piccola, ecc. Per dispositivi a canale lungo, il valore di  $\gamma$  risulta pari a circa  $\frac{1}{2}$  in regione di debole inversione e  $\frac{2}{3}$  in regione di forte inversione; il coefficiente  $\alpha_W$  invece assume valori attorno a 1. Più comunemente viene utilizzata l'espressione del rumore termico di canale in termini di tensione riferita al Gate del dispositivo:

$$S_w(f) = \frac{S_{I_D}(f)}{g_m^2} = 4k_B T \frac{\Gamma}{g_m} \quad (1.22)$$

Al ridursi della minima lunghezza di canale, gli andamenti della densità spettrale del rumore termico di canale visti fin ora vengono modificati a causa di due effetti entrambi legati alla presenza di campi elettrici elevati all'interno del canale.

- **riduzione della mobilità dei portatori:** per valori elevati del campo elettrico longitudinale all'interno del canale, la mobilità dei portatori diminuisce all'aumentare dell'intensità del campo, e la velocità dei portatori tende a raggiungere un valore di saturazione. Una diminuzione della mobilità si verifica

inoltre per valori elevati del campo elettrico trasversale e quindi della tensione  $V_{GS}$ ;

- **aumento della temperatura dei portatori:** la temperatura dei portatori di carica nel canale si innalza con l'aumentare del campo elettrico longitudinale, aumentando il salto termico rispetto alla temperatura T del reticolo cristallino nel quale sono immersi.

Entrambi gli effetti sopra citati influenzano il rumore termico di canale, provocandone un aumento significativo rispetto a quanto previsto per dispositivi a canale lungo. In particolare si osserva che il coefficiente  $\gamma$  assume valori superiori a  $\frac{2}{3}$ , così come coefficiente  $\alpha_W$  il quale assume valori superiori a 1 [3].

#### 1.4.2 Flicker Noise

Generalmente nei dispositivi MOS, a basse frequenze, prevale una componente di rumore del tipo  $1/f$ , anche detta Flicker noise, la cui densità spettrale risulta proporzionale al reciproco della frequenza:

$$S_{1/f}(f) = \frac{A_f}{f} \quad (1.23)$$

Il rumore di tipo  $1/f$  è stato oggetto per molti anni di studi approfonditi che hanno portato a diverse teorie riguardo la sua natura. Le cause più probabili del Flicker Noise possono essere attribuite principalmente a due fattori:

- **fluttuazione casuale del numero dei portatori di carica** dovuta a fenomeni di generazione e ricombinazione;
- **fluttuazione della mobilità dei portatori di carica** a causa di fenomeni di scattering con le impurità presenti nel cristallo;

Qui di seguito verranno illustrati in modo dettagliato questi due fenomeni.

#### Fluttuazione del numero dei portatori di carica

Il numero dei portatori di carica all'interno del canale del dispositivo può variare in modo casuale per effetto del potenziale superficiale che, a sua volta, è dovuto

alla cattura e all'emissione delle cariche da parte di trappole presenti nell'interfaccia ossido-silicio; la densità di carica all'interfaccia  $Q_0$  varia in modo casuale e, di conseguenza, anche le tensioni di banda piatta attraverso il termine  $\frac{Q_0}{C_{OX}}$ . Tale variazione può essere rappresentata da un generatore di tensione di rumore in serie al Gate e proporzionale a  $(\frac{1}{C_{OX}})^2$ . Il rumore 1/f risulta quindi indipendente dalla tensione di polarizzazione del Gate, mentre è inversamente proporzionale all'area  $W*L$  del dispositivo, poiché maggiore è l'area e minore è l'effetto della variazione della densità di trappole all'interfaccia. La pendenza  $\alpha_f$  dello spettro di rumore  $\frac{1}{f^{\alpha_f}}$  è uguale ad 1 se si assume uniforme la densità di trappole nell'ossido di Gate; a causa di fenomeni di generazione e ricombinazione delle stesse trappole, solitamente tale pendenza è compresa tra 0.7 e 1.2. La densità spettrale del rumore 1/f può quindi essere espressa nel seguente modo:

$$S_{1/f}(f) = \frac{K_a}{C_{OX}^2 WL} \frac{1}{f^c} \quad (1.24)$$

dove  $C_{OX}$  è la capacità dell'ossido di Gate per unità di area e  $K_a$  è un parametro che non dipende dalla tensione di polarizzazione, ma solo dal processo di fabbricazione. Essendo la tensione di rumore equivalente in serie al Gate, è possibile determinare i suoi effetti sulla corrente di Drain moltiplicandola per la transconduttanza di canale  $g_m$ ; da quanto detto si ricava la seguente espressione della densità spettrale di rumore associata alla corrente di Drain:

$$S_{I_{D,1/f}}(f) = S_{1/f}(f) g_m^2 \quad (1.25)$$

Questo termine rappresenta il contributo di rumore dato dal Flicker Noise alla densità totale di rumore associato alla corrente di Drain, la quale è data da:

$$S_{I_{D,tot}} = S_{I_{D,w}} + S_{I_{D,1/f}} \quad (1.26)$$

### Fluttuazione della mobilità dei portatori di carica

Il modello che si sta considerando attribuisce il rumore 1/f alla fluttuazione della mobilità dei portatori, dovuta all'interazione delle cariche con il reticolo cristallino;

misure sperimentali hanno dimostrato che la densità spettrale di rumore equivalente in ingresso, secondo questa teoria, può essere espressa nel seguente modo:

$$S_{1/f}(f) = \frac{K_f}{C_{OX}WL} \frac{1}{f^{\alpha_f}} \quad (1.27)$$

dove  $K_f$  dipende dalla tensione di polarizzazione  $V_{GS}$ .

È possibile che entrambi gli effetti appena descritti, validi in tutte le regioni di inversione, contribuiscano contemporaneamente alla generazione di rumore 1/f; tuttavia, spesso accade che uno dei due sia dominante rispetto all'altro. Nei dispositivi MOS a canale N è prevalente il contributo dovuto alla variazione del numero dei portatori di carica, mentre nei dispositivi a canale P prevale l'altro modello, pur essendo presenti entrambi i fenomeni.

Nei dispositivi MOS a canale P è possibile verificare che il parametro  $K_f$  aumenta in modo pressoché lineare con  $|V_{GS} - V_{th}|$ , dove  $V_{th}$  rappresenta la tensione di soglia del dispositivo; in regione di debole inversione, invece,  $K_f$  aumenta al diminuire di  $|V_{GS}|$ .

La densità spettrale di rumore 1/f nei dispositivi MOS a canale P è solitamente minore rispetto a quella di un dispositivo a canale N, a patto di operare nelle stesse condizioni:

- stessa tecnologia;
- stesse dimensioni;
- stessa polarizzazione.

Il progressivo scaling dei dispositivi ha portato ad una sostanziale diminuzione del rumore 1/f, dovuta principalmente alla riduzione dello spessore dell'ossido di Gate e al conseguente aumento della capacità dell'ossido  $C_{OX}$ . Tuttavia, la progressiva diminuzione di  $t_{OX}$  può generare una degradazione della qualità dell'ossido stesso e un aumento della densità dei difetti presenti nello strato di ossido; di conseguenza, il parametro  $A_f$  di rumore potrebbe variare in modo inaspettato rispetto a quanto preventivato.

### 1.4.3 Rumore Lorentziano

Il rumore Lorentziano, detto anche Random Telegraph Signal (RTS), è causato dall’intrappolamento e rilascio dei portatori di carica da parte di trappole localizzate nella regione di svuotamento fra gate e canale. A temperatura ambiente, a frequenze superiori a 1 Hz, nella densità spettrale di rumore nella corrente di drain si osservano uno o due termini di rumore Lorentziano, dovuti appunto all’intrappolamento e al rilascio dei portatori di carica, della forma:

$$\frac{di_{L,i}^2}{df} = \frac{A_{L,i}\tau_{L,i}g_m^2}{(1 + \omega^2\tau_{L,i}^2)} \quad (1.28)$$

I contributi Lorentziani risultano particolarmente elevati in dispositivi esposti a elevate dosi di radiazione o fluenze neutroniche, in cui il dislocamento di atomi nel reticolo dà luogo alla creazione di difetti che agiscono come centri di intrappolamento. Le frequenze caratteristiche dei termini Lorentziani sono diverse in MOS a canale N e in MOS a canale P [4] [5].

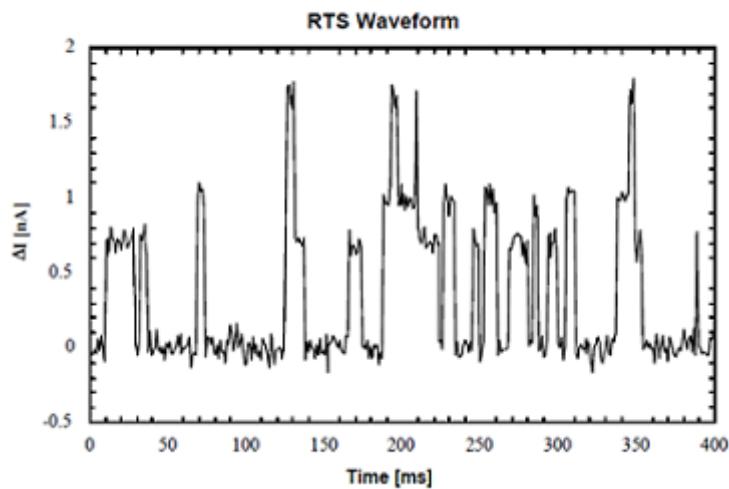


Figura 1.13: Spettro di rumore Lorentziano

### 1.4.4 Rumore associato alla corrente di Gate

La corrente di Gate, che solitamente assume valori dell’ordine dei fA, al diminuire dello spessore dell’ossido di Gate può non essere più trascurabile: l’ossido di Gate,

infatti, forma una barriera di potenziale all'iniezione dei portatori di carica dal canale al Gate. Questa barriera può essere oltrepassata dai portatori caldi e, diminuendo ulteriormente lo spessore  $t_{OX}$ , anche da portatori con energia cinetica minore.

La corrente di Gate dà origine ad un contributo di rumore parallelo, la cui espressione analitica è la seguente:

$$S_{I_G} = 2qI_G \quad (1.29)$$

#### 1.4.5 Altre sorgenti di rumore

Oltre alle sorgenti di rumore analizzate fin ora, ve ne sono altre legate alla natura costruttiva di un dispositivo MOS e alle sue resistenze; questo paragrafo è dedicato all'analisi di queste fonti di rumore.

##### Rumore associato alla resistenza di Gate

Fonte di rumore rappresentabile come un generatore di tensione  $S_{R_{GG}}$  collegato in serie alla resistenza di Gate  $R_{GG}$ .

In serie al terminale di Gate è presente una resistenza dovuta a diversi contributi, il cui rumore termico è rappresentato dalla seguente espressione:

$$S_{R_{GG}} = 4kTR_{GG} \quad (1.30)$$

La resistenza  $R_{GG}$  è il risultato della somma tra le resistenze del silicio policristallino con cui viene realizzato il Gate, e quella dovuta alle linee di connessione tra il Gate vero e proprio e il pad di connessione. Per quanto detto fin ora, ne risulta che la resistenza  $R_{GG}$  dipende fortemente dalla struttura del Gate, che solitamente è di tipo interdigitato; pertanto, ci si può trovare di fronte a due possibili soluzioni:

- un primo caso in cui i singoli finger vengono contattati da un solo lato (figura 1.14(a));
- un secondo caso, più complesso, in cui i finger vengono contattati da entrambi i lati (figura 1.14(b)).

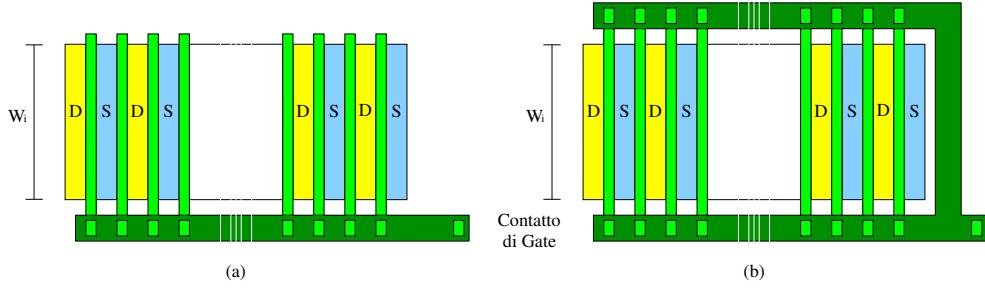


Figura 1.14: Schema del layout di un MOSFET con: a) i finger contattati da un solo lato; b) i finger contattati da entrambi i lati.

Queste due diverse soluzioni di realizzazione dei dispositivi danno origine a due differenti espressioni teoriche del termine  $R_{GG}$ :

- nel caso di finger contattati da un solo lato:

$$R_{GG} = \frac{1}{n} \frac{R_i}{3} + R_{pad} + n \frac{R_{int}}{2} \quad (1.31)$$

- nel caso di finger contattati da entrambi i lati:

$$R_{GG} = \frac{1}{n} \frac{R_i}{12} + R_{pad} + \frac{(n+1)(2n+1)}{12n} R_{int} \quad (1.32)$$

In entrambi i casi si ha:

- il numero di finger  $n$ , il quale è legato alla larghezza  $W$  del dispositivo considerato e a quella  $W_i$  dei finger, secondo la relazione:

$$n = \frac{W}{W_i} \quad (1.33)$$

- la resistenza  $R_i$  indica il valore di resistenza del singolo finger, che risulta essere uguale al prodotto tra il numero di quadri del finger  $\frac{W_i}{L}$  e la resistività del silicio policristallino:

$$R_i = \frac{W_i}{L} \rho_p \quad (1.34)$$

- la resistenza  $R_{int}$  indica la resistenza equivalente alle interconnessioni tra due finger adiacenti, e risulta essere uguale al prodotto tra il numero di quadri presenti su una singola linea di metal, dati da  $\frac{W_{int}}{L_{int}}$ , e la resistività della linea di metal:

$$R_{int} = \frac{W_{int}}{L_{int}} \rho_m \quad (1.35)$$

dove  $W_{int}$  è la larghezza della linea di metal e  $L_{int}$  è la lunghezza della linea di metal;

- la resistenza  $R_{pad}$ , che indica la resistenza equivalente della linea di metal che connette il Gate al relativo pad.

### Rumore associato alla resistenza di substrato

Fonte di rumore rappresentabile come un generatore di tensione  $S_{R_{BB}}$  collegato in serie alla resistenza di Body  $R_{BB}$ .

La tecnologia CMOS prevede la realizzazione dei dispositivi a canale N e P all'interno di zone (well) opportunamente drogate, e caratterizzate da un valore non trascurabile di resistività. Pertanto, in serie al terminale di substrato, è presente una resistenza  $R_{BB}$ , il cui valore dipende da tre fattori importanti:

- dalla geometria del dispositivo;
- dalla resistività del substrato;
- dalla posizione dei contatti di substrato rispetto all'area attiva del dispositivo.

Il contributo di rumore offerto dalla resistenza di substrato  $R_{BB}$ , in termini di rumore equivalente al Gate, è descritto dalla seguente equazione:

$$S_{R_{BB}} = 4kT R_{BB} \frac{g_{mb}^2}{g_m^2} \quad (1.36)$$

dove  $g_{mb}$  rappresenta la transconduttanza di substrato, definita come:

$$g_{mb} = \frac{\partial I_D}{\partial V_{BS}} \quad (1.37)$$

### Rumore associato alle resistenze parassite di Drain e Source

Fonte di rumore rappresentata dalla resistenza  $R_{DS}$ .

Per limitare gli effetti dovuti alla riduzione delle dimensioni, in particolare l'effetto dei portatori caldi e la conseguente iniezione nell'ossido di Gate delle cariche, è possibile utilizzare una regione di Drain e di Source leggermente drogata che si estende sotto l'ossido di Gate. Tale zona, che viene indicata come Lighly Doped Drain (LDD), può essere di tipo P o N, a seconda della polarità del dispositivo. La LDD si trova al di sotto dell'ossido di gate, nella zona di sovrapposizione tra quelle di Source e Drain e l'ossido, come mostrato in figura 1.15.

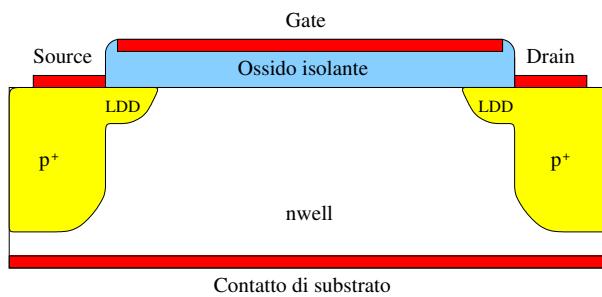


Figura 1.15: LDD per un dispositivo MOS a canale P

La presenza di tale regione, tuttavia, può aumentare il valore delle resistenze parassite in serie ai terminali di Source e Drain ( $r_S$  e  $r_D$ ), attraverso i vari contributi mostrati in figura 1.16. In particolare si ha:

- $R_{accumulazione}$  è la resistenza associata alla zona di transizione tra lo strato di inversione del canale e la regione LDD;
- $R_{distribuita}$  è la resistenza distribuita associata alla regione LDD;
- $R_{shunt}$  è la resistenza associata alla diffusione fortemente drogata di Source/Drain;
- $R_{contatto}$  è la resistenza di contatto tra la regione di Source/Drain e il layer metallico.

Nei dispositivi a canale submicrometrico, in particolare a canale N, le resistenze  $R_{accumulazione}$  e  $R_{distribuita}$  risultano essere i contributi maggiori alle resistenze  $r_s$  e  $r_d$ : il valore di queste resistenze, infatti, non è più trascurabile quando le dimensioni

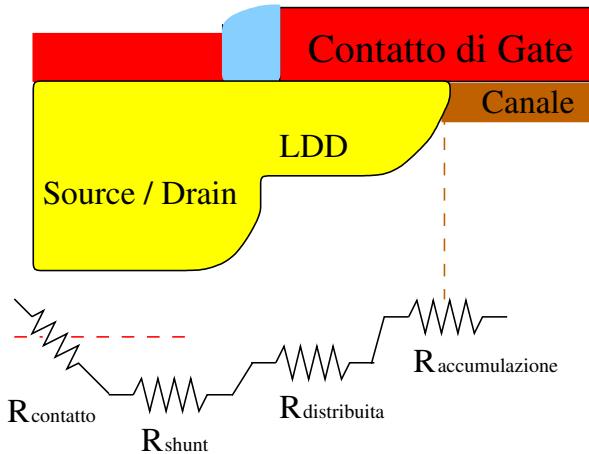


Figura 1.16: Contributi di rumore della resistenza di Source/Drain in un MOSFET

dei dispositivi vengono progressivamente ridotte, in particolare quando si riducono la lunghezza di canale e la profondità della zona di giunzione. Queste resistenze danno origine a contributi di rumore le cui densità spettrali sono date da:

$$S_{R_{DD}} = 4k_B T R_{DD} \quad (1.38)$$

$$S_{R_{SS}} = 4k_B T R_{SS} \quad (1.39)$$

## 1.5 Effetti delle radiazioni su MOS

Lo studio degli effetti delle radiazioni sui MOS è cominciato in seguito ai danni riportati dai circuiti utilizzati nei primi satelliti a causa delle particelle energetiche presenti nell'universo. Successivamente si è assistito ad un crescente interesse sullo studio di circuiti che lavorano in ambiente radioattivo: missioni spaziali, satelliti, strumentazione per impianti di produzione di energia nucleare, esperimenti di fisica delle alte energie [6] [7].

L'interazione tra radiazione e materia può dare origine in generale a due classi di eventi differenti: ionizzazione e spostamento reticolare. Questi fenomeni possono essere direttamente causati dalla particella incidente o da prodotti secondari, caso quest'ultimo che rappresenta la gran maggioranza degli eventi all'interno di un campione di materiale irraggiato. I fenomeni suddetti dipendono inoltre dal tipo di

particella incidente e dalla sua energia. Infine, è importante sottolineare come le particelle neutre (che per loro natura non subiscono l'effetto di forze coulombiane) siano la causa principale della dislocazione di atomi all'interno del reticolo, mentre fotoni ed elettroni risultano responsabili del fenomeno della ionizzazione. Più in dettaglio si ha che:

- le radiazioni ionizzanti sono particelle e onde elettromagnetiche dotate di potere altamente penetrante nella materia; ciò permette alle radiazioni di far saltare da un atomo all'altro gli elettroni che incontrano nel loro percorso. Questi atomi urtati perdono la loro neutralità (uguale numero di protoni e di elettroni) e si caricanano elettricamente, ionizzandosi. Il fenomeno della ionizzazione in un materiale semiconduttore o isolante determina la formazione di coppie elettrone-lacuna, il cui numero risulta proporzionale alla quantità di energia depositata nel materiale, espressa attraverso la dose totale di radiazione assorbita;
- il fenomeno di spostamento reticolare si verifica quando la particella incidente sposta gli atomi di silicio all'interno del reticolo cristallino, creando così dei difetti che alterano le caratteristiche del cristallo. Questo fenomeno è il principale meccanismo di degradazione dei parametri elettrici dei dispositivi irraggiati con neutroni ad alta energia;

Quando un circuito elettronico è esposto a radiazione, in generale si verifica un'alterazione permanente o transitoria delle proprietà elettriche dei componenti attivi del circuito; si può essere di fronte ad una degradazione delle prestazioni o in casi peggiori ad una rottura del dispositivo.

In dispositivi appartenenti alle tecnologie CMOS la parte più sensibile alle radiazioni è l'ossido di gate ( $\text{SiO}_2$ ) e la regione di interfaccia tra ossido di silicio e silicio ( $\text{SiO}_2\text{-Si}$ ). Il passaggio di una particella ionizzante nella struttura MOS determina la formazione di coppie elettrone-lacuna. Nella regione di gate e nel substrato la ricombinazione delle particelle generate dal passaggio di un fotone o di una particella carica è relativamente rapida, anche in dipendenza dalla densità di drogante.

Nell'ossido di silicio, una piccola parte delle coppie elettrone-lacuna generate si ricombina dopo pochi istanti, mentre la restante parte non si ricombina affatto per effetto del campo elettrico applicato che tende a separare gli elettroni dalle lacune. Mentre gli elettroni possiedono una mobilità sufficiente per la fuoriuscita dall'ossido, le lacune, invece, rimangono intrappolate nell'ossido di silicio. Quando le lacune prodotte dalla radiazione hanno completato il loro cammino all'interno dell'ossido possono essere intrappolate nelle vicinanze dell'interfaccia  $\text{SiO}_2\text{-Si}$  o  $\text{SiO}_2\text{-gate}$ , in dipendenza dall'intensità del campo elettrico applicato. Nel caso di potenziale positivo applicato al terminale di gate le lacune vengono intrappolate in vicinanza dell'interfaccia dell'ossido a causa dei difetti del silicio che agiscono come centri di trappola (si veda la figura 1.17). Questo fenomeno è generalmente predominante rispetto agli altri effetti dovuti alle radiazioni, come ad esempio l'intrappolamento di elettroni nel silicio. La natura e la densità dei difetti all'interno dell'ossido dipendono generalmente dalle tecniche di produzione utilizzate.

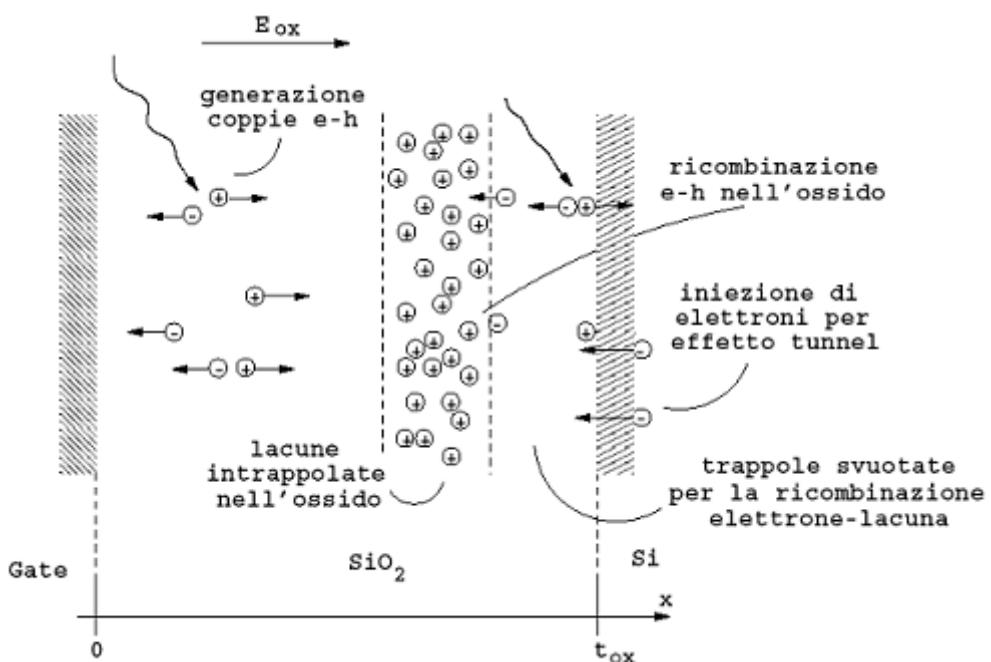


Figura 1.17: Processo di intrappolamento di lacune nell'ossido per tensioni di gate positive

### 1.5.1 Intrappolamento di carica nelle STI

Nelle moderne tecnologie CMOS, lo spessore dell'ossido di gate è così ridotto che gli effetti dovuti all'intrappolamento delle lacune nell'ossido sono diventati pressoché trascurabili. L'intrappolamento di lacune nelle regioni di shallow trench isolation (STI), schematicamente illustrato in figura 1.18, comincia invece ad assumere un ruolo determinante nella definizione delle caratteristiche di resistenza alle radiazioni delle tecnologie CMOS. L'esposizione a radiazioni ionizzanti crea, nella zona di confine, delle regioni con abbondanza di lacune quindi di carica positiva; questo provoca la formazione di due canali parassiti laterali e quindi passaggio di corrente tra i terminali di Drain e di Source. Il contributo totale di queste correnti può essere modellizzato tramite dei transistor in parallelo al transistor principale e ciascuno di questi dispositivi parassiti è pertanto responsabile di un proprio contributo al rumore totale del dispositivo sotto misura. In particolare, è noto che la variazione più significativa in seguito all'esposizione a radiazioni ionizzanti si produce nel rumore di tipo  $1/f$ . L'intrappolamento di carica positiva nelle STI non solo determina le condizioni di accumulazione, svuotamento o inversione del transistore parassita, ma influenza inoltre il campo elettrico del dispositivo principale. Ciò risulta in una variazione della tensione di soglia, più precisamente di una sua riduzione per dispositivi NMOS e di un suo aumento per dispositivi PMOS [8].

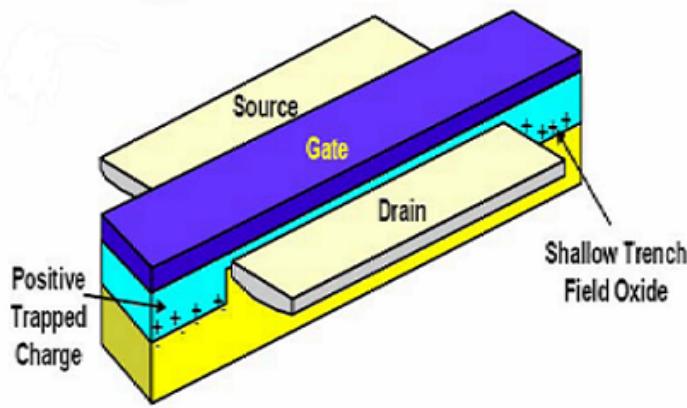


Figura 1.18: Visuale 3D delle STI e delle cariche trappolate in esse

Un modo per eliminare queste correnti parassite è ricorrere ad un particolare layout costruttivo chiamato **Enclosed Layout Transistor (ELT)** come visibile in

figura 1.19. Con questa tecnica tutta la corrente va dal Drain al Source attraverso il canale formatosi sotto il Gate senza la formazione di correnti parassite nelle regioni STI poste tutt'intorno al Drain. Gli svantaggi di questa soluzione sono le dimensioni maggiori rispetto al classico layout e la difficoltà di modellizzazione delle dimensioni  $W$  e  $L$  [7].

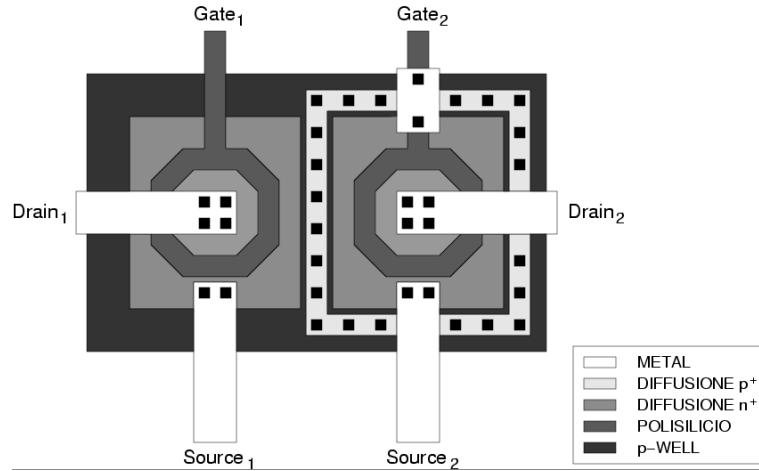


Figura 1.19: CMOS realizzato con tecnologia ELT

### 1.5.2 Effetti delle radiazioni sui parametri elettrici dei MOS

Le radiazioni, oltre a modificare la struttura fisica del MOS come abbiamo appena visto, incidono sui parametri elettrici provocando una variazione di questi ultimi [7]. In particolare:

- variazione della tensione di soglia  $V_{th}$ ;
- variazione della corrente di sottosoglia e creazione di correnti parassite;
- degradazione della mobilità dei portatori e della transconduttanza;
- aumento del rumore elettronico.

#### Tensione di soglia

La variazione della tensione di soglia è causata dalla carica intrappolata nell'ossido di gate che provoca un aumento della densità di trappole all'interfaccia. La

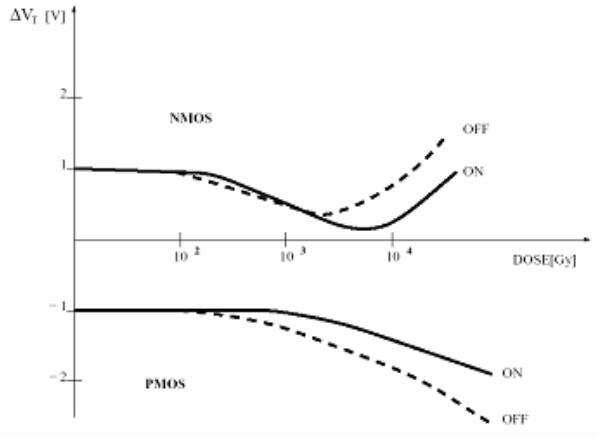


Figura 1.20:  $V_{th}$  in funzione della dose di radiazione

figura 1.20 mette in evidenza la variazione di  $V_{th}$  in funzione della dose di radiazione a cui è sottoposto.

Negli NMOS per basse dosi di radiazioni avremo una diminuzione della tensione di soglia  $V_{th}$ ; questo perchè domina il contributo della carica positiva intrappolata nell'ossido. Per alte dosi di radiazioni avremo invece un aumento della tensione di soglia  $V_{th}$ ; questo perchè domina il contributo delle cariche negative intrappolate all'interfaccia. Nei PMOS si ha un comportamento univoco sia per basse dosi di radiazioni che per alte dosi di radiazioni e cioè la tensione  $V_{th}$  tende a diminuire.

La variazione  $\Delta V_{th}$  della tensione di soglia può essere così espressa:

$$\Delta V_{th} = \Delta V_{OT} + \Delta V_{IT} = -\frac{\Delta Q_{IT}}{C_{ox}} - \frac{\Delta Q_{OT}}{C_{ox}} \quad (1.40)$$

dove  $Q_{IT}$  è la carica all'interfaccia per unità di area e  $Q_{OT}$  è la carica nell'ossido per unità di area.

### Corrente di sottosoglia e correnti parassite

Altro effetto provocato dalle radiazioni è la variazione della corrente di sottosoglia cioè quella corrente che fluisce tra Drain e Source per valori di  $|V_{GS}| < |V_{th}|$ . Questa variazione è legata a due fattori:

- La variazione della tensione di soglia
- La diminuzione della pendenza della caratteristica  $I_D-V_{GS}$

Negli NMOS al diminuire della tensione di soglia avremo una diminuzione della pendenza, quindi la corrente di  $I_D$  di sottosoglia aumenta.

NMOS  $V_{th} \downarrow$ , pendenza  $\downarrow \implies \uparrow I_D$  sottosoglia

Nei PMOS all'aumentare della tensione di soglia invece avremo una diminuzione della pendenza, quindi la corrente di  $I_D$  di sottosoglia diminuisce.

PMOS  $V_{th} \uparrow$ , pendenza  $\downarrow \implies \downarrow I_D$  sottosoglia

Oltre alla variazione della corrente di sottosoglia si ha la formazione di percorsi conduttivi parassiti e quindi relative correnti parassite tra Drain e Source in corrispondenza delle shallow trench isolation (STI).

In questa regione lo spessore dell'ossido è maggiore rispetto all'ossido di gate, conseguenza è che la carica intrappolata può indurre un canale conduttivo parassita di tipo N in un substrato P che provoca passaggio di elettroni. Il transistor parassita può essere rappresentato da diversi transistor in parallelo con diversa larghezza di gate  $W_P$  e lunghezza L uguale a quella del dispositivo principale. Questo effetto si verifica solo negli NMOS, perché nei PMOS la conduzione tra Drain e Source avviene per trasporto di lacune.

### Degradazione della mobilità

Come già detto precedentemente, le radiazioni provocano la formazione di trappole all'interfaccia  $SiO_2$ -Si. Questo aumento del numero di trappole va a degradare il valore della mobilità perchè quest'ultima è legata al numero di trappole dalla seguente relazione:

$$\mu = \frac{\mu_0}{1 + \alpha(\Delta N_{it})} \quad (1.41)$$

dove:  $\mu_0$  è il valore della mobilità prima dell'irraggiamento,  $\Delta N_{it}$  è l'aumento del numero di trappole all'interfaccia e  $\alpha$  è un parametro che dipende dalla tecnologia.

Importante è osservare che la diminuzione della mobilità provoca una diminuzione della transconduttanza, come si può vedere dal grafico 1.21:

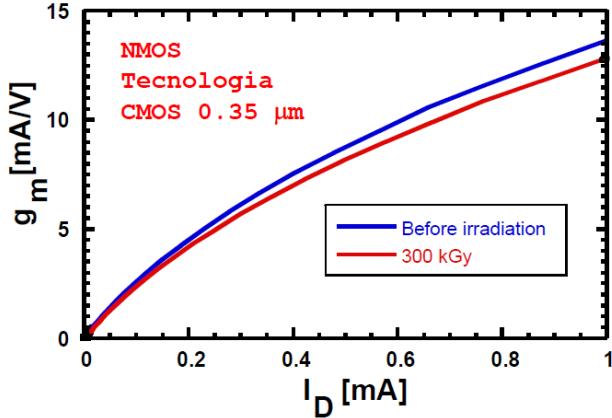


Figura 1.21: Variazione della  $g_m$  prima e dopo l'irraggiamento

### Aumento del rumore elettronico

La diminuzione della transconduttanza  $g_m$ , in seguito alla degradazione della mobilità  $\mu$ , provoca un aumento del rumore termico di canale o White noise. Per quanto riguarda il rumore Flicker o  $1/f$  noise, esso aumenta in relazione con la carica positiva intrappolata nell'ossido in prossimità dell'interfaccia e con le trappole di bordo.

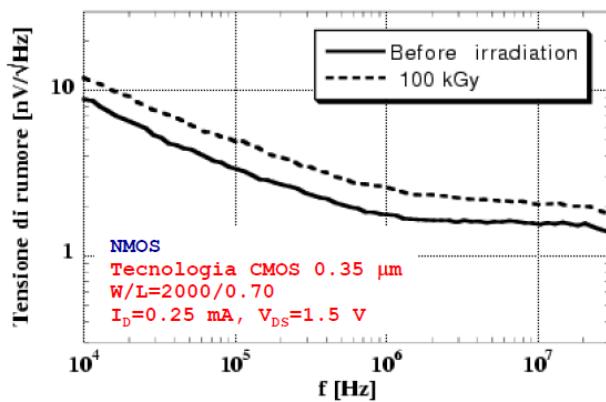


Figura 1.22: Variazione della tensione di rumore prima e dopo l'irraggiamento per una Tecnologia CMOS con lunghezza minima di canale di  $0.35 \mu\text{m}$  irraggiata ad una dose totale di 100 KGy.



# Capitolo 2

## Misure PRE Irraggiamento

In questo capitolo, dopo aver descritto le caratteristiche principali della tecnologia CMOS TSMC con lunghezza minima di canale da 65 nm, vengono riportati i risultati delle misure statiche e di rumore effettuate prima dell'irraggiamento con radiazioni ionizzanti.

### 2.1 Descrizione della tecnologia

I dispositivi MOSFET caratterizzati in questo lavoro di tesi appartengono ad un processo **CMOS** di **TSMC** (**Taiwan Semiconductor Manufacturing Company**) con lunghezza minima di canale pari a 65 nm e di tipo **Standard Threshold Voltage (SVT)** per applicazioni a bassa potenza (**Low Power - LP**). Per questa specifica tecnologia, la massima tensione di alimentazione supportata è  $V_{DD} = 1.2V$  per dispositivi standard come quelli da noi utilizzati e tutte le principali caratteristiche sono riportate nella tabella 2.1.

La tecnologia di produzione dei dispositivi investigati è caratterizzata da alcune importanti innovazioni tecnologiche di processo (presenti anche in altre tecnologie con medesima lunghezza di canale), visualizzate in figura 2.1, introdotte per la realizzazione di dispositivi a canale corto.

Tra le diverse innovazioni introdotte vi sono:

- l'utilizzo di **Shallow Trench Isolation (STI)**, ovvero di trincee scavate nel substrato e riempite di ossido depositato che, utilizzate come alternativa all'ossidazione locale del silicio (LOCOS), permettono una maggiore densità di integrazione;

Tecnologia CMOS TSMC		
	NMOS	PMOS
Lunghezza di canale minima $L_{min}$ [nm]	65	
Tensione di alimentazione $V_{DD}$ [V]	1.2	
Spessore dell'ossido $t_{ox}$ [nm]	2.6	2.8
Capacità dell'ossido di Gate $C_{ox}$ [ $fF/\mu m^2$ ]	13	12
Tensione di soglia $V_{th}$ [mV]	0.296	0.356
Drogaggio del substrato $N_A$ [ $10^{16}/cm^3$ ]	20	
Profondità di giunzione $x_j$ [nm]	< 50	
$10^6 FET/cm^2$	64	
Interconnessioni [Km/chip]	10	

Tabella 2.1: Caratteristiche della tecnologia CMOS TSMC da 65nm

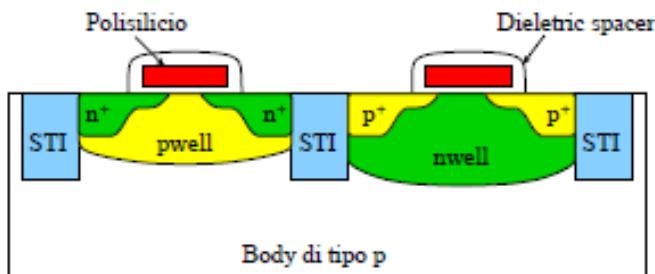


Figura 2.1: Sezione di un transistor MOSFET a canale P ed N

- l'uso di **Lightly Doped Drain (LDD)**, che consiste nell'ingegnerizzazione delle giunzioni di Drain e Source con l'introduzione di regioni superficiali poco drogati, che si estendono direttamente al di sotto del Gate, realizzate con lo scopo di limitare l'iniezione nell'ossido dei portatori di carica;
- l'aggiunta di **dielectric spacer**, costituito dalla posa di materiale isolante dielettrico al fine di crescere maggiormente la superficie del contatto di Gate;
- l'introduzione di un profilo di **droggaggio non uniforme nel substrato**, che riduce l'effetto del campo elettrico trasversale, aumentando di conseguenza la mobilità dei portatori di carica;
- **impiantazioni aggiuntive di tipo halo** di atomi droganti in prossimità delle giunzioni di Source e Drain, che limitano la diminuzione della tensione di soglia  $V_{th}$  che si verifica in corrispondenza dei canali più corti.

I dispositivi sui quali sono state effettuate le misure sono fisicamente racchiusi in contenitori plastici (package) da 48 pin, le cui piedinature sono riportate nella figura 2.2 per gli NMOS e nella figura 2.3 per i PMOS.

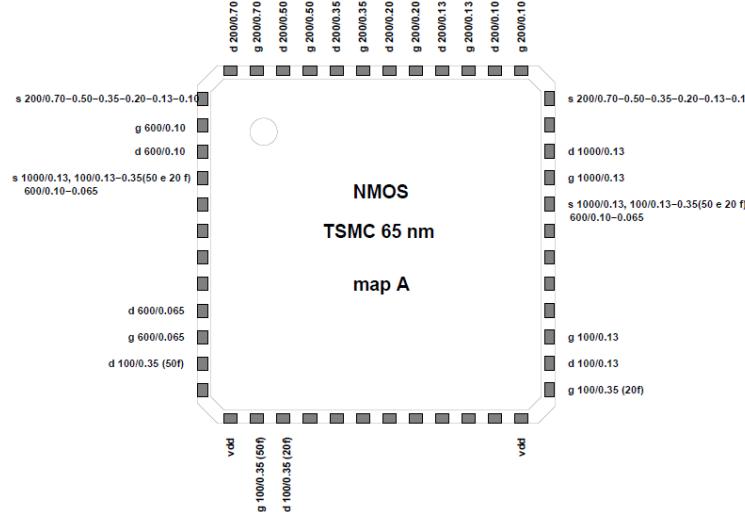


Figura 2.2: Piedinatura dei package mapA per i dispositivi NMOS

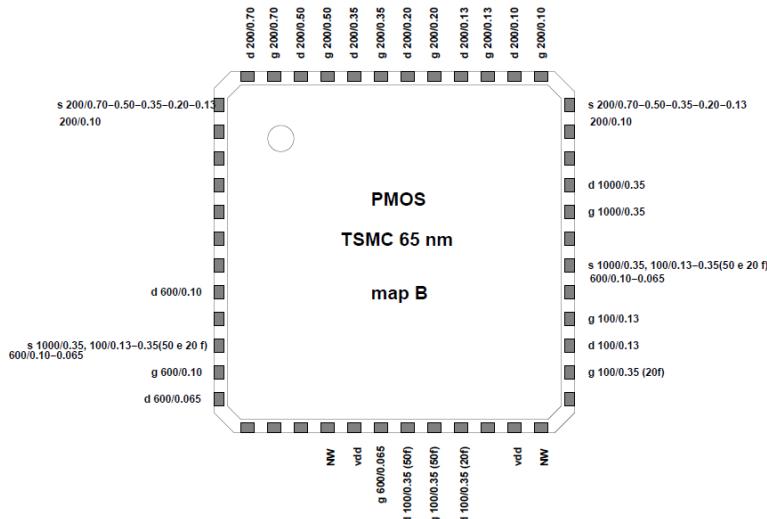


Figura 2.3: Piedinatura dei package mapB per i dispositivi PMOS

Un aspetto fondamentale da segnalare è che tutti i terminali dei dispositivi MOSFET (Source, Drain, Gate e n-well) sono protetti da una coppia di diodi di protezione, realizzati con una giunzione *pn* e disposti secondo lo schema riportato in figura 2.4. Questi diodi, che in condizioni di normale funzionamento dei transistor risultano polarizzati inversamente, hanno la funzione di evitare che i singoli

dispositivi si danneggino in caso di superamento accidentale delle massime tensioni di polarizzazione accettabili [3].

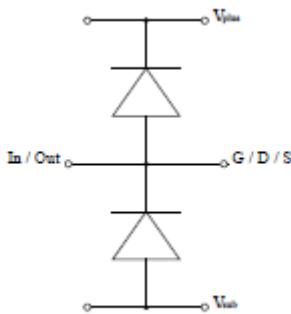


Figura 2.4: Configurazione dei diodi di protezione

## 2.2 Misure Statiche

Nella tabella 2.2 sono riportati i dispositivi sui quali sono state effettuate le misure statiche. Da segnalare per quanto riguarda gli NMOS il dispositivo 200/0.13 non funzionante già all'inizio della caratterizzazione.

### 2.2.1 Strumentazione per misure statiche

Per poter misurare i dispositivi a canale submicrometrico servono strumenti sofisticati che hanno la capacità di misurare tensioni e correnti che sono nell'ordine dei  $mA$  ma che possono arrivare sino al  $nA$ . Il Semiconductor Parameter Analyzer Agilent B1500A è uno strumento in grado di garantire un'ottima accuratezza di misura ed è quindi uno strumento adatto a misurare le caratteristiche di dispositivi MOSFET; è costituito da vari canali che si differenziano tra di loro per risoluzione minima e per tensioni e correnti massime ai quali possono arrivare.

I canali vengono indicati con l'acronimo di SMU (Source/Monitor Unit) cioè unità con duplice attività: di misura e di alimentazione. Ogni SMU infatti ha la possibilità di misurare ed erogare corrente e tensione. A questi canali tramite un'opportuna board verranno collegati i terminali del MOSFET.

Lo strumento, il cui pannello frontale è riportato in figura 2.5, utilizza il sistema operativo Microsoft Windows in quanto integra al suo interno tutti i componenti di

NMOS		
W [ $\mu m$ ]	L [ $\mu m$ ]	Annotazioni
100	0.13	
100	0.35 (20f)	
100	0.35 (50f)	
200	0.10	Gate danneggiato dall'irraggiamento
200	0.13	Gate danneggiato
200	0.20	
200	0.35	
200	0.50	
200	0.70	
600	0.065	
600	0.10	
1000	0.13	
PMOS		
W [ $\mu m$ ]	L [ $\mu m$ ]	
100	0.13	
100	0.35 (20f)	
100	0.35 (50f)	
200	0.10	
200	0.13	
200	0.20	
200	0.35	
200	0.50	
200	0.70	
600	0.065	
600	0.10	
1000	0.35	

Tabella 2.2: Dispositivi caratterizzati con misure statiche. Le due notazioni 20f e 50f indicano il numero di finger del dispositivo.



Figura 2.5: pannello frontale dello strumento Agilent B1500A.

un comune Personal Computer.

Per le misure effettuate è stato necessario l'utilizzo di una board di interfaccia che consente di connettere i dispositivi allo strumento in modo indipendente dal package nel quale i dispositivi sono inseriti. La board utilizzata è presentata in figura 2.6.



Figura 2.6: board utilizzata per eseguire le misure.

Questa board è stata inserita al connettore presentato in figura 2.7 che permette di collegare le uscite dello strumento con la board e quindi i dispositivi da misurare. Per poter impostare le misure da effettuare bisogna utilizzare il software EasyEXPERT: questa operazione si può fare o dalla finestra che compare sul desktop oppure dal menu start di Windows. Un volta lanciata l'applicazione bisognerà specificare quale Workspace si vuole utilizzare (specificare la Workspace serve al software per poter sapere dove andare a salvare i dati delle misure). Una volta specificato in quale spazio di lavoro si vuole operare appare la schermata principale di EasyEX-

PERT nella quale bisogna scegliere la tipologia di test che si vuole eseguire e si può procedere a settare i vari parametri ed eseguire la misura [9].



Figura 2.7: connettore per collegare la board con l'Agilent B1500A.

### 2.2.2 Grafici $I_D-V_{DS}$

Come prima tipologia di misurazione statica riportiamo le caratteristiche  $I_D-V_{DS}$  (figure 2.9, 2.10, 2.11, 2.12) dalle quali si possono notare le zone di funzionamento descritte nei capitoli precedenti (figura 2.8):

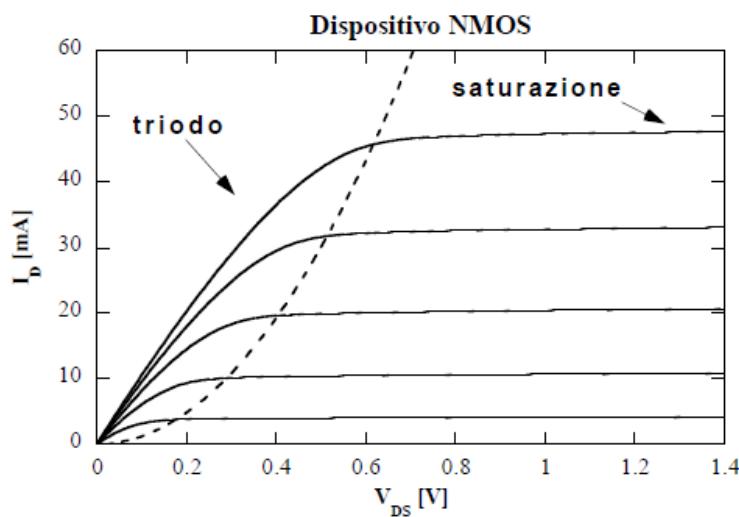


Figura 2.8: Zone di funzionamento del MOSFET

- zona di interdizione: nella quale la tensione di Gate non ha ancora raggiunto la tensione di soglia  $V_{th}$  e per qualsiasi  $V_{DS}$  applicata, la corrente di Drain rimane costante a zero;

- zona lineare o di triodo: in questo caso si può notare una dipendenza lineare della corrente di drain rispetto alla tensione tra Drain e Source che si applica;
- zona di saturazione: superato il valore di saturazione la tensione dovrebbe salire in modo costante per gli effetti dovuti alla modulazione di canale, questo risulta vero per quanto riguarda i dispositivi a canale lungo. Per quanto riguarda i transistori a canale corto in alcuni grafici si può notare come la crescita non risulti costante: questo è dovuto al fatto che a frequenze elevate si innesca una reazione positiva che fa oscillare il dispositivo (questi effetti si presentano con maggior frequenza in dispositivi a canale corto perché il guadagno dei dispositivi è inversamente proporzionale alla lunghezza di canale. Per poter attenuare almeno in parte questi disturbi abbiamo utilizzato delle ferriti grazie alle quali le oscillazioni dei dispositivi in parte si sono attenuate).

Nelle misure la tensione di Drain viene fatta variare tra 0V ed 1.2V con un incremento di 5mV, il terminale di Source viene posto a 0V e la tensione di Gate viene anch'essa fatta variare tra 0V ed 1.2V ma con un incremento di 200mV.

Si riportano nelle figure 2.9 2.10 2.11 2.12 i grafici dei dispositivi a canale N e dei dispositivi a canale P misurati.

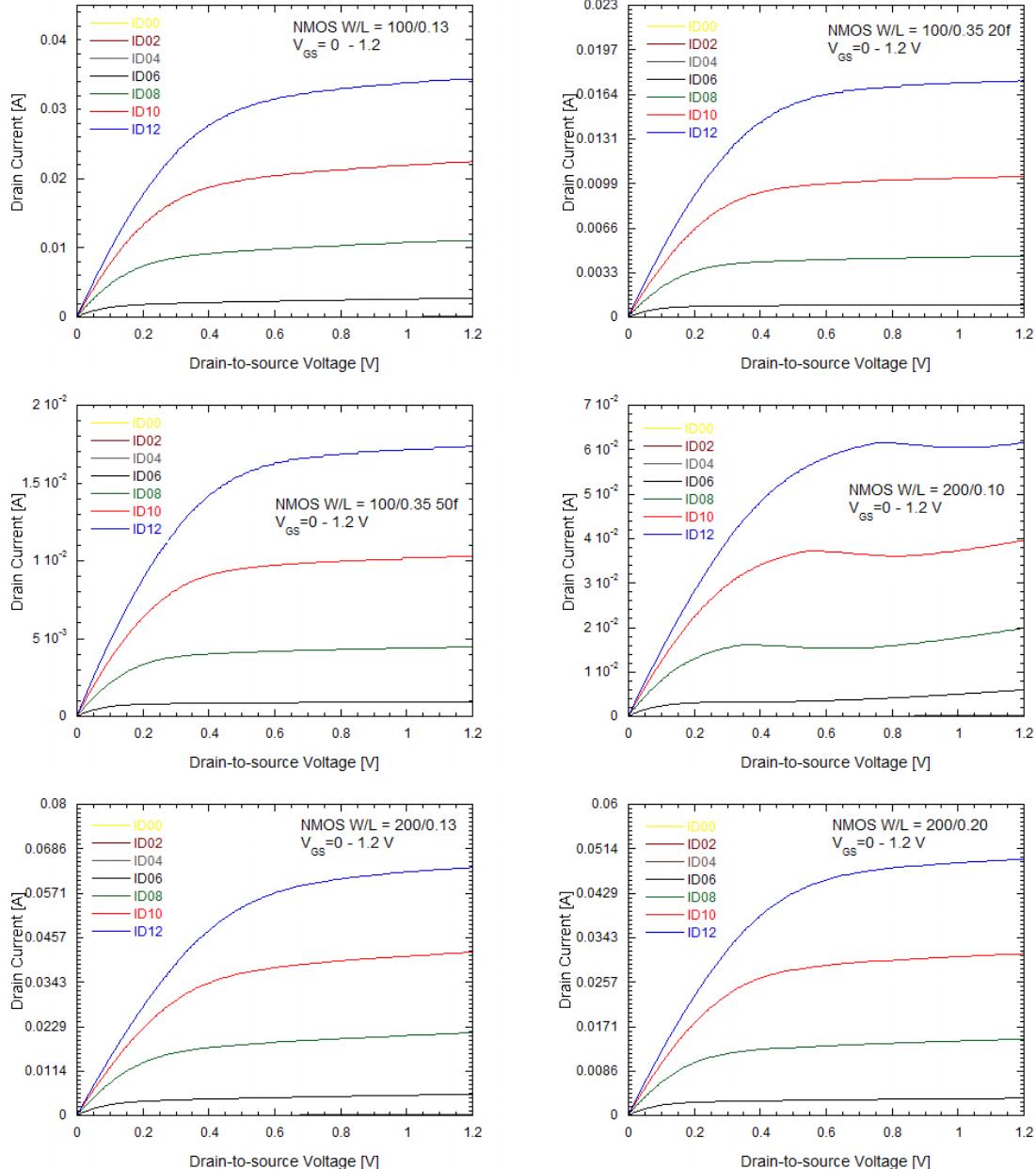


Figura 2.9: Grafici  $I_D$ - $V_{DS}$  NMOS mapA ( $IDn$  fa riferimento alla misure  $I_D - V_{DS}$  effettuata a  $n00$  mV di  $V_{GS}$ )

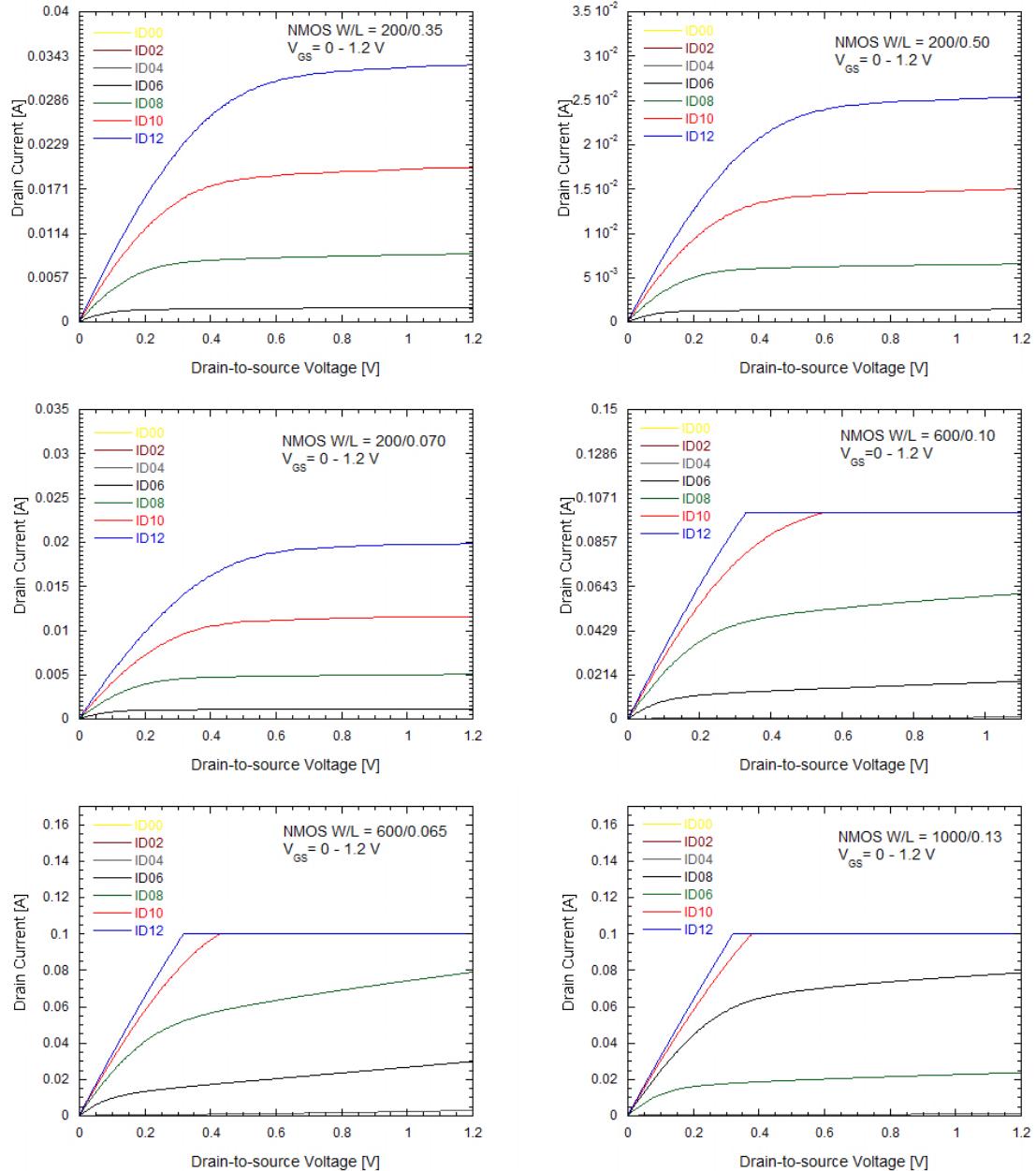


Figura 2.10: Grafici  $I_D$ - $V_{DS}$  NMOS mapA ( $IDn$  fa riferimento alla misure  $I_D - V_{DS}$  effettuata a  $n00$  mV di  $V_{GS}$ )

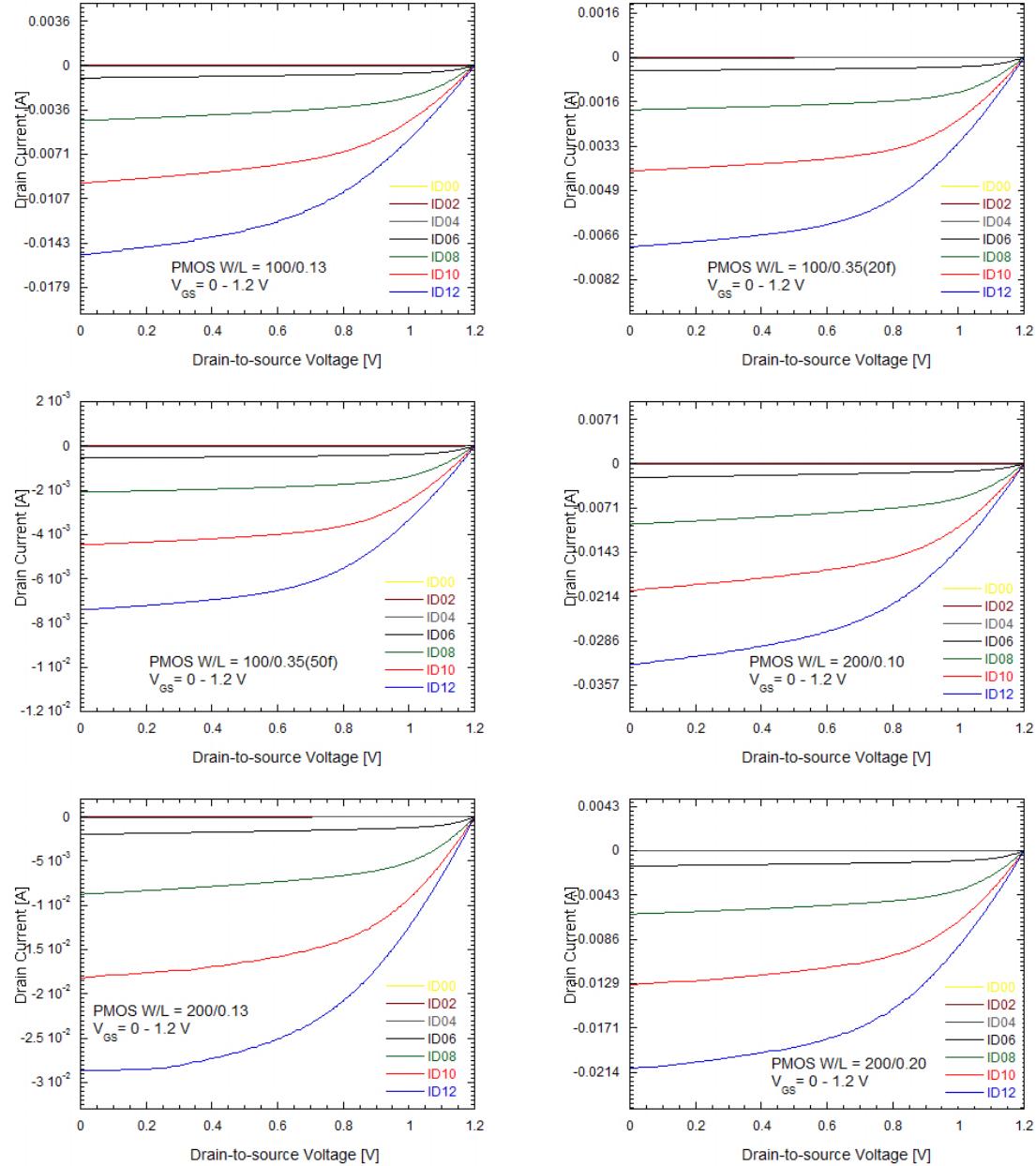


Figura 2.11: Grafici  $I_D$ - $V_{DS}$  PMOS mapB ( $IDn$  fa riferimento alla misure  $I_D - V_{DS}$  effettuata a  $n00$  mV di  $V_{GS}$ )

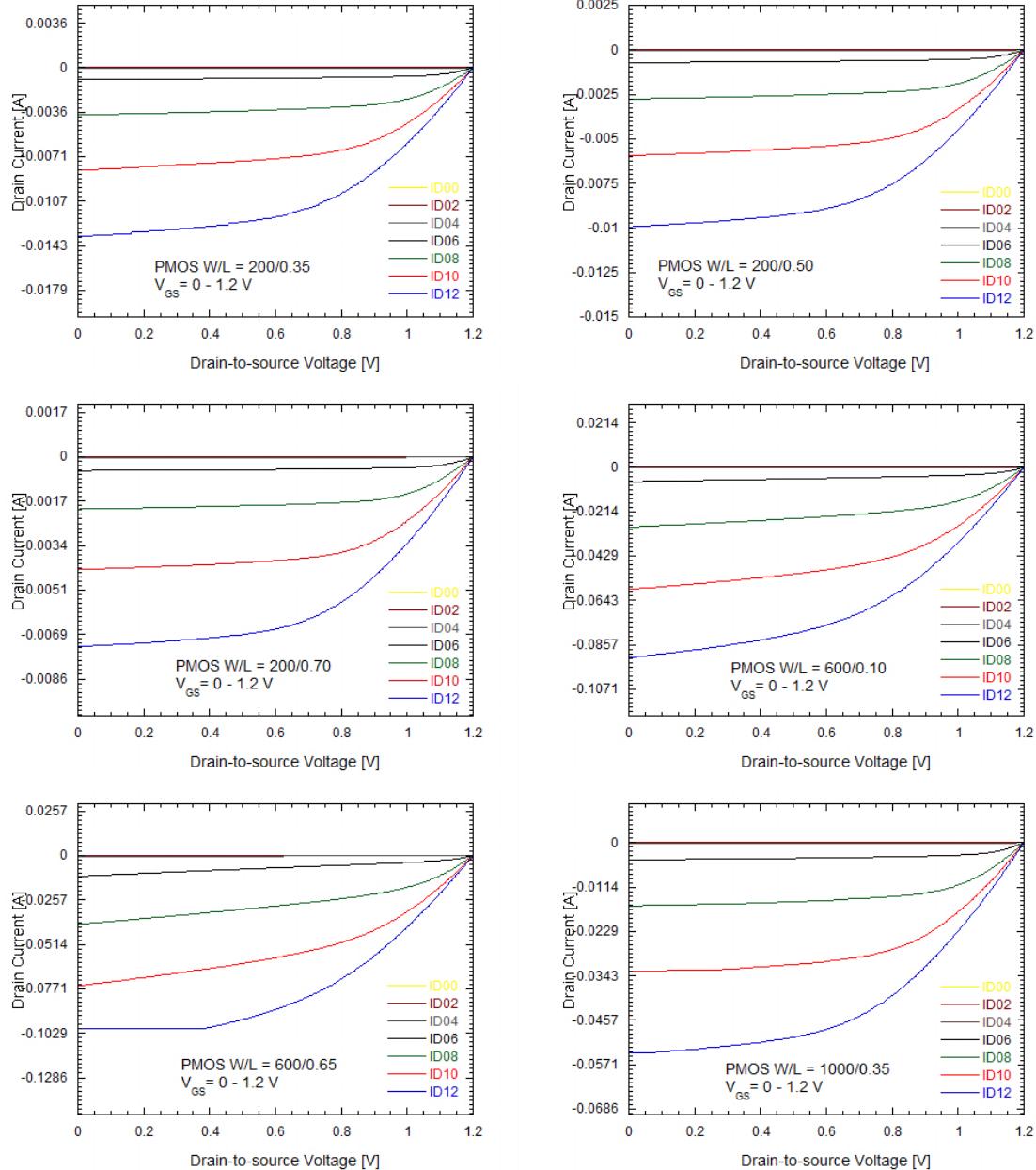


Figura 2.12: Grafici  $I_D$ - $V_{DS}$  PMOS mapB ( $IDn$  fa riferimento alla misure  $I_D - V_{DS}$  effettuata a  $n00$  mV di  $V_{GS}$ )

### 2.2.3 Grafici $I_D-V_{GS}$

La seconda parte di grafici è dedicata alla misura della corrente di Drain rispetto alla tensione applicata al Gate; questa tipologia di misure può essere suddivisa in due sezioni principali in base alla tipologia di scala che viene utilizzata per riportare i dati ottenuti:

- Utilizzando una scala lineare si ottengono i grafici presentati nelle figure 2.13 e 2.14 per i MOSFET a canale N, mentre si ottengono i grafici nelle figure 2.15 e 2.16 per i transistori a canale P. Da queste misure è possibile ricavare la tensione di soglia  $V_{th}$ .

I valori della tensione di soglia vengono calcolati automaticamente da uno script in linguaggio C eseguito dal software ROOT oppure manualmente con KaleidaGraph estrapolando l'intercetta con l'asse delle ascisse della curva data dalla radice quadrata della corrente di Drain rispetto alla tensione Gate-Source in zona di saturazione (le curve risultanti sono delle rette). I valori estratti della tensione di soglia sono presentati nella tabella 2.3.

Per le misure degli NMOS la tensione di Gate-Source viene fatta variare tra -300mV ed 1.2V con uno step di 5mV, il terminale di Source viene posto a 0V e la tensione di Drain viene fatta variare tra 0V ed 1.2V con uno step di 200mV.

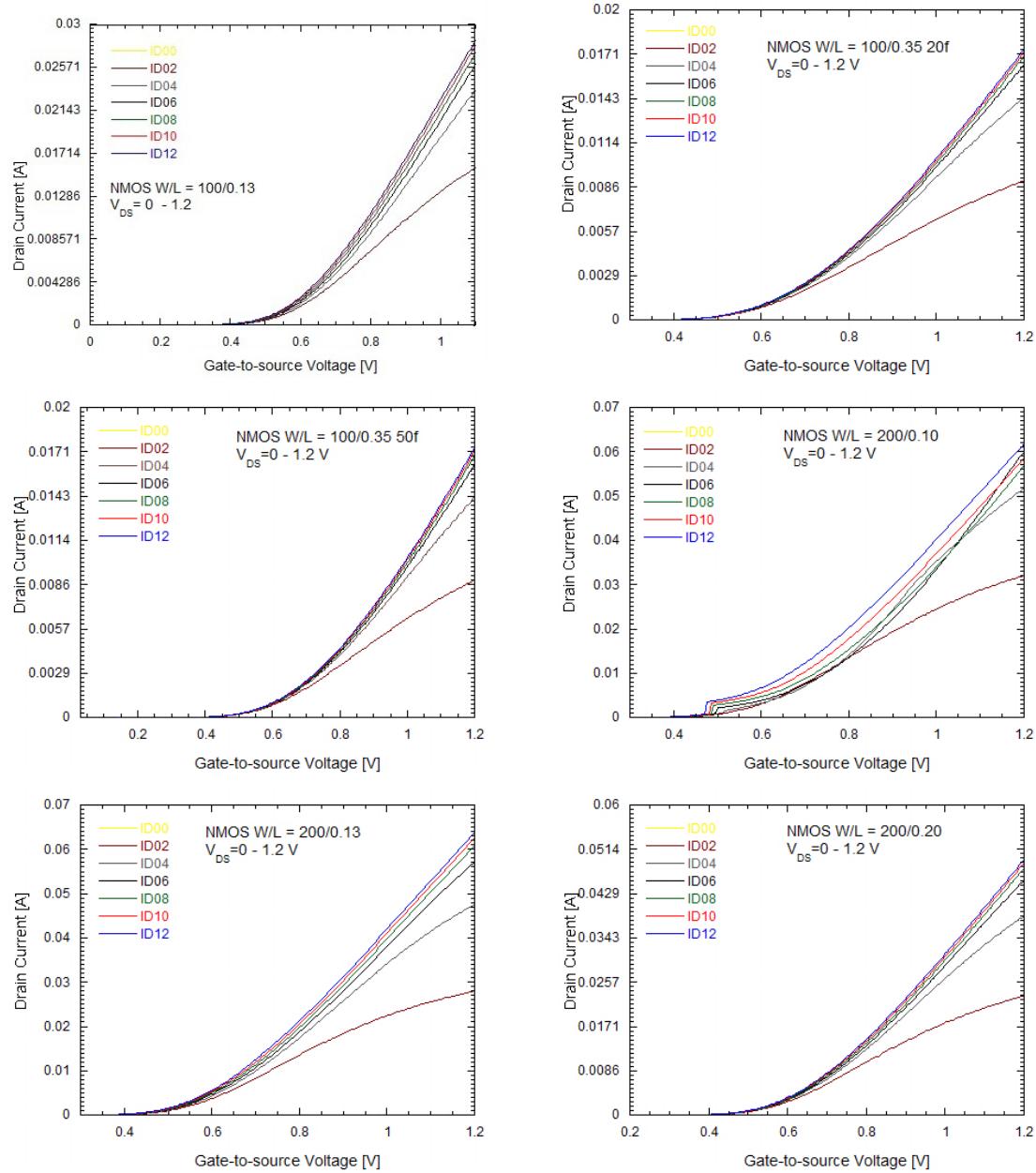
Per i PMOS la tensione di Gate-Source viene fatta variare tra 1.5V ed 0V con uno step di -5mV, il terminale di Source viene posto a 0V e la tensione di Drain viene fatta variare tra 1.2V e 0V con uno step di -200mV.

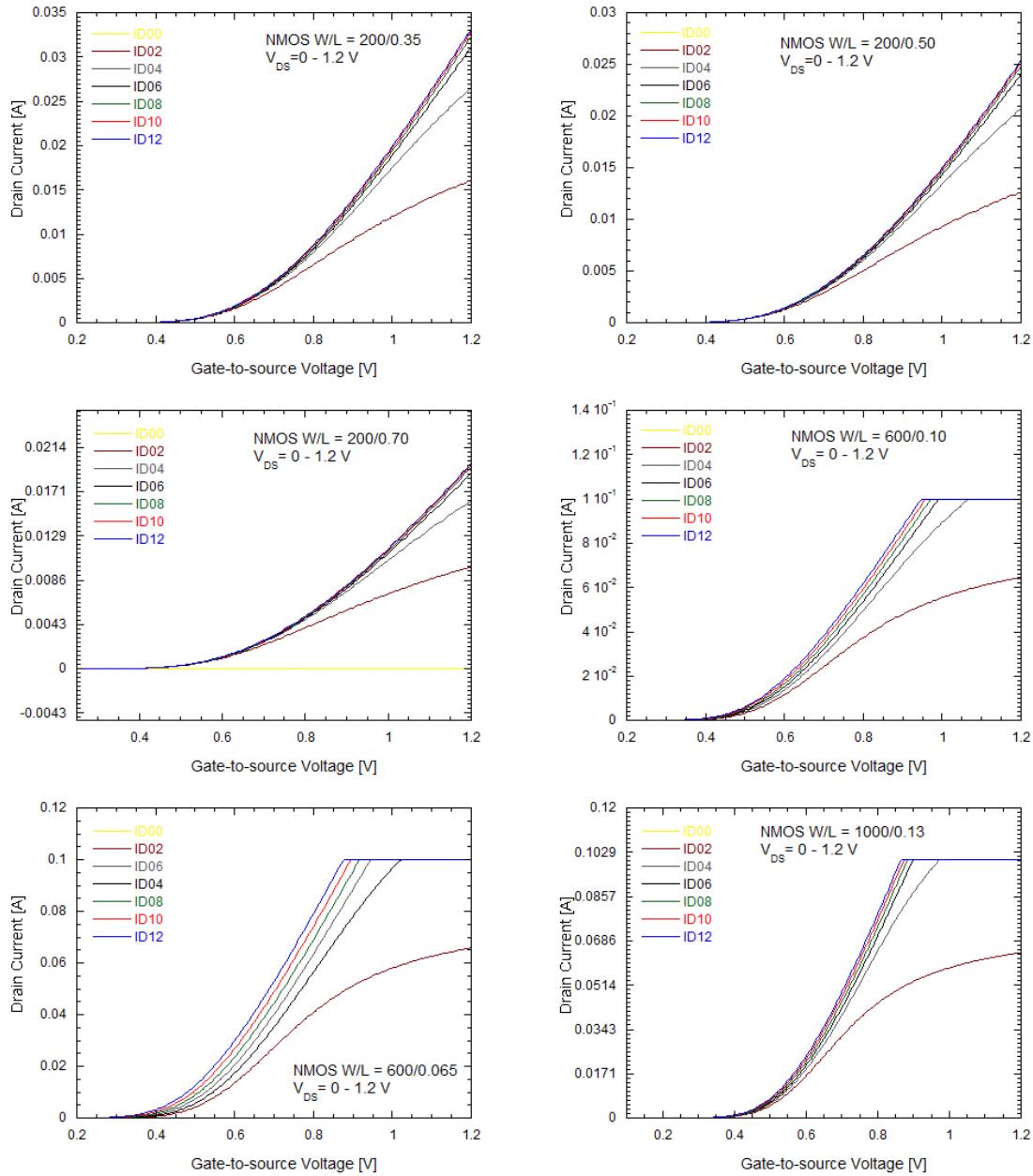
- La seconda tipologia di grafici presentata viene fatta in scala semilogaritmica che permette di vedere in modo chiaro le tre zone di inversione: la zona di debole inversione, che è valida fino a quando la curva è lineare, la successiva zona di moderata inversione, che ha un andamento quadratico, ed infine quella di forte inversione che ha un andamento pressoché costante. Per quanto riguarda le misure, il campo di variazione della tensione Gate-Source è quello menzionato precedentemente mentre per la tensione di Drain è stata fissata a 0.6V.

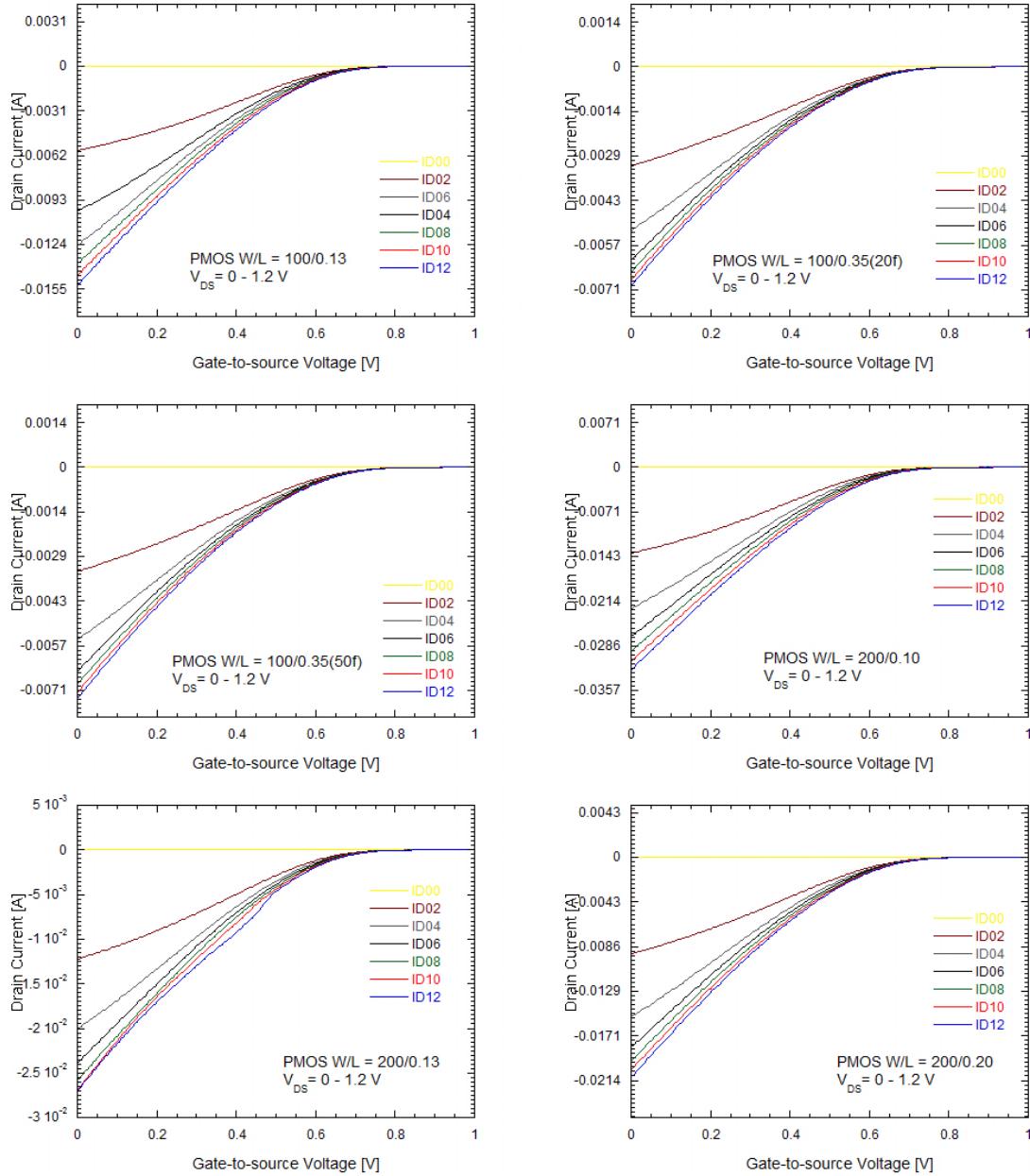
NMOS			PMOS		
W [ $\mu m$ ]	L [ $\mu m$ ]	$V_{th}$ [V]	W [ $\mu m$ ]	L [ $\mu m$ ]	$V_{th}$ [V]
100	0.13	0.408	100	0.13	0.420
100	0.35 (20f)	0.437	100	0.35 (20f)	0.392
100	0.35 (50f)	0.428	100	0.35 (50f)	0.402
200	0.10	0.346	200	0.10	0.421
200	0.13	0.396	200	0.13	0.419
200	0.20	0.420	200	0.20	0.421
200	0.35	0.431	200	0.35	0.398
200	0.50	0.427	200	0.50	0.396
200	0.70	0.426	200	0.70	0.391
600	0.065	0.311	600	0.065	0.368
600	0.10	0.365	600	0.10	0.412
1000	0.13	0.376	1000	0.35	0.391

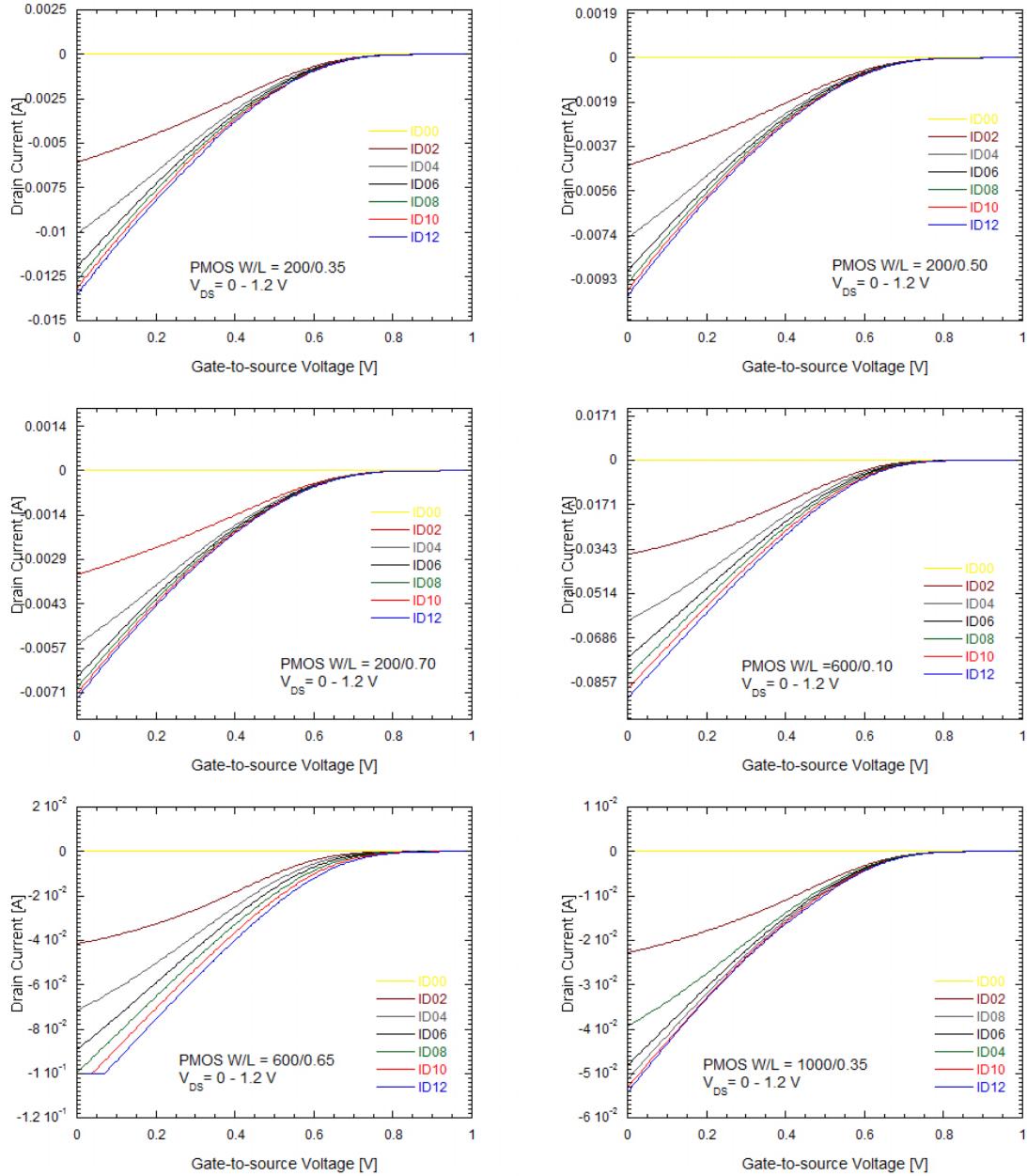
Tabella 2.3: Tabella delle tensioni di soglia ricavate dalle misure  $I_D - V_{GS}$ 

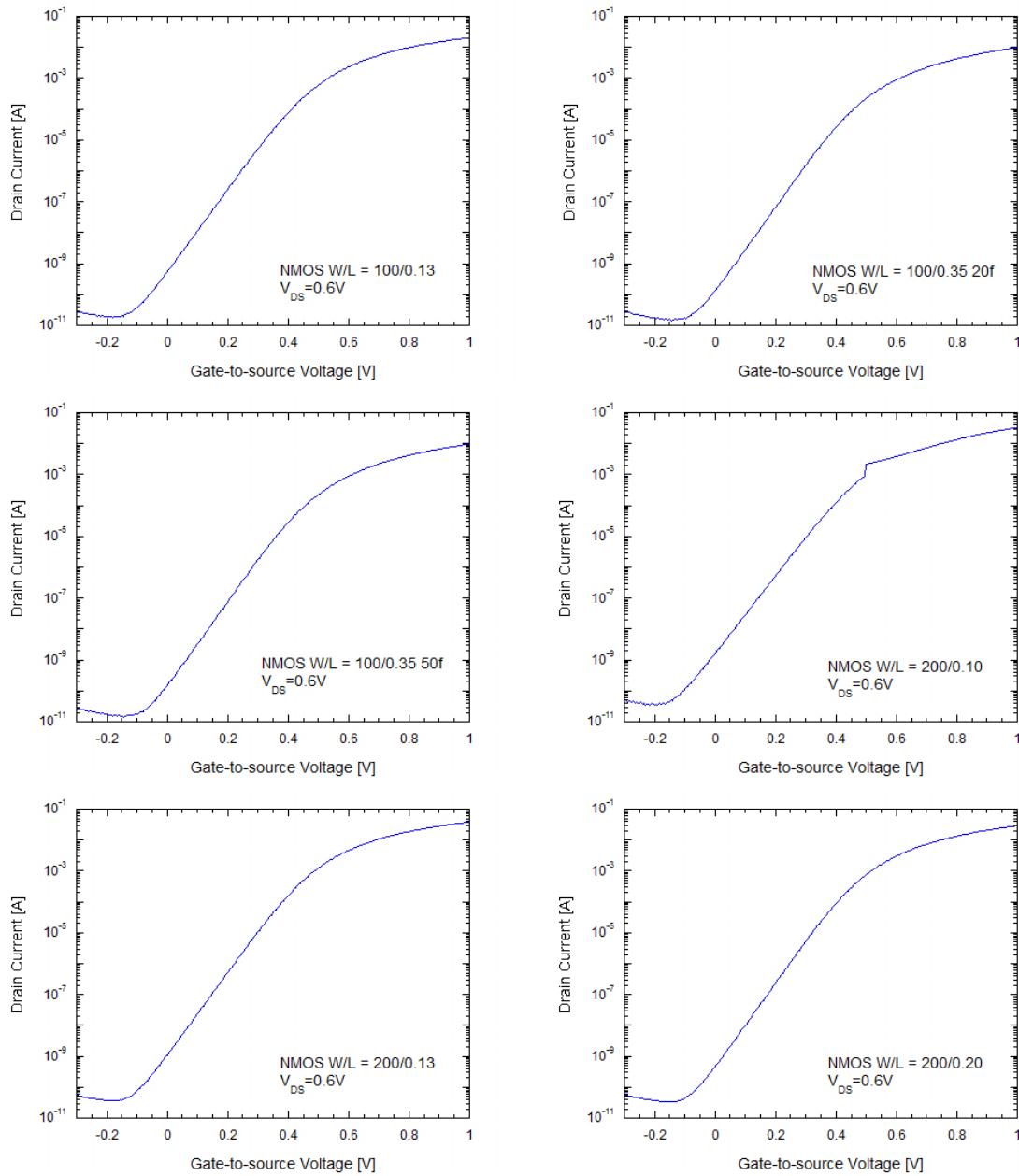
I grafici in scala semilogaritmica sono presentati nelle figure 2.17 e 2.18 per gli NMOS, mentre si ottengono i grafici nelle figure 2.19 e 2.20 per i PMOS.

Figura 2.13: Grafici  $I_D$ - $V_{GS}$  NMOS mapA

Figura 2.14: Grafici  $I_D$ - $V_{GS}$  NMOS mapA

Figura 2.15: Grafici  $I_D$ - $V_{GS}$  PMOS mapB

Figura 2.16: Grafici  $I_D$ - $V_{GS}$  PMOS mapB

Figura 2.17: Grafici  $I_D$ - $V_{GS}$  NMOS mapA in scala semilogaritmica

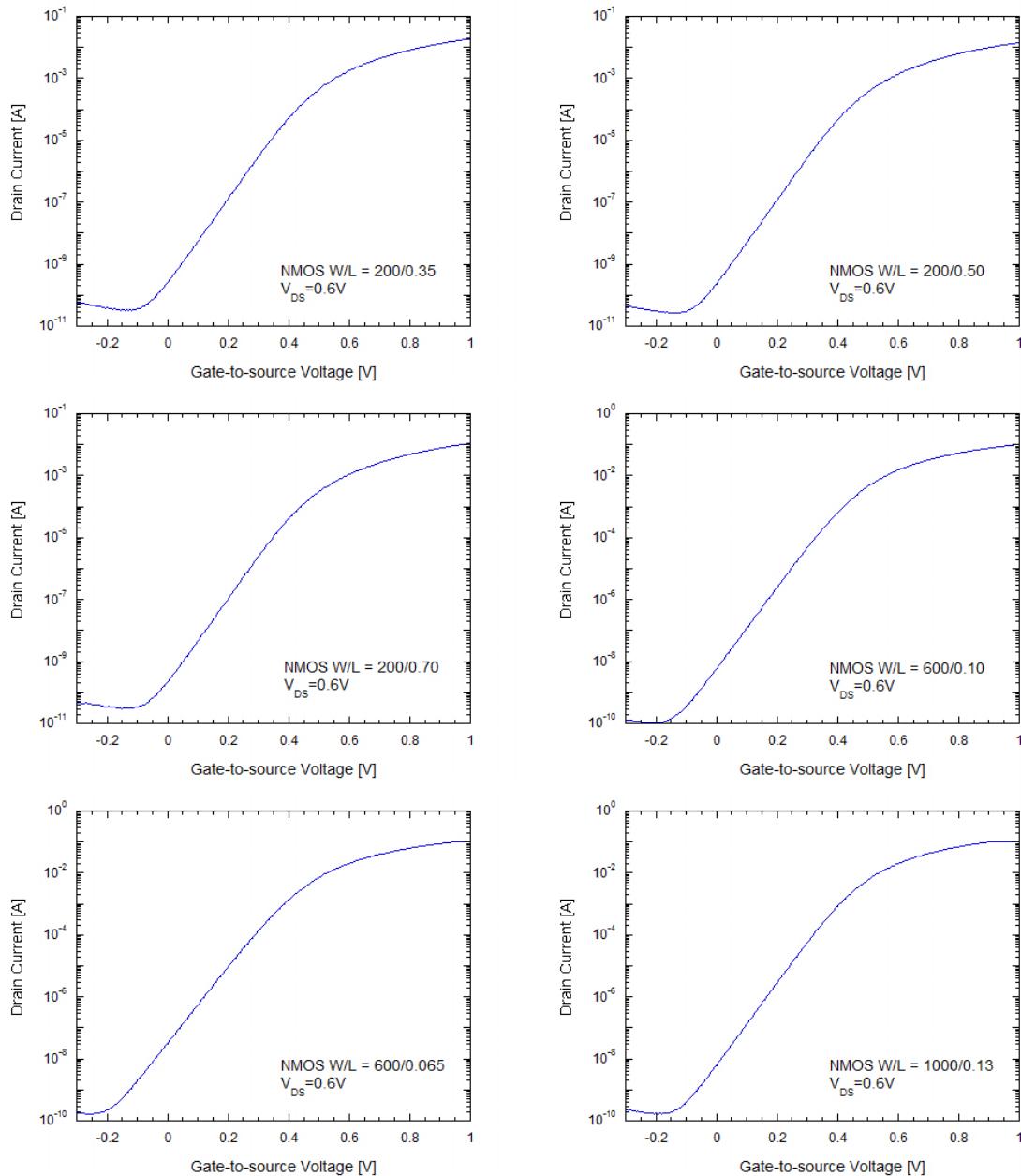
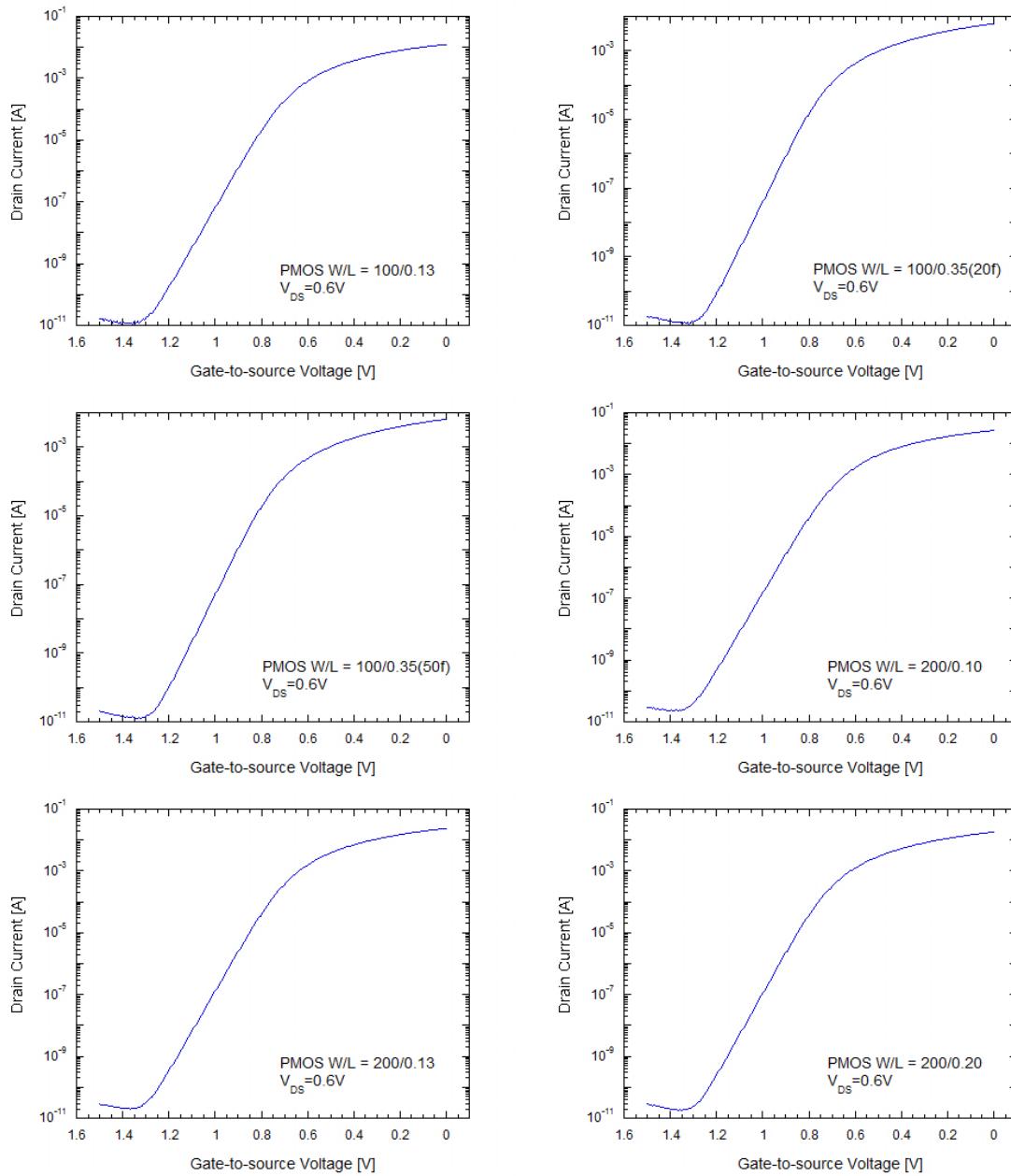


Figura 2.18: Grafici  $I_D$ - $V_{GS}$  NMOS mapA in scala semilogaritmica

Figura 2.19: Grafici  $I_D$ - $V_{GS}$  PMOS mapB in scala semilogaritmica

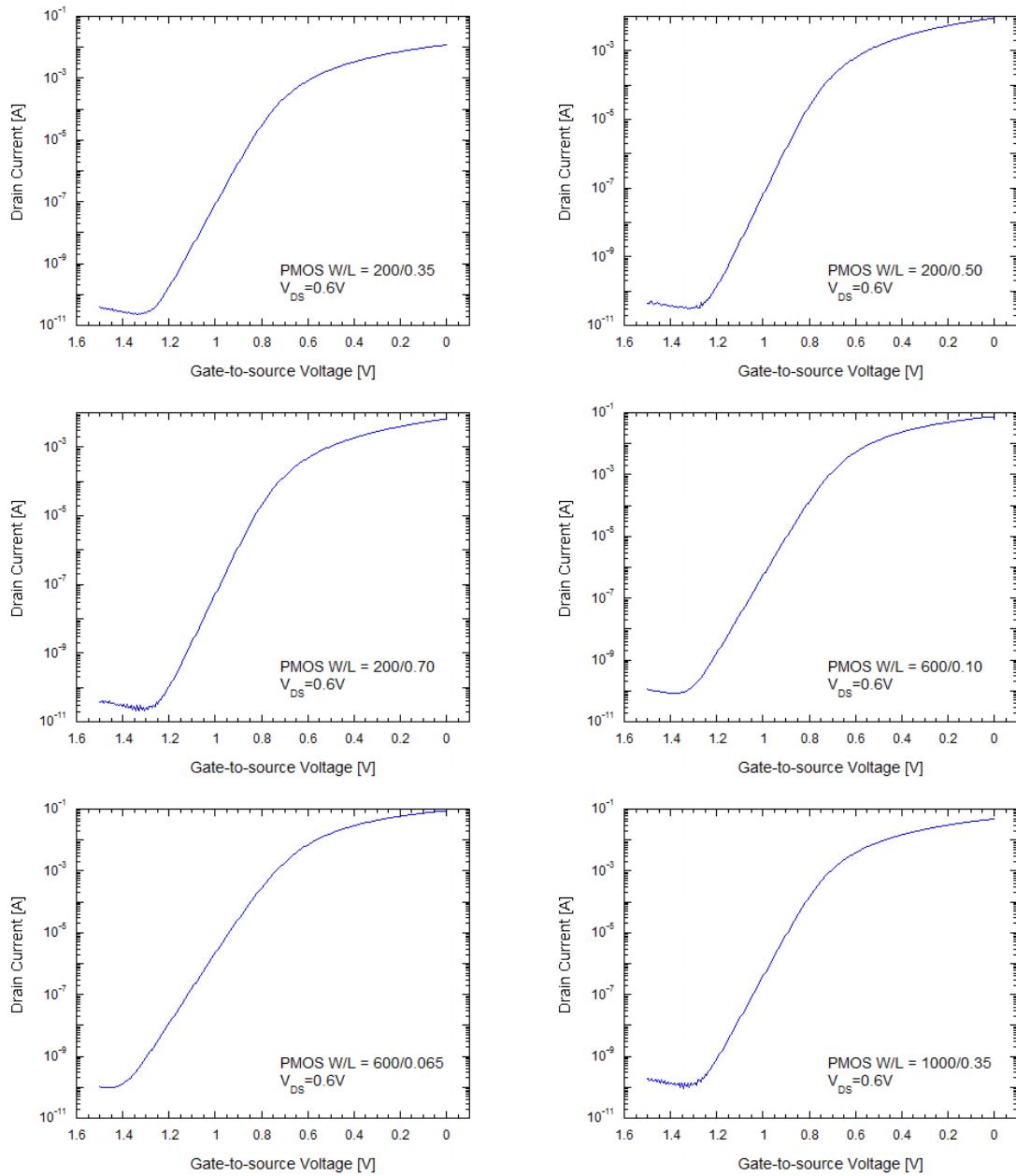


Figura 2.20: Grafici  $I_D$ - $V_{GS}$  PMOS mapB in scala semilogaritmica

### 2.2.4 Grafici transconduttanza di canale

I grafici relativi alla misura della transconduttanza sono presentati nelle figure 2.21 e 2.22 per gli NMOS e nelle figure 2.23 e 2.24 per i PMOS.

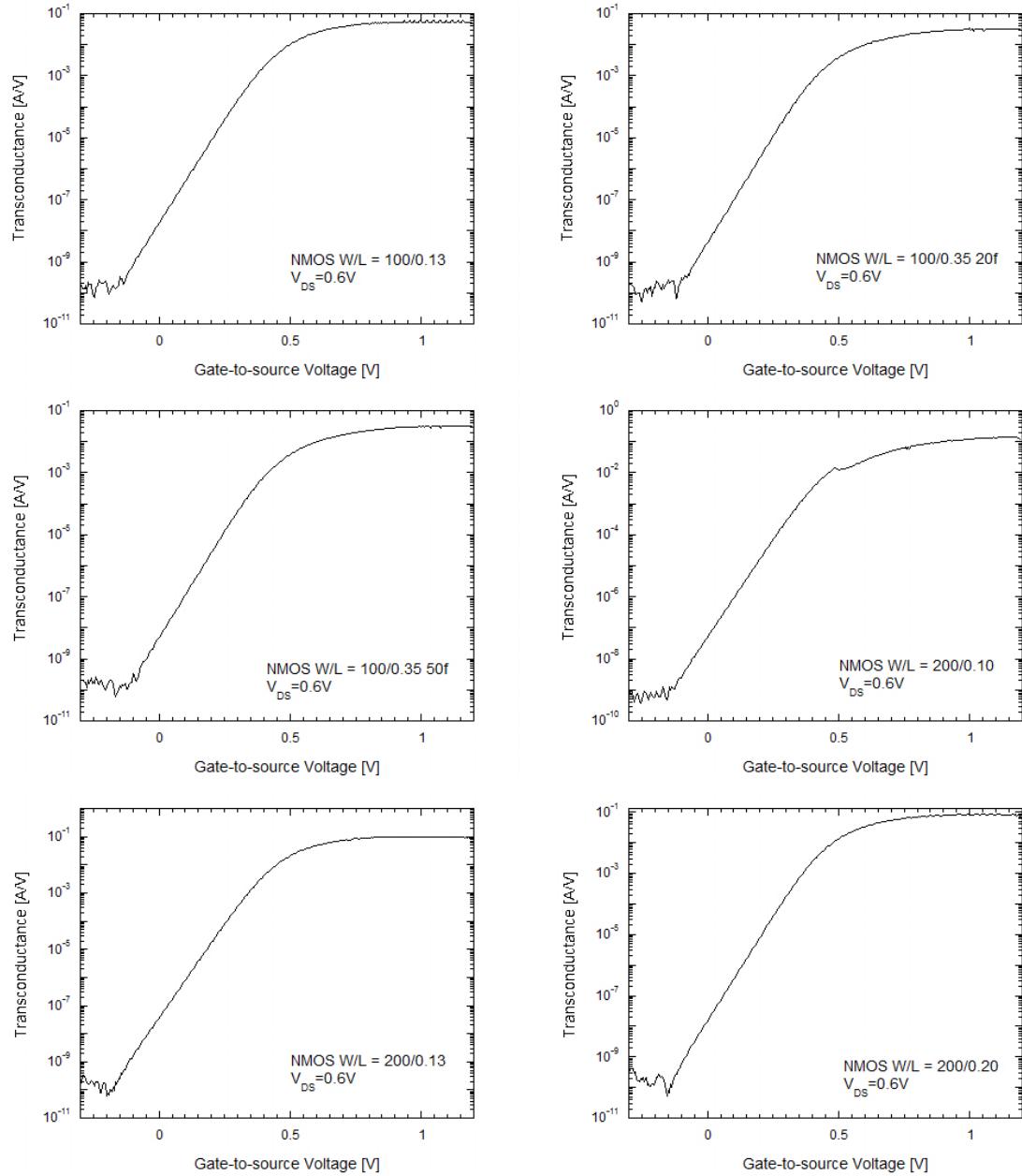
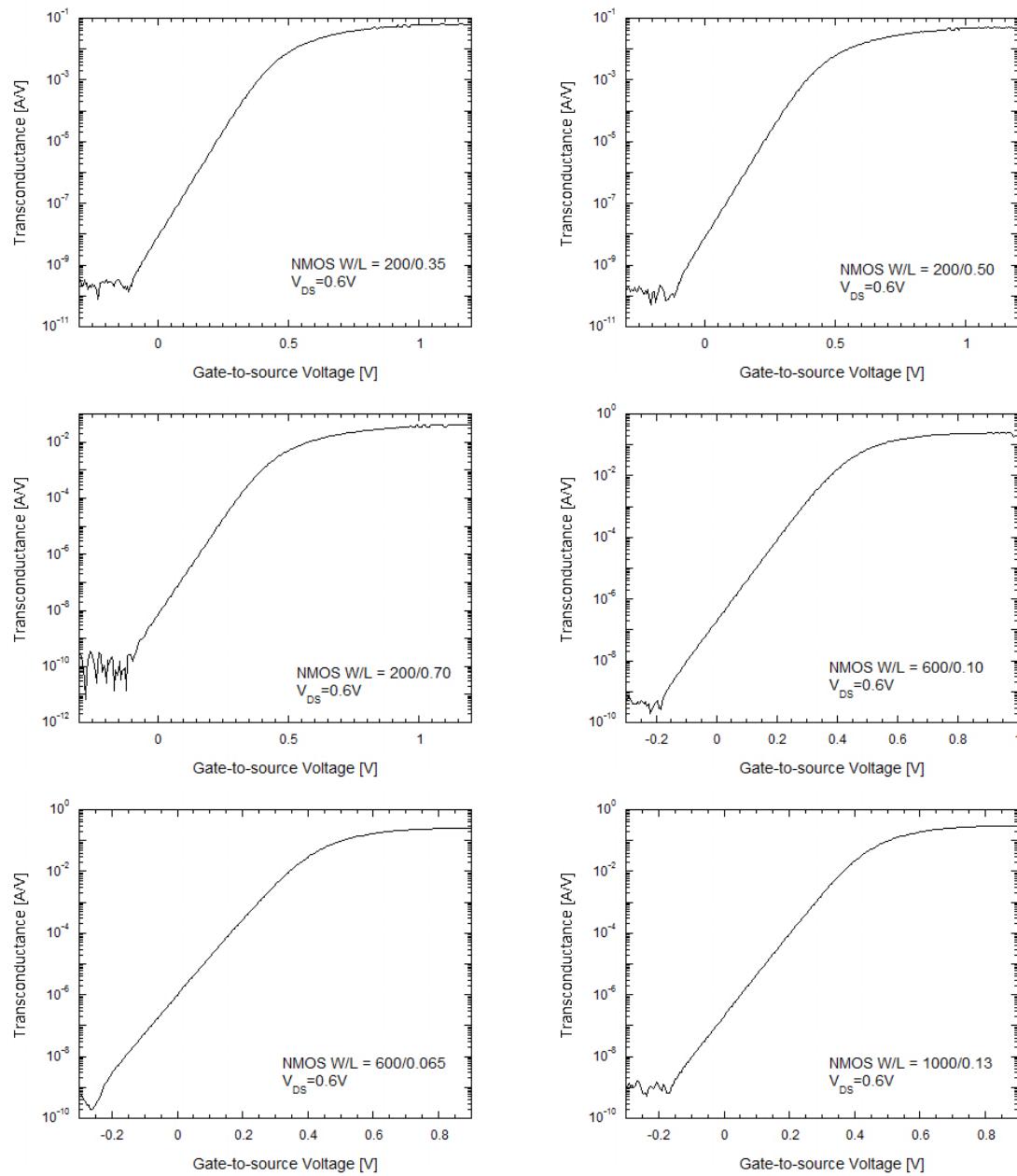
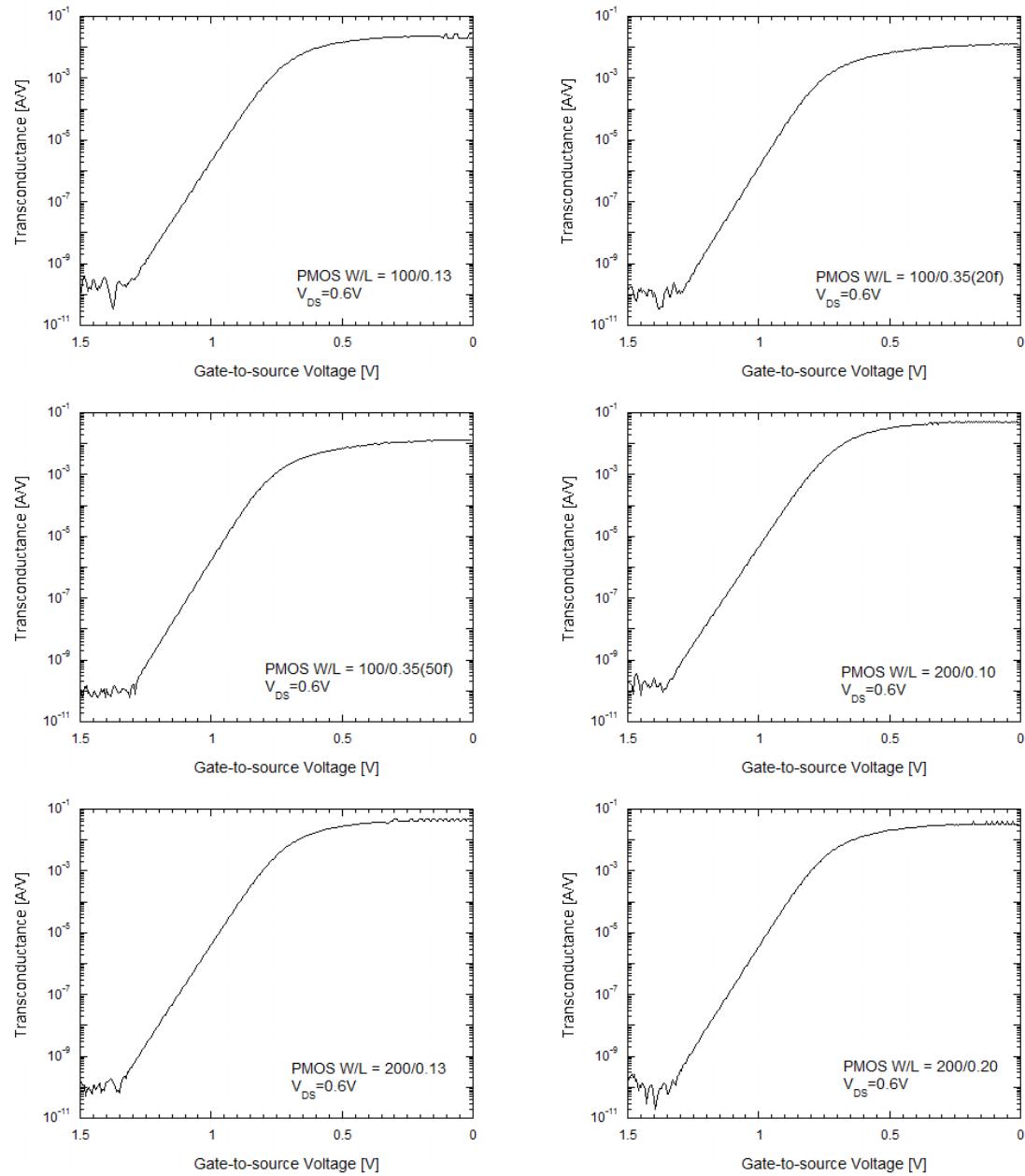
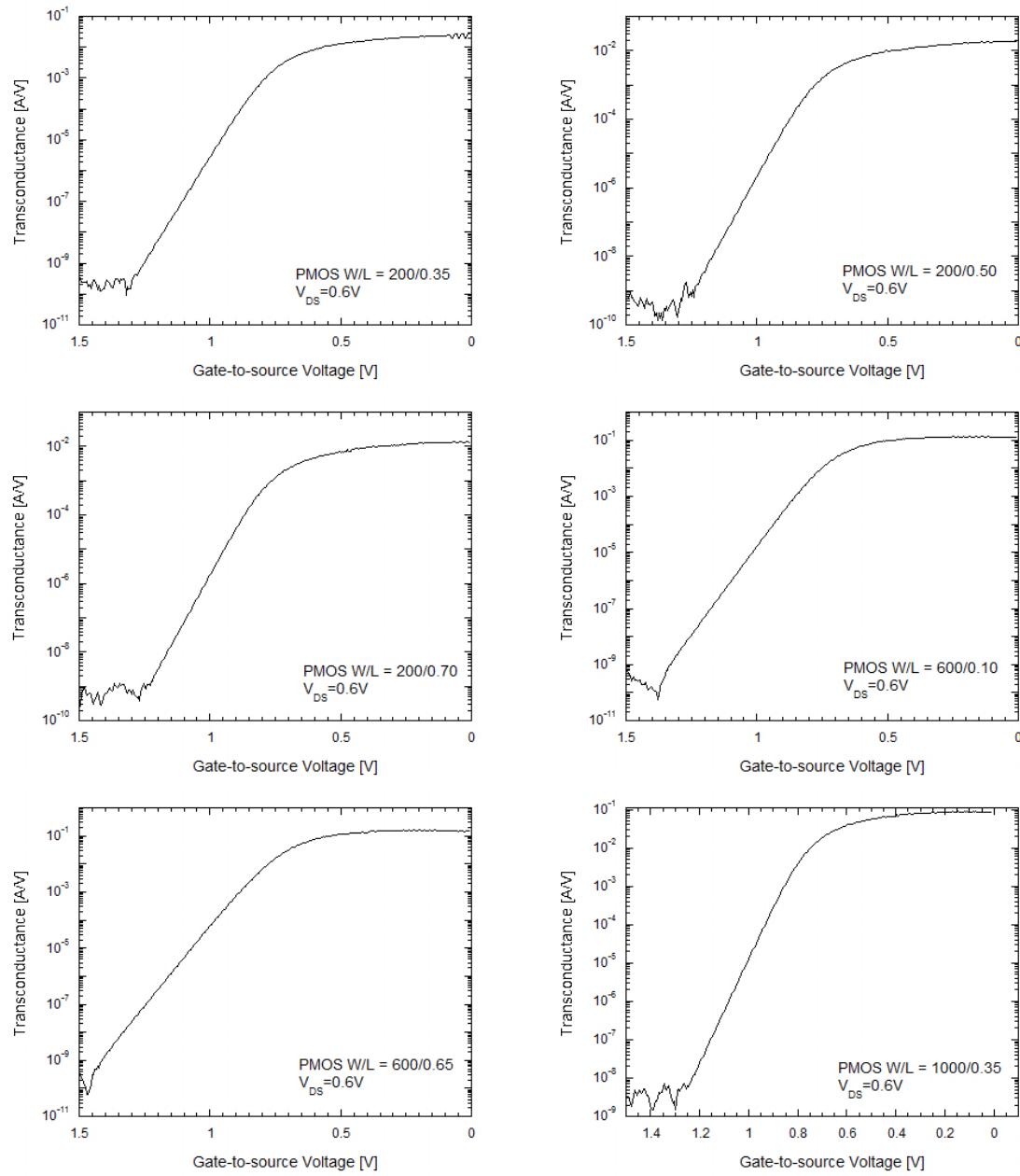


Figura 2.21: Grafici  $g_m$ - $V_{GS}$  NMOS mapA

Figura 2.22: Grafici  $g_m$ - $V_{GS}$  NMOS mapA

Figura 2.23: Grafici  $g_m$ - $V_{GS}$  PMOS mapB

Figura 2.24: Grafici  $g_m$ - $V_{GS}$  PMOS mapB

## 2.3 Misure di rumore

Nella tabella 2.4 sono riportati i dispositivi sui quali sono state effettuate le misure di rumore.

NMOS		
W [ $\mu m$ ]	L [ $\mu m$ ]	Annotazioni
100	0.13	
100	0.35 (20f)	
100	0.35 (50f)	
200	0.10	Gate danneggiato dall'irraggiamento
200	0.13	Gate danneggiato
200	0.35	
200	0.70	
1000	0.13	
PMOS		
W [ $\mu m$ ]	L [ $\mu m$ ]	
100	0.13	
100	0.35 (20f)	
100	0.35 (50f)	
200	0.10	
200	0.13	
200	0.35	
200	0.70	
1000	0.35	

Tabella 2.4: Dispositivi impiegati nelle misure di rumore

### 2.3.1 Strumentazione per misure di rumore

La strumentazione di misura della densità spettrale di rumore di un MOS deve provvedere alla polarizzazione del dispositivo che amplifica il rumore in modo tale da renderlo misurabile da un analizzatore di spettro. Il contributo al rumore complessivo in uscita dato dalla strumentazione di misura è trascurabile rispetto al rumore del D.U.T. In figura 2.25 viene riportato lo schema a blocchi del circuito di misura [10].

Il rumore associato alla corrente di drain del D.U.T. viene amplificato e convertito in una tensione da un amplificatore a transimpedenza a basso rumore; tale tensione viene poi amplificata da un eventuale stadio di guadagno successivo ed

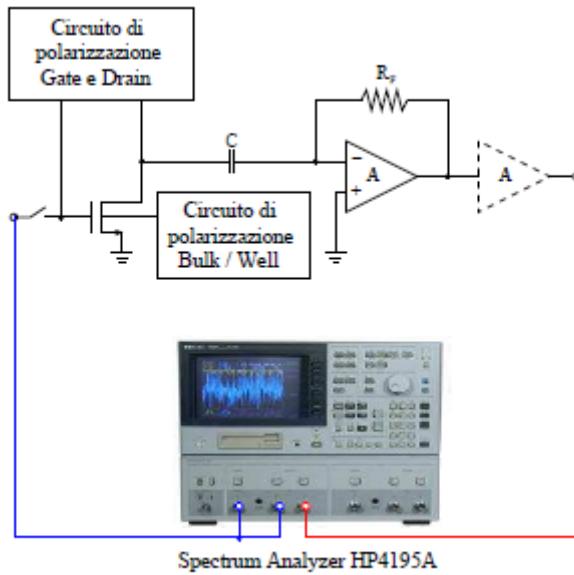


Figura 2.25: Schema a blocchi del sistema per le misure di rumore

infine misurata da un analizzatore di spettro. Poichè si è interessati a ricavare il rumore equivalente riferito al gate del D.U.T., oltre a misurare il rumore in uscita al sistema, è necessario misurare anche la funzione di trasferimento ingresso-uscita della catena di misura. Una volta ottenuta la funzione di trasferimento  $G(f)$ , è possibile ricavare la densità spettrale di rumore del D.U.T. riferita all'ingresso; tutto ciò attraverso i seguenti passi [11]:

1. Misura della funzione di trasferimento  $G(j\omega)$
2. Misura della densità spettrale di rumore in uscita al circuito di misura  $\frac{dV_{OUT}^2}{df}$
3. Misura della densità spettrale di rumore della strumentazione (rumore di fondo), ricavata in assenza di D.U.T.  $\frac{dV_{STR}^2}{df}$

Dopo aver effettuato i passi qui descritti possiamo applicare la seguente equazione per trovare la densità spettrale di rumore del D.U.T.:

$$\frac{d\overline{e_{in,DUT}^2}}{df} = \frac{1}{|G_{j\omega}|} \left( \frac{d\overline{V_{OUT}^2}}{df} - \frac{d\overline{V_{STR}^2}}{df} \right) \quad (2.1)$$

### 2.3.2 Modello e coefficienti di rumore

La densità spettrale di rumore riferita al Gate di un dispositivo CMOS, indicata come  $S_e^2(f)$ , può essere modellizzata per mezzo della seguente equazione:

$$S_e^2(f) = S_W^2 + S_{1/f}^2(f) \quad (2.2)$$

Il primo termine dell'equazione 2.2 è determinato dal rumore termico di canale e dai diversi contributi di rumore dovuti a resistenze parassite (Gate, Body e resistenza tra Source e Drain), che generano a loro volta rumore termico. Quando si opera in una regione di bassa corrente, la densità spettrale di rumore bianco è dominata dal rumore termico di canale  $S_W^2 = 4kT \frac{\Gamma}{g_m}$ , che può essere anche espressa attraverso la seguente resistenza equivalente di rumore:

$$R_{eq} = \frac{S_W^2}{4kT} = \frac{\Gamma}{g_m} = \frac{\alpha_W n \gamma}{g_m} \quad (2.3)$$

dove tutti i vari termini sono già stati spiegati nel capitolo 1.4.1 riguardante il rumore bianco.

Il secondo termine dell'equazione 2.2 modellizza il rumore di tipo flicker nella corrente di canale, ed è caratterizzato da una densità spettrale di potenza che risulta essere inversamente proporzionale alla frequenza, ed è descritta dalla seguente relazione:

$$S_{1/f}^2(f) = \frac{K_f}{C_{OX}WL} \frac{1}{f^{\alpha_f}} \quad (2.4)$$

dove  $K_f$  è un parametro intrinseco del processo e l'esponente  $\alpha_f$  determina la pendenza di questo termine di rumore dominante in bassa frequenza [3].

### 2.3.3 Risultati delle misure di rumore

In queste misure di rumore, la densità spettrale del rumore presente nella corrente di canale dei dispositivi standard è stata studiata per mezzo delle misure della densità spettrale di rumore equivalente riferita al Gate del dispositivo. Queste misure sono state eseguite per mezzo di un Network/Spectrum Analyzer HP4195A e del circuito di interfaccia illustrato nella sezione 2.3.1, il quale ha permesso di effettuare misure di rumore in un range di frequenze da 1 kHz fino a 100 MHz. Tutti i dispositivi sono stati caratterizzati con tensione  $|V_{DS}| = 0.6\text{V}$  e  $V_{BS} = 0\text{V}$ . Inoltre, per valutare l'impatto della corrente di drain  $I_D$  sul rumore generato, quest'ultima viene fatta variare in un range che va dai  $20\mu\text{A}$  fino a  $1\text{mA}$ . Questa regione di bassa densità di corrente è idonea a coprire la casistica di utilizzo in applicazioni a bassa potenza.

I grafici di figura 2.26 e figura 2.27 mostrano le densità spettrali di rumore rilevate per dispositivi NMOS e PMOS polarizzati alla stessa corrente di Drain  $I_D$ , con larghezza di Gate W costante e variando la lunghezza di Gate L e sono un tipico set di risultati sperimentali riguardo sia a dispositivi a canale N che a canale P. Fino a che il dispositivo lavora in zona di debole inversione, il rumore bianco non è influenzato dalle variazioni sulla lunghezza di canale L, mentre, a basse frequenze, il rumore  $1/f$  aumenta con il decrescere di L, a parità di W, in accordo con l'equazione 2.4.

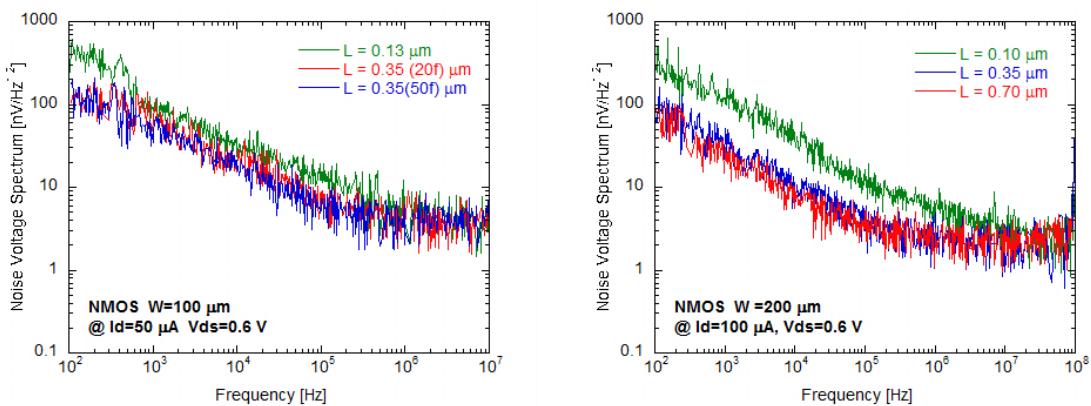


Figura 2.26: Densità spettrale di rumore per NMOS con differenti lunghezze di canale L

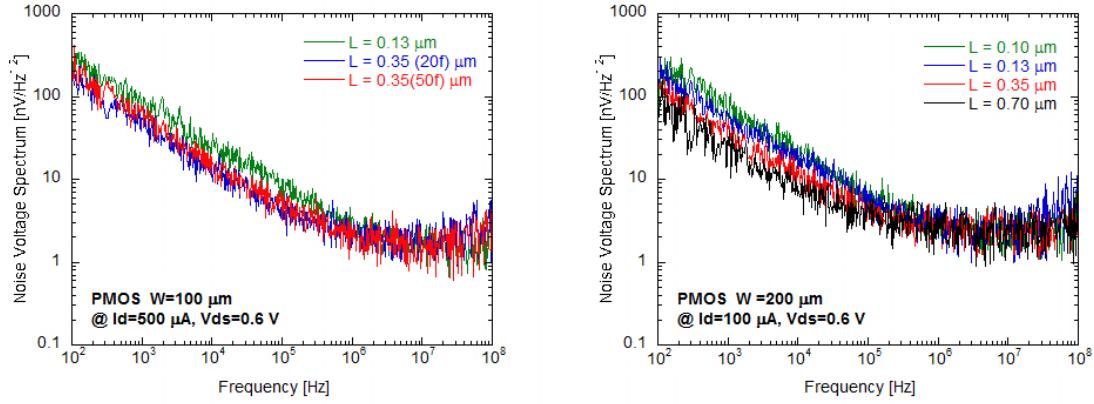


Figura 2.27: Densità spettrale di rumore per PMOS con differenti lunghezze di canale L

Gli spettri di figura 2.28 e figura 2.29 mostrano la dipendenza della densità spettrale di rumore dalla larghezza di Gate W per dispositivi NMOS e PMOS. In accordo con l'equazione 2.4, il rumore 1/f aumenta, a parità di L, al decrescere di W; per quanto riguarda invece il rumore termico di canale non ci sono particolari variazioni della densità spettrale.

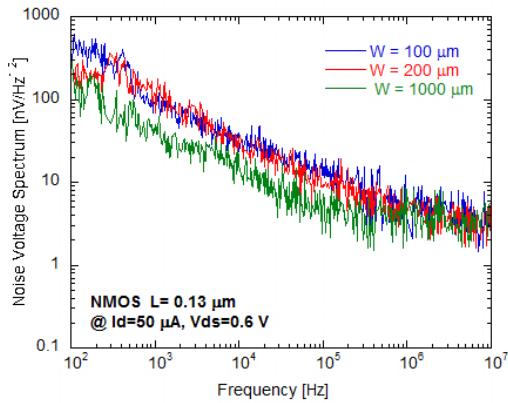


Figura 2.28: Densità spettrale di rumore per NMOS con differenti larghezze di canale W

I grafici di figura 2.30 e figura 2.31 mostrano gli effetti della variazione della corrente di Drain  $I_D$  sulle densità spetrali di rumore nei dispositivi NMOS e PMOS. Il rumore termico di canale si riduce al crescere di  $I_D$  in accordo con l'equazione 2.3 e a causa di un incremento della transconduttanza di canale. Per quanto riguarda la componente di rumore 1/f non risulta influenzata in modo sensibile dalle variazioni di corrente  $I_D$ .

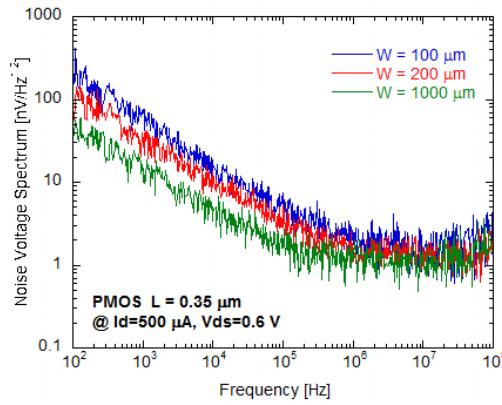


Figura 2.29: Densità spettrale di rumore per PMOS con differenti larghezze di canale  $W$

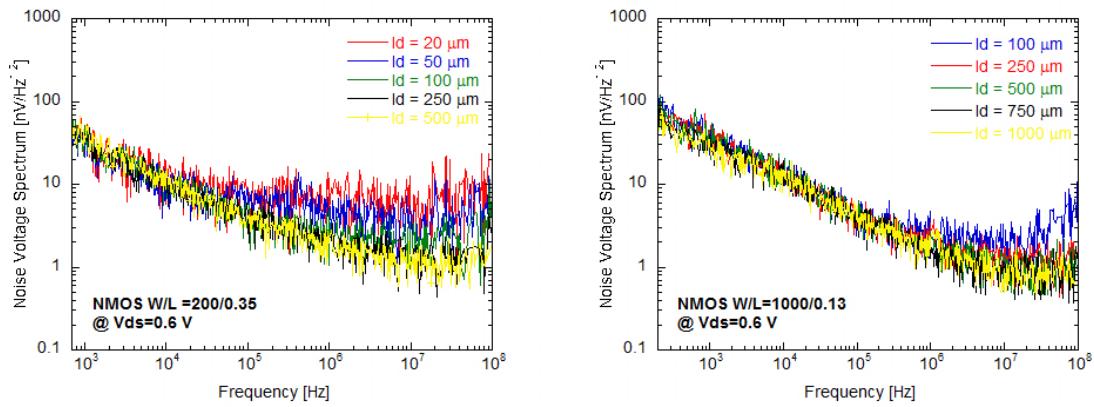


Figura 2.30: Densità spettrale di rumore per NMOS con variazione della corrente di drain

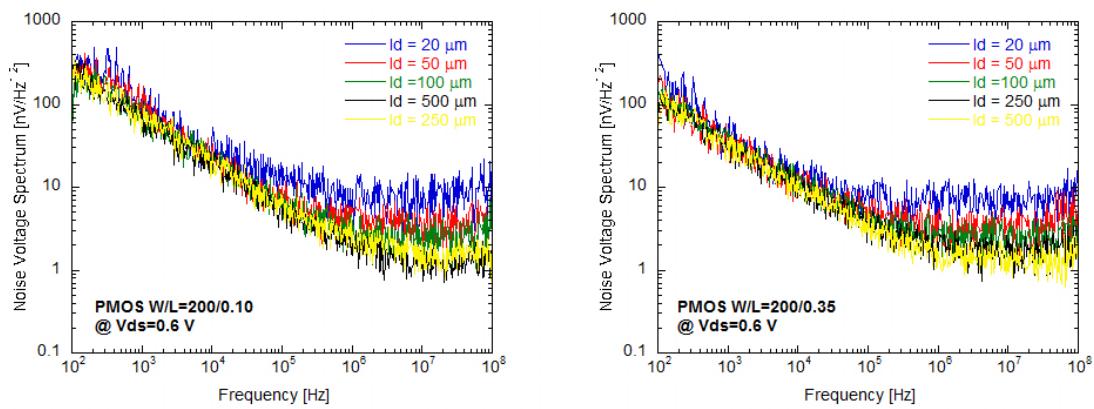


Figura 2.31: Densità spettrale di rumore per PMOS con variazione della corrente di drain

Una caratteristica particolare per i dispositivi a 65 nm è il fatto che i PMOS e gli NMOS hanno un rumore 1/f molto simile, come visibile in figura 2.32. Storicamente, i transistor a canale P erano considerati dei dispositivi a basso rumore perché la loro tensione di rumore 1/f era minore rispetto a quella dei transistor a canale N. In effetti, il rumore 1/f è generalmente attribuito agli effetti delle trappole nei pressi della regione di interfaccia tra canale e ossido di gate. Nella moderna tecnologia submicron, i PMOSFET sono stati attesi a comportarsi come NMOSFET, dal momento che per entrambi i tipi di dispositivo il canale è vicino all'interfaccia e alle trappole nell'ossido. Tuttavia, fino alla precedente tecnologia a 90nm, il PMOS ha mantenuto un rumore 1/f inferiore rispetto all'NMOS; ciò potrebbe essere correlato alle diverse energie di barriera viste dagli elettroni (NMOS) e dalle lacune (PMOS) attraverso l'interfaccia  $Si/SiO_2$  nella loro interazione con le trappole nel dielettrico di gate.

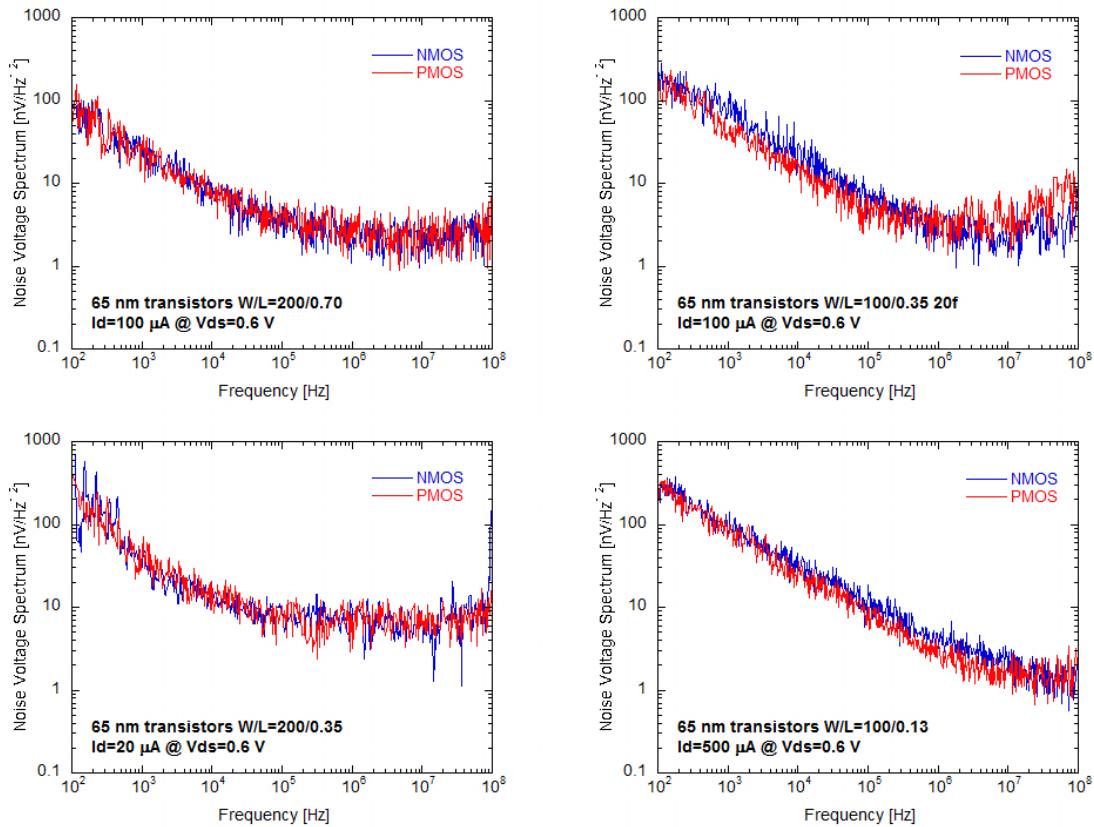


Figura 2.32: Confronto spettro di rumore tra NMOS e PMOS



# Capitolo 3

## Misure POST Irraggiamento

In questo capitolo vengono riportati i risultati delle misure statiche e di rumore effettuate dopo l'irraggiamento con radiazioni ionizzanti. In particolare si discuteranno i confronti tra le misure pre e post irraggiamento.

### 3.1 Misure Statiche

Nelle figure 3.1 3.2 e 3.3 è presentata la caratteristica  $I_D-V_{GS}$  in scala semilogaritmica con tensione  $V_{DS} = 0.6V$  per dispositivi NMOS e dispositivi PMOS. Si osserva una marcata variazione della caratteristica in sottosoglia nel caso del dispositivo a canale N dovuto ai cammini laterali parassiti ed una caratteristica pressoché invariata nel caso del dispositivo a canale P.

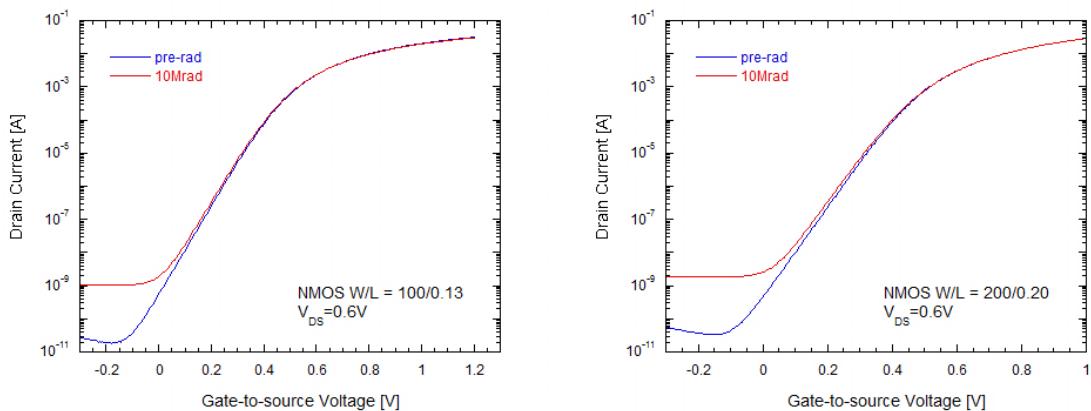


Figura 3.1: Confronto pre e post irraggiamento della caratteristica  $I_D-V_{GS}$  in scala semilogaritmica per 2 NMOS

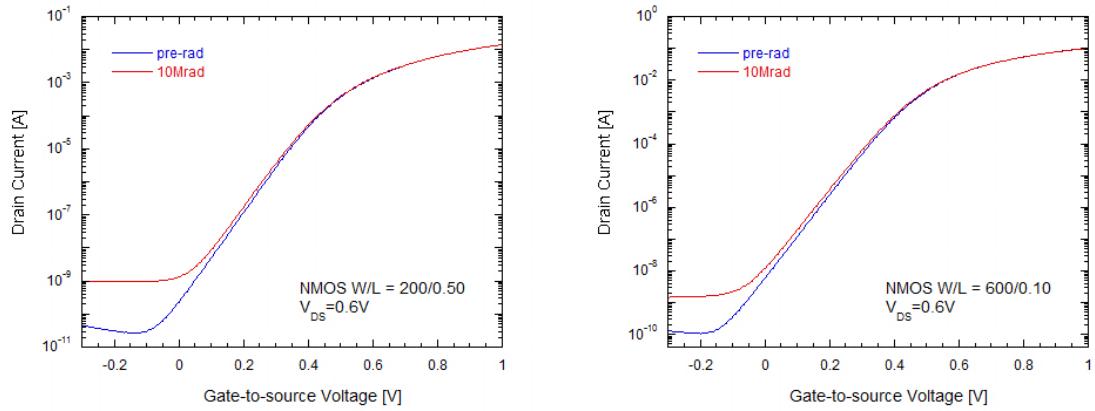


Figura 3.2: Confronto pre e post irraggiamento della caratteristica  $I_D-V_{GS}$  in scala semilogaritmica per 2 NMOS

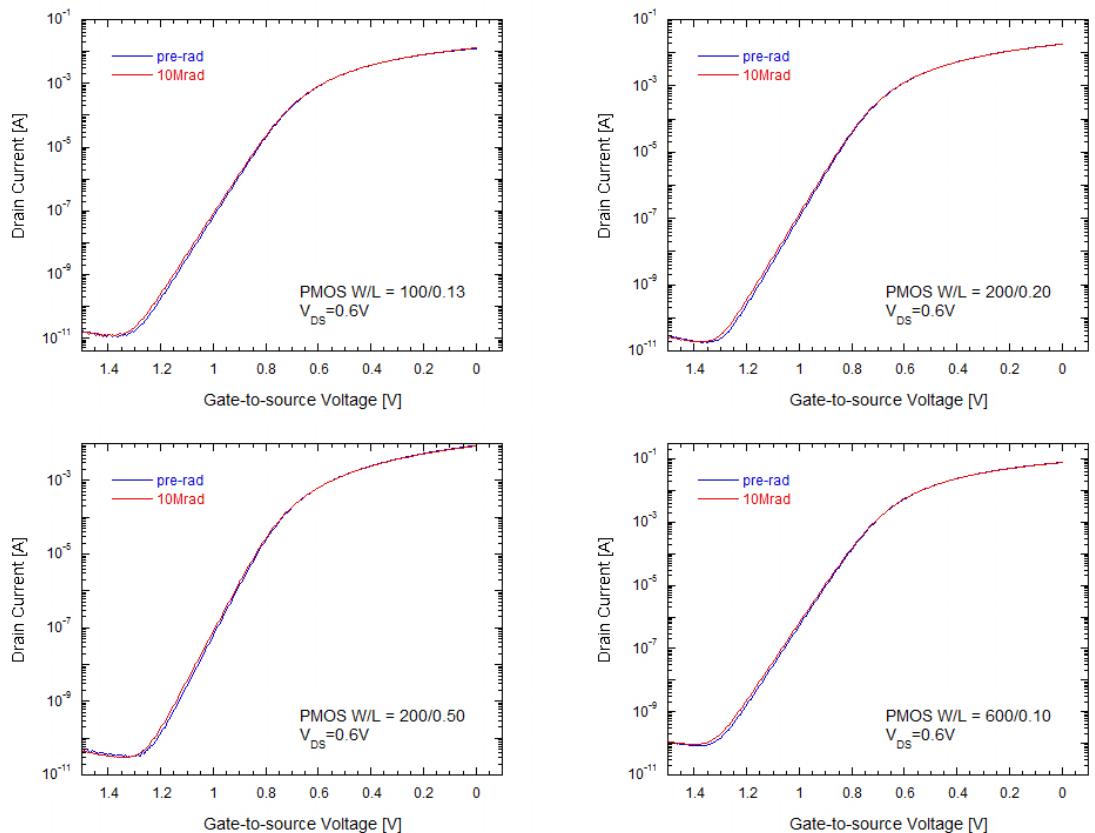


Figura 3.3: Confronto pre e post irraggiamento della caratteristica  $I_D-V_{GS}$  in scala semilogaritmica per 4 PMOS

Le figure 3.4 e 3.5 mostrano invece le tracurabili variazioni della transconduttanza  $g_m$  sia per dispositivi NMOS che PMOS.

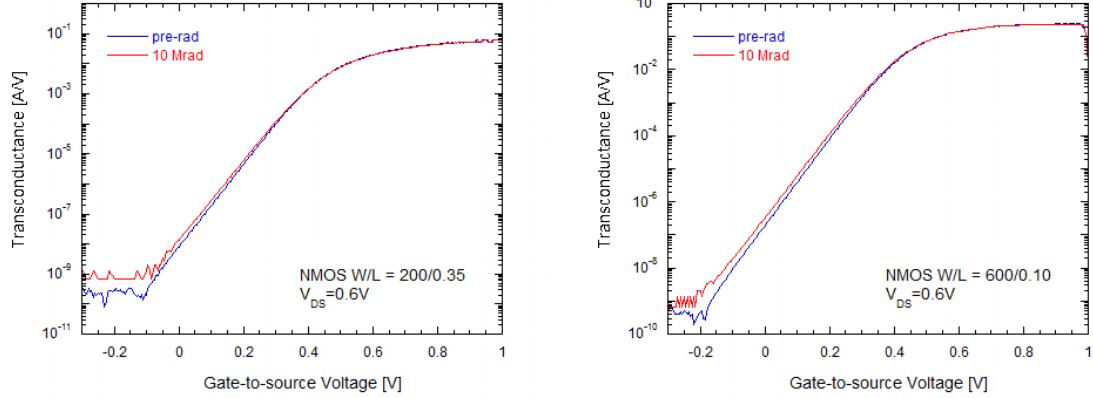


Figura 3.4: Confronto pre e post irraggiamento della transconduttanza  $g_m$  per 2 NMOS

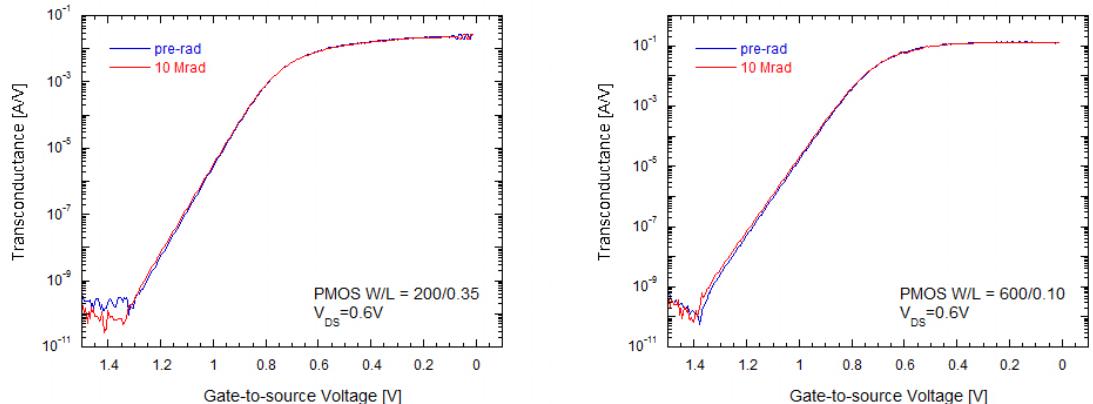


Figura 3.5: Confronto pre e post irraggiamento della transconduttanza  $g_m$  per 2 PMOS

Un'altra informazione estraibile dal confronto pre e post irraggiamento delle misure statiche riguarda la tensione di soglia  $V_{th}$ . Si può notare, dalla tabella 3.1 per gli NMOS e dalla tabella 3.2 per i PMOS, come la tensione di soglia non subisca grosse variazioni, in accordo con il fatto che al diminuire dello spessore dell'ossido di gate abbiamo un aumento della resistenza alle radiazioni da parte del dispositivo.

NMOS					
W [ $\mu m$ ]	L [ $\mu m$ ]	$V_{th}$ pre [V]	$V_{th}$ post [V]	Differenza [mV]	
100	0.13	0.408	0.402	-6	
100	0.35 (20f)	0.437	0.433	-4	
100	0.35 (50f)	0.428	0.424	-4	
200	0.10	0.346	/	/	
200	0.13	0.396	/	/	
200	0.20	0.420	0.417	-3	
200	0.35	0.431	0.430	-1	
200	0.50	0.427	0.424	-3	
200	0.70	0.426	0.421	-5	
600	0.065	0.311	0.309	-2	
600	0.10	0.365	0.359	-6	
1000	0.13	0.376	0.368	-8	

Tabella 3.1: Confronto tensioni di soglia pre e post irraggiamento per gli NMOS

PMOS					
W [ $\mu m$ ]	L [ $\mu m$ ]	$V_{th}$ pre [V]	$V_{th}$ post [V]	Differenza [mV]	
100	0.13	0.420	0.417	-3	
100	0.35 (20f)	0.392	0.390	-2	
100	0.35 (50f)	0.402	0.398	-4	
200	0.10	0.421	0.421	0	
200	0.13	0.419	0.419	0	
200	0.20	0.412	0.407	-5	
200	0.35	0.398	0.394	-4	
200	0.50	0.396	0.391	-5	
200	0.70	0.391	0.385	-6	
600	0.065	0.368	0.364	-4	
600	0.10	0.412	0.383	-29	
1000	0.35	0.391	0.387	-4	

Tabella 3.2: Confronto tensioni di soglia pre e post irraggiamento per i PMOS

## 3.2 Misure di rumore

In questa sezione si mostrano i confronti pre e post irraggiamento di transistor NMOS e PMOS al variare delle condizioni di lavoro.

### 3.2.1 Misure di rumore negli NMOS

Dopo l'irraggiamento si assiste ad un incremento del rumore  $1/f$  per bassi valori di corrente come si può osservare in figura 3.6, mentre per alti valori di corrente la degradazione è trascurabile come visibile in figura 3.7.

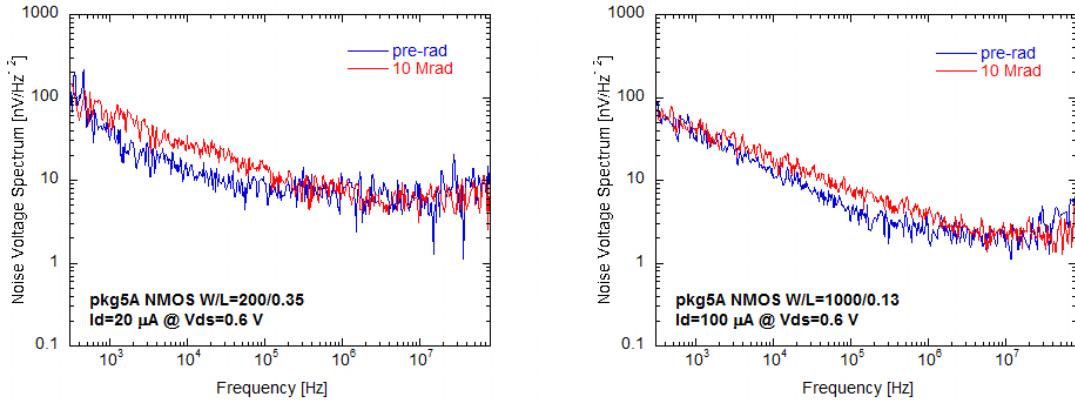


Figura 3.6: Spettro di rumore per due NMOS a bassi valori di corrente

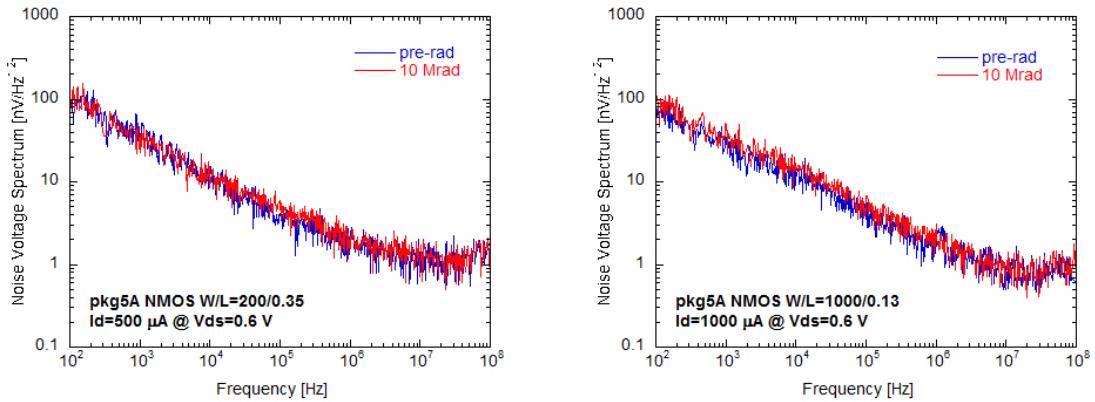


Figura 3.7: Spettro di rumore per due NMOS ad alti valori di corrente

Questo effetto è dovuto alla carica intrappolata nelle Shallow Trench Isolation che porta alla creazione di due canali parassiti in parallelo al canale principale del

MOS. L'aumento di rumore  $1/f$  è dovuto a questi canali: ve ne sono due per ogni finger del MOS. L'impatto di questi dispositivi parassiti sulla corrente totale del transistor principale è più grande a piccola densità di corrente  $I_D$  (figura 3.6). Infatti, a correnti di drain più grandi, gli effetti associati ai transistor laterali diventano trascurabili come mostrato in figura 3.7. Dalle figure possiamo anche notare che l'effetto delle radiazioni sul termine bianco della tensione di rumore è trascurabile [12].

### 3.2.2 Misure di rumore nei PMOS

Nei dispositivi PMOS il rumore  $1/f$  dopo l'irraggiamento è ancora interamente determinato dalle trappole nell'ossido di gate infatti la carica positiva viene accumulata negli STI senza creare canali parassiti in parallelo a quello principale. Come mostrato in figura 3.8, questo si traduce in una sostanziale invarianza nella parte a bassa frequenza dello spettro di rumore anche nel caso di bassi valori di corrente.

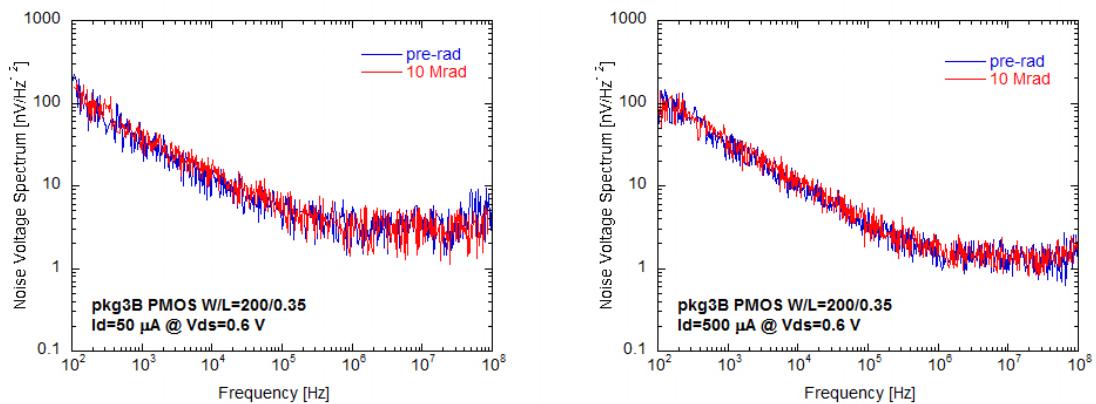


Figura 3.8: Spettro di rumore di un dispositivo PMOS

### 3.2.3 Misure in dispositivi con diverso numero di finger

La figura 3.9 mostra lo spettro di rumore prima e dopo l'irraggiamento per due transistor NMOS con rapporto  $W/L=100/0.35$  e differente numero di finger. Non sono presentati grafici riguardanti i PMOS perché in essi non è presente questo fenomeno. Come si vede dalla figura, prima dell'irraggiamento i due dispositivi presentano uno spettro di rumore pressoché identico. Dopo l'esposizione a 10 Mrad di raggi  $\gamma$  non si ha un significativo cambiamento nella porzione riguardante il rumore bianco, mentre per il rumore  $1/f$  notiamo un leggero incremento nel transistor con 50 fingers rispetto a quello da 20 fingers [13]. Possiamo attribuire questo incremento all'effetto delle radiazioni nel formare percorsi parassiti nelle STI laterali, come già discusso nel capitolo 1.5.

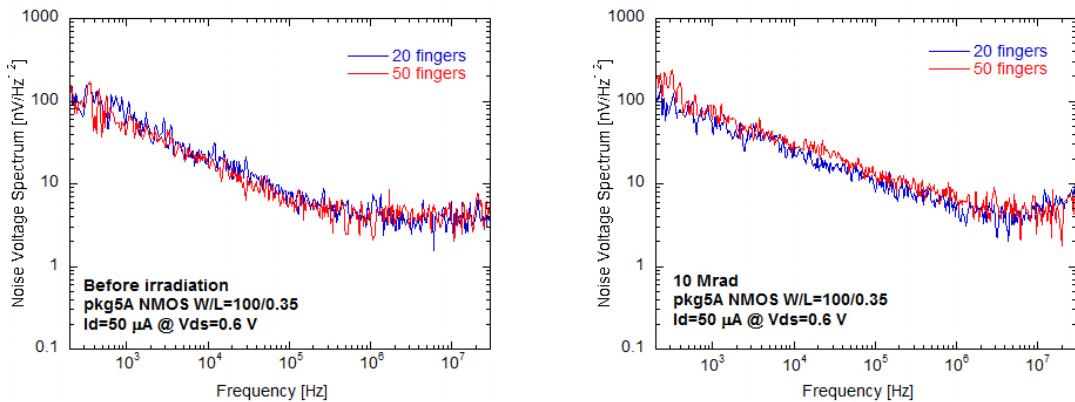


Figura 3.9: Spettri di rumore pre e post irraggiamento per due NMOS con  $W/L=100/0.35$  e diverso numero di finger

### 3.2.4 Analisi dei coefficienti di rumore

Dai grafici in figura 3.10, rappresentanti il parametro  $\alpha_W$  in funzione della corrente di drain, possiamo estrarre importanti informazioni sul comportamento del rumore bianco. Prima informazione visibile è la somiglianza tra i coefficienti del prima e del dopo irraggiamento che ci fa dedurre che il rumore bianco non subisce l'effetto delle radiazioni. Seconda informazione è osservabile dall'andamento iperbolico di questi punti che mettono in luce come il rumore bianco diminuisca con l'aumento della corrente  $I_D$  in quanto aumenta la transconduttanza  $g_m$  del dispositivo.

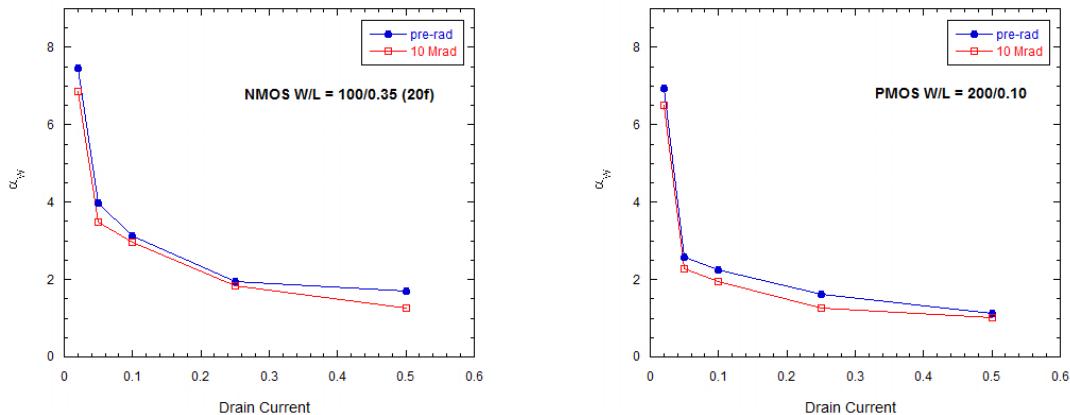


Figura 3.10: Variazione del parametro  $\alpha_W$  in funzione della corrente di drain per un dispositivo NMOS e un dispositivo PMOS

Analizzando il grafico in figura 3.11, che rappresenta il rapporto tra il valore del parametro  $K_f$  dopo e prima dell'irraggiamento per un dispositivo a canale N in funzione della corrente di drain, possiamo notare come il rumore  $1/f$  rimane costante per alte correnti mentre aumenta per basse correnti, in accordo con quanto mostrato nelle sezioni precedenti. Una ulteriore conferma è data dal grafico sempre in figura 3.12 che rappresenta un ingrandimento della caratteristica  $I_D-V_{GS}$  semilogaritmica in corrispondenza di correnti intorno ai  $20-50 \mu A$  e ci permette di vedere con chiarezza il differente valore di corrente tra il prima e il dopo irraggiamento. Questa differenza rappresenta il contributo di corrente dato dai transistor laterali.

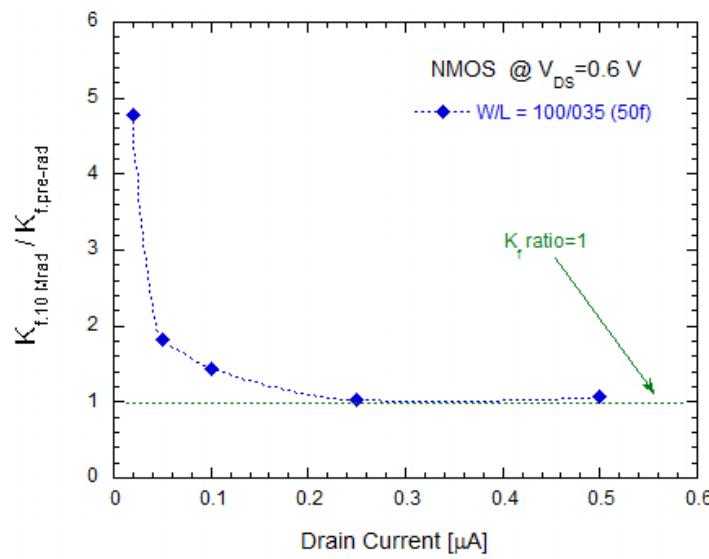


Figura 3.11: Rapporto del parametro di rumore  $K_f$  prima e dopo l'irraggiamento in funzione della corrente di drain

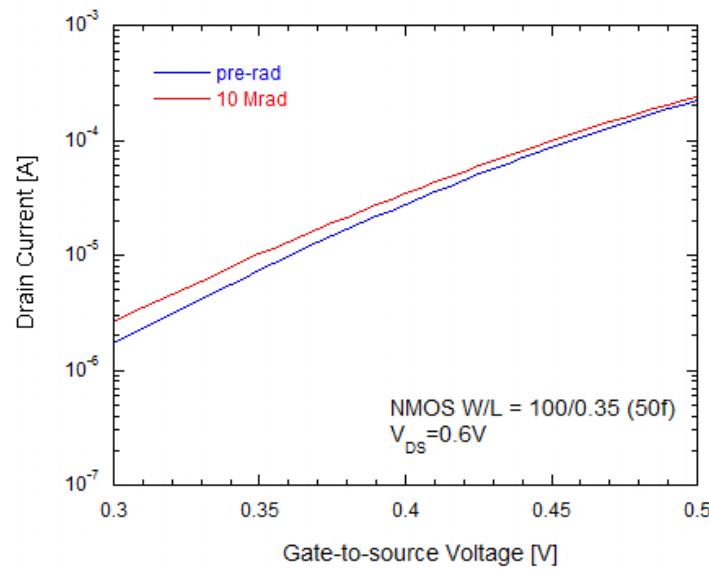


Figura 3.12: Ingrandimento della caratteristica  $I_D-V_{GS}$  in scala semilogaritmica



# Conclusioni

Lo scaling tecnologico ha portato ad una diminuzione delle dimensioni dei dispositivi a fronte di un aumento della densità di integrazione e della complessità circuitale.

Questo lavoro ha riguardato lo studio della resistenza alle radiazioni ionizzanti di dispositivi MOS submicrometrici appartenenti ad una tecnologia con lunghezza minima di canale di 65 nm fornita da IBM. Sulla base delle misure statiche e di rumore è stato possibile valutare quali, tra i parametri elettrici dei transistori sottoposti a irraggiamento, siano maggiormente soggetti a variazioni.

Per quanto riguarda il confronto fra le misure statiche pre e post irraggiamento abbiamo estratto tre informazioni. La prima dai grafici  $I_D-V_{GS}$  in scala logaritmica, che evidenziano una variazione della corrente di sottosoglia nel caso del dispositivo a canale N, dovuto ai cammini laterali parassiti, ed una corrente pressochè invariata nel caso del dispositivo a canale P in quanto in questi dispositivi non viene a crearsi lo stesso canale parassita. La seconda mostra che la transconduttanza  $g_m$ , sia nei transistor NMOS che nei PMOS, non varia a causa delle radiazioni ionizzanti. La terza e ultima informazione ha messo in luce come il parametro tensione di soglia  $V_{th}$  non abbia manifestato grosse variazioni in seguito all'irraggiamento, in accordo con il fatto che al diminuire dello spessore dell'ossido di gate abbiamo un aumento della resistenza alle radiazioni da parte del dispositivo.

Dal confronto delle misure di rumore si è evidenziato un incremento del rumore  $1/f$  nei dispositivi NMOS in particolare quando nel dispositivo scorre una corrente di drain dell'ordine dei  $10\text{-}100 \mu A$ , mentre questo aumento non è osservabile a correnti dell'ordine di frazioni di  $mA$ . Questo fenomeno si spiega con il fatto che a bassi valori della corrente di drain, la variazione relativa della corrente di drain  $I_D$  da-

ta dalle cariche positive intrappolate nelle Shallow Trench Isolation è maggiore di quanto non si ha ad alti valori della corrente di drain.

Nei dispositivi PMOS non è presente questo effetto in quanto le cariche positive intrappolate nelle STI non provocano una inversione del substrato di tipo n e quindi non si ha la creazione dei canali parassiti in parallelo al MOS principale.

Una particolare peculiarità è stata trovata mettendo a confronto tra loro grafici di dispositivi a canale N e di dispositivi a canale P con identiche dimensioni W e L; questo confronto ha evidenziato come i due dispositivi abbiano un rumore  $1/f$  molto simile a differenza di quanto si ha sempre avuto nelle precedenti tecnologie che eleggevano storicamente il dispositivo P come il più resistente alle radiazioni. Questo comportamento si pensa possa essere attribuito alla variazione dell'energia di barriera causata dalle radiazioni unita alla continua diminuzione dello spessore dell'ossido di gate tra una tecnologia e l'altra. Per quanto riguarda il rumore bianco, come ci si aspettava, si è mantenuto molto simile a come si presentava prima dell'irraggiamento perché non si è riscontrata una variazione della transconduttanza  $g_m$ .

Un'analisi aggiuntiva è stata fatta mettendo a confronto dispositivi con le stesse dimensioni ma diverso numero di finger. Prima dell'irraggiamento i due dispositivi presentano uno spettro di rumore pressoché identico; dopo l'esposizione a 10 Mrad di raggi  $\gamma$ , invece, notiamo un incremento del rumore  $1/f$  nel transistor con 50 fingers rispetto a quello da 20 fingers in quanto in questi dispositivi è maggiore il numero di canali parassiti attivati dalle cariche intrappolate negli STI.

Dall'analisi dei coefficienti di rumore  $\alpha_W$  e  $K_f$  si può ottenere un'ulteriore conferma di quanto detto precedentemente riguardo al rumore bianco e al rumore  $1/f$ .

# Bibliografia

- [1] P. Spirito: *Elettronica Digitale*. McGraw-Hill libri Italia, terza edizione, 2006.
- [2] V. Re: *Dispense del corso di Elettronica per sistemi digitali e Telecomunicazioni*. a.a. 2009/2010.
- [3] D. Gabbiadini: *Misure delle prestazioni di rumore di dispositivi appartenenti ad una tecnologia CMOS da 65 nm*. Tesi di Laurea, 2009.
- [4] V. Re: *Introduzione al rumore in elettronica*. Corso nazionale di Formazione “Elettronica di Front-end per i rivelatori di particelle”, 2004.
- [5] V. Re: *Il rumore nell’elettronica di front-end*. Corso nazionale di Formazione “Elettronica di Front-end per i rivelatori di particelle”, 2004.
- [6] V. Re: *Effetti delle radiazioni su dispositivi elettronici in tecnologie CMOS, JFET, bipolar*. Scuola Nazionale “Rivelatori ed Elettronica per Fisica delle Alte Energie, Astrofisica ed Applicazioni Spaziali”, 2007.
- [7] M. Manghisoni: *Processi CMOS submicrometrici, resistenza alle radiazioni*. Corso nazionale di Formazione “Elettronica di Front-end per i rivelatori di particelle”, 2004.
- [8] V. Re, L. Gaioni, M. Manghisoni, L. Ratti, G. Traversi: *Comprehensive Study of Total Ionizing Dose Damage Mechanisms and their Effects on Noise Sources in a 90 nm CMOS Technology*. IEEE Transactions On Nuclear Science, Dicembre 2008.
- [9] M. Carrara: *Misure delle caratteristiche statiche e di segnale di dispositivi in tecnologia CMOS da 65 nm*. Tesi di Laurea, a.a. 2007/2008.

- [10] M. Manghisoni, L. Ratti, V. Re, V. Speziali: *Instrumentation for Noise Measurements on CMOS Transistors for Fast Detector Preamplifiers*. IEEE Transactions On Nuclear Science, Giugno 2002.
- [11] M. Manghisoni: *Progetti analogici a basso rumore in tecnologia CMOS*. Corso nazionale di Formazione “Elettronica di Front-end per i rivelatori di particelle”, 2004.
- [12] V. Re, L. Gaioni, M. Manghisoni, L. Ratti, G. Traversi: *Mechanisms of Noise Degradation in Low Power 65 nm CMOS Transistors Exposed to Ionizing Radiation*. IEEE Transactions On Nuclear Science, Giugno 2010.
- [13] L. Ratti, L. Gaioni, M. Manghisoni, V. Re, G. Traversi: *TID-induced degradation in static and noise behavior of sub-100 nm multifinger bulk NMOSFETs*. IEEE Transactions On Nuclear Science, 2010.