Università degli Studi di Bergamo

SCUOLA DI INGEGNERIA
Corso di Laurea Magistrale in Ingegneria Informatica (LM-32)

Laboratorio di Elettronica - Inverter, Latch, Ring Oscillator e Divisore in Frequenza
Tavolo 2Sx

Gruppo:

Raffaele Giacomo Giovanni Di Maio
Matricola 1053435

Nicholas Iotti
Matricola 1058728

Giorgio Passarella
Matricola 1079287

Emilio Meroni
Matricola 1080976

Anno Accademico 2025–2026

Inverter CMOS

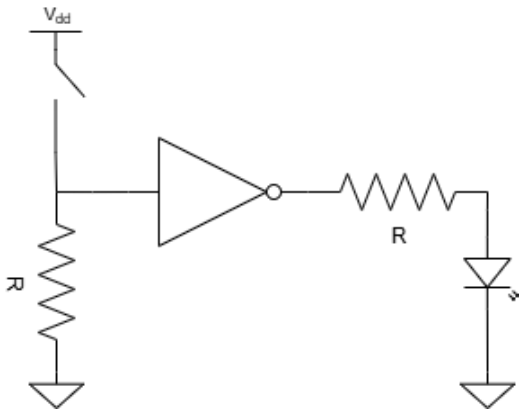
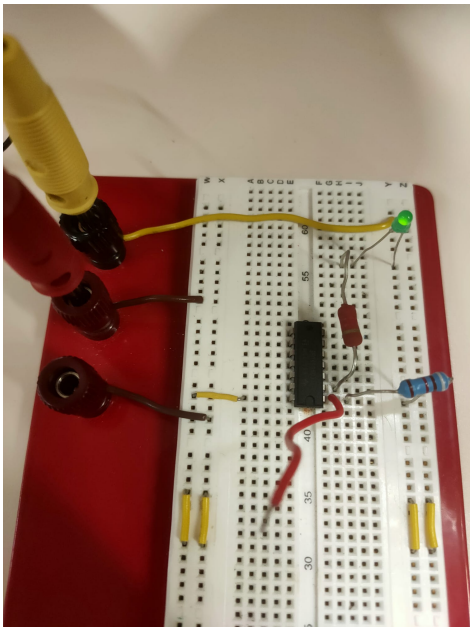
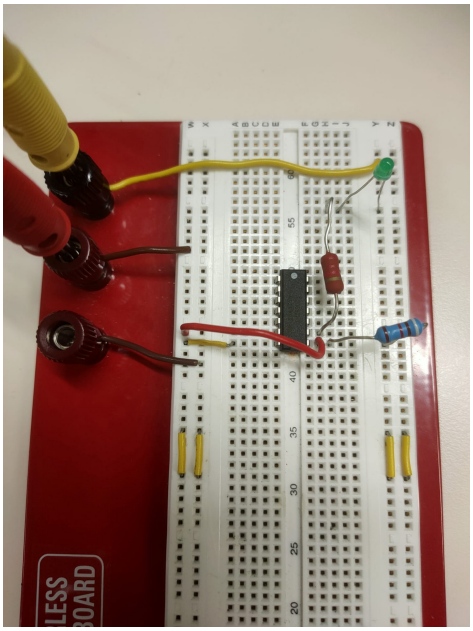


Figura 1: Schematico inverter.

Per la realizzazione del circuito mostrato in Figura 1 è stato utilizzato il circuito integrato **CB4069**, tale dispositivo è dotato di 14 pin: il pin 14 è collegato alla tensione positiva di alimentazione, mentre il pin 7 è collegato a massa, tutti gli altri pin rappresentano gli ingressi e le uscite dei sei inverter integrati (da A e $\overline{A}$ fino a F e $\overline{F}$). È stata impostata una $\mathbf{V_{DD}}$ di 5 V con l'obiettivo di verificare la **caratteristica statica** dell'inverter. Per farlo, si forza uno stato logico 0 o 1 utilizzando una resistenza in serie a un interruttore collegato all'ingresso dell'inverter. In uscita è stata posta una resistenza con in serie un diodo LED, in modo che con uscita logica 1 il LED risulti acceso e con uscita logica 0 risulti spento come mostrato in Figura 2. Successivamente andando a modificare il circuito come in Figura 3, è stato possibile verificare la **caratteristica dinamica** collegando l'ingresso del circuito a un generatore di forme d'onda che fornisce un segnale ad onda quadra con un'ampiezza di 5 V−picco−picco e un offset di 2.5 V, simulando la commutazione di un bit tra 0 e 1, per osservare la negazione in uscita. Infine, sono stati calcolati il **tempo di salita**, il **tempo di discesa** e il **ritardo di propagazione** dell'inverter. In Figura 4a è riportata la misura del ritardo di propagazione, pari a circa 23.6 ns. Le Figura 4c e Figura 4d mostrano rispettivamente i fronti di salita e discesa del segnale in uscita, con tempi pari a circa 30 ns e 20 ns.

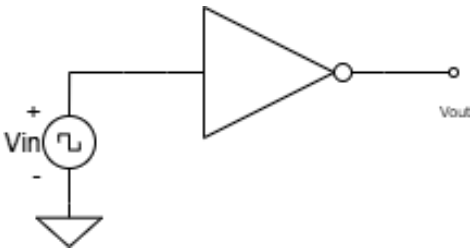


(a) Uscita logica 1 – LED acceso

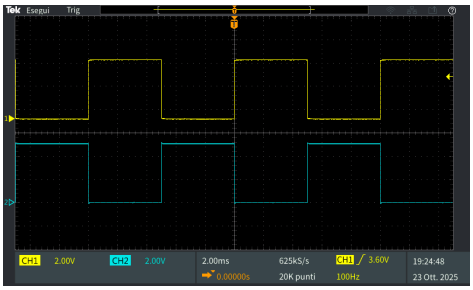


(b) Uscita logica 0 – LED spento

Figura 2: Verifica della caratteristica statica dell'inverter tramite LED

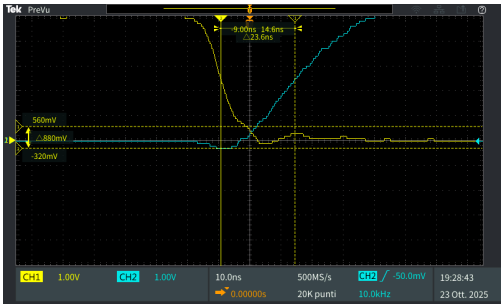


(a) Schematico dell'inverter per la verifica della caratteristica dinamica.

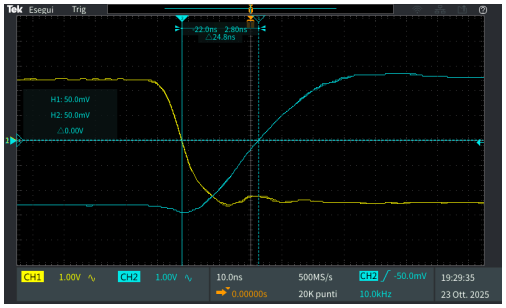


(b) Caratteristica dinamica dell'inverter.

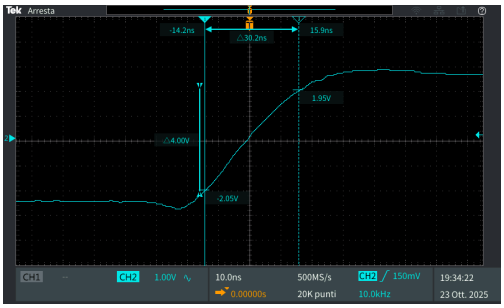
Figura 3: Verifica della caratteristica dinamica dell'inverter: a sinistra lo schema del circuito, a destra la risposta osservata all'oscilloscopio.



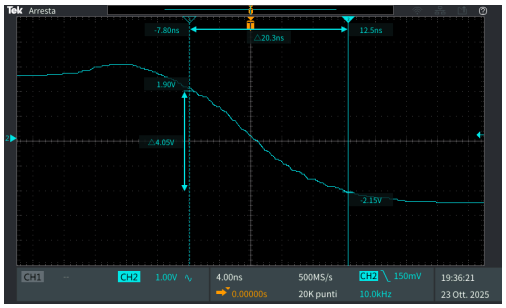
(a) Ritardo di propagazione (23.6 ns).



(b) Transizioni complete.



(c) Tempo di salita (30 ns).



(d) Tempo di discesa (20 ns).

Figura 4: Misure sperimentali della caratteristica dinamica dell'inverter CMOS.

1 Latch