Università degli Studi di Bergamo

SCUOLA DI INGEGNERIA
Corso di Laurea Magistrale in Ingegneria Informatica (LM-32)

Laboratorio di Elettronica - Inverter, Latch, Ring Oscillator e Divisore in Frequenza
Tavolo 2Sx

Gruppo:

Raffaele Giacomo Giovanni Di Maio
Matricola 1053435

Nicholas Iotti
Matricola 1058728

Giorgio Passarella
Matricola 1079287

Emilio Meroni
Matricola 1080976

Anno Accademico 2025–2026

Circuiti Digitali

Nei circuiti digitali, a differenza di quelli analogici, il segnale è discretizzato sia nei tempi che nelle ampiezze (figura 1), in particolare esso può assumere dei valori alti V_H o bassi V_L, tipicamente $5\,V$ e $0\,V$.

Figura 1: Differenza tra i segnali analogici e digitali.

I circuiti digitali possono lavorare con due tipologie di logiche:

- **Logica Combinatoria**, l'uscita dipende sono dal valore degli ingressi in quell'istante;
- **Logica Sequenziale**, in questo caso si hanno degli stati interni e quindi per determinare l'uscita non basta conoscere il valore degli ingressi.

Porte Logiche

Di seguito si riportano alcune tabelle della verità delle porte logiche più semplici:

A	**B**	**Q**
0	0	0
0	1	0
1	0	0
1	1	1

Tabella 1: AND o prodotto logico

A	**B**	**Q**
0	0	0
0	1	1
1	0	1
1	1	1

Tabella 2: OR o somma logica

A	**Q**
0	1
1	0

Tabella 3: Inverter

Teorema di Demorgan e mappa di Karnaugh

Grazie al teorema di Demorgan, che mette in relazione l'operazione AND con l'operazione OR, e alle mappe di Karnaugh si possono semplificare i circuiti logici. In particolare, le mappe di Karnaugh esprimono una qualsiasi tabella della verità come somma di prodotti (oppure come prodotti di somme) e successivamente sfruttando il teorema di Demorgan il quale dice che:

$$\overline{A+B} = \overline{A} \cdot \overline{B}$$
$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

Ricaviamo che qualsiasi funzione logica può essere riscritta utilizzando solo porte logiche NAND (oppure NOR).

Inverter CMOS

L'inverter è un circuito digitale in cui l'uscita si trova al livello opposto dell'ingresso tabella 3. Per testarne il funzionamento è stato realizzato il circuito in Figura 2:

Figura 2: Schematico inverter.

Si è utilizzato il circuito integrato **CB4069**, il quale è dotato di 14 pin, Figura 3, il quale presenta 6 inverter.

Figura 3: Package Inverter.

È stata impostata una V_{DD} di 5 V con l'obiettivo di verificare la caratteristica statica dell'inverter. Per farlo, è stato forzato uno stato logico 0 o 1 all'ingresso dell'inverter e in uscita è stata posta una resistenza con in serie un diodo LED, in modo che, con uscita logica 1, il LED risulti acceso e con uscita logica 0 risulti spento come mostrato in Figura 4.

(a) Uscita logica 1 - LED acceso (b) Uscita logica 0 - LED spento

Figura 4: Verifica della caratteristica statica dell'inverter tramite LED

Successivamente andando a modificare il circuito come in Figura 5, è stato possibile verificare la caratteristica dinamica collegando l'ingresso del circuito a un generatore di forme d'onda che fornisce un segnale ad onda quadra con un'ampiezza di 5 V_{pp} e un offset di 2.5 V, simulando la commutazione di un bit tra 0 e 1, per osservare la negazione in uscita.

Infine, sono stati calcolati il tempo di salita, il tempo di discesa e il ritardo di propagazione dell'inverter. In Figura 6a è riportata la misura del ritardo di propagazione, pari a circa 23.6 ns. Le Figura 6c e Figura 6d mostrano rispettivamente i fronti di salita e discesa del segnale in uscita, con tempi pari a circa 30 ns e 20 ns.

(a) Schematico dell'inverter per la verifica della caratteristica dinamica.

(b) Caratteristica dinamica dell'inverter.

Figura 5: Verifica della caratteristica dinamica dell'inverter: a sinistra lo schema del circuito, a destra la risposta osservata all'oscilloscopio.

(a) Ritardo di propagazione (23.6 ns).

(b) Transizioni complete.

(c) Tempo di salita (30 ns).

(d) Tempo di discesa (20 ns).

Figura 6: Misure sperimentali della caratteristica dinamica dell'inverter CMOS.

Latch

Il latch rappresenta una cella di memoria elementare, in grado di mantenere lo stato logico impostato anche dopo la rimozione del segnale di ingresso. Il principio di funzionamento è caratterizzato dall'impiego di due inverter collegati in cascata e retroazionati, come mostrato nello schema in Figura 7.

Figura 7: Schema circuitale del latch.

Quando viene applicato un livello logico 1 all'ingresso del primo inverter, la sua uscita assume valore logico 0, che a sua volta viene invertito dal secondo stadio, restituendo un livello logico 1. Questo valore viene quindi mantenuto grazie all'anello di retroazione, che stabilizza il circuito nello stato logico impostato. Un comportamento analogo si verifica quando viene applicato un livello logico 0: l'uscita del secondo inverter rimane a 0 fino a quando non interviene una nuova scrittura. Per consentire la scrittura di uno stato logico, il circuito è stato dotato di due pulsanti: uno collegato alla tensione di alimentazione V_{DD} per impostare un livello logico alto, e uno collegato a massa per impostare un livello logico basso. L'uscita è stata collegata a un LED per rendere visibile lo stato memorizzato: come mostrato in Figura 8, quando l'uscita è a livello logico 1 il LED risulta acceso, mentre con livello logico 0 rimane spento.

(a) Uscita logica 0, LED spento.

(b) Uscita logica 1, LED acceso.

Figura 8: Stati logici dal latch.

Ring Oscillator

Il Ring Oscillator, figura 9, è un circuito che genera un segnale d'onda quadra con una frequenza determinata dal ritardo di propagazione degli inverter. Questo circuito per funzionare necessita un numero dispari di inverter posti in serie, in questo modo si crea un anello di retroazione negativo facendo oscillare V_{out} tra il livello logico alto e il livello logico basso

Figura 9: Schematico ring oscillator.

Questo circuito può generare segnali fino 6 MHz, ma essendo a frequenze così elevate il segnale in uscita non risulta essere un'onda quadta figura 11a. Per migliorarne la forma si inserisce in cascata all'uscita due inverter, come in figura 10, il segnale ricavato si trova a figura 11b.

Figura 10: Schematico del ring oscillator con miglioramento del segnale d'uscita.

(a) Segnale in uscita dallo stadio del ring oscillator.

(b) Segnale in uscita dallo stadio del ring oscillator.

Figura 11: Segnali generati dal ring oscillator.

Per poter modificare la frequenza di oscillazione si può utilizzare il circuito a figura 12

Figura 12: Schematico del ring oscillator con modifica di frequenza.