

CEG 3555: Systèmes Numériques II  
(Automne 2023)  
Prof. Rami Abielmona  
Devoir #2: *Circuits Arithmétiques*

2 Octobre, 2023

## Objectif and Date Due

L'objectif de ce devoir est de démontrer une compréhension de circuits arithmétiques. La date due de ce devoir est **Lundi 16 Octobre, 2023 à 20h**, et doit être soumis sur Brightspace.

## Question I

Cette question se concerne avec la construction d'un additionneur ternaire demi-et complet. Les parties a et b sont questions 3.25 et 3.26 de votre manuel.

### Partie a

Dans un système de nombre, il y a trois chiffres: 0, 1 et 2. Tableau 1 définit un demi-additionneur ternaire. Concevez un circuit qui réalise ce demi-additionneur en utilisant des signaux codés en binaire, tel que deux bits sont employés pour chaque chiffre ternaire. Laissez  $A = a_1a_0$ ,  $B = b_1b_0$  et  $Somme = s_1s_0$ ; et notez que *Report* est un signal binaire. Utilisez le codage suivant:  $00 = (0)_3$ ,  $01 = (1)_3$  et  $10 = (2)_3$ . Minimisez le coût du circuit final.

### Partie b

Concevez un circuit d'additionneur-complet ternaire, en utilisant la méthode décrite dans la partie a).

## Question II

Cette question se concerne avec le circuit de multiplicateur à rangée. La partie a est question 3.15 de votre manuel.

$A$	$B$	$Report$	$Somme$
0	0	0	0
0	1	0	1
0	2	0	2
1	0	0	1
1	1	0	2
1	2	1	0
2	0	0	2
2	1	1	0
2	2	1	1

Table 1: Table de vérité

### Partie a

Quel est le chemin critique dans le multiplicateur de la figure 1 ? Quel est le délai sur ce chemin en termes de nombre de portes logiques ?

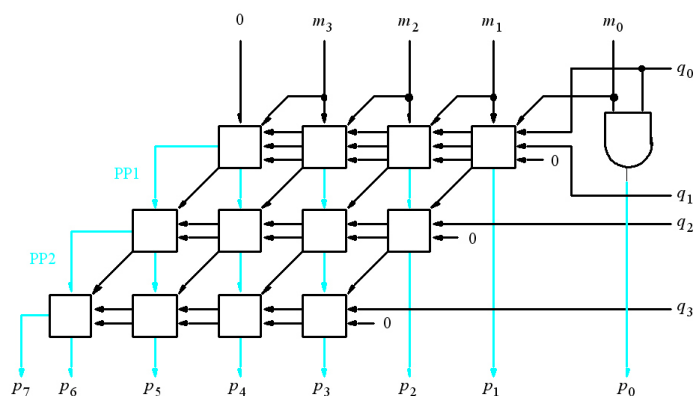


Figure 1: Multiplicateur à rangée

### Partie b

Montrez que la multiplication de deux nombres de  $n$ -chiffre dans la base  $B$  donne un produit sans plus que  $2n$  chiffres.

### Question III

Cette question se concerne avec les tables de transition d'états. Les parties a, b et c sont questions 6.9, 6.10 et 6.23 de votre manuel.

### Partie a

Un circuit séquentiel contient deux entrées,  $w_1$  et  $w_2$ , et une sortie,  $z$ . Sa fonction est de comparer les sequences de données des deux entrées. Si  $w_1 = w_2$  pendant quatre périodes d'horloge consécutives quelconques, le circuit produit  $z = 1$ ; autrement  $z = 0$ . Par exemple:

$$\begin{aligned}w_1 &= 0110111000110 \\w_2 &= 1110101000111 \\z &= 0000100001110\end{aligned}$$

Dérivez un circuit approprié.

### Partie b

Écrivez le code de VHDL du FSM (machine à états finis) décrit dans la partie a).

### Partie c

Concevez un compteur à modulo-6, qui compte dans la séquence suivante: 0, 1, 2, 3, 4, 5, 0, 1, 2... Le compteur compte les bords d'horloge si son signal de permit,  $w$ , est égal à 1. Utilisez des bascules de type D dans votre circuit.

## Question IV

Cette question se concerne avec les FSMs de type Mealy et Moore. Les schémas utilisés sont figures 6.43 et 6.47 dans votre manuel.

Dessinez les diagrammes de synchronisation des figures 2 et 3, et démontrez la différence, entre les données et les sorties, d'un FSM de type Moore et d'un autre de type Mealy.

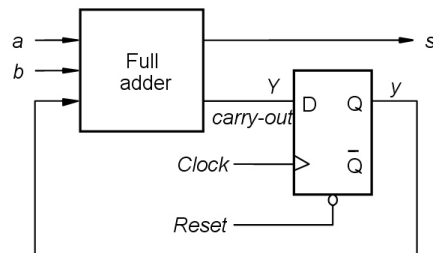


Figure 2: FSM de type Mealy

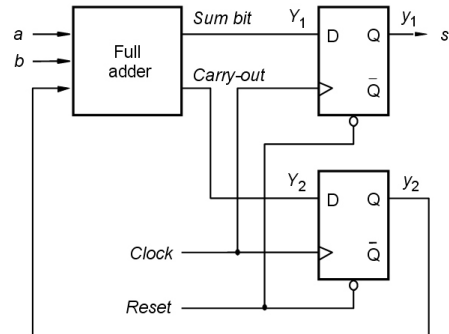


Figure 3: FSM de type Moore

## Question de Boni

Démontrez, en utilisant un diagramme de synchronisation, l'opération correcte d'une bascule de type D, montrée dans la figure 4 et présentée en classe.

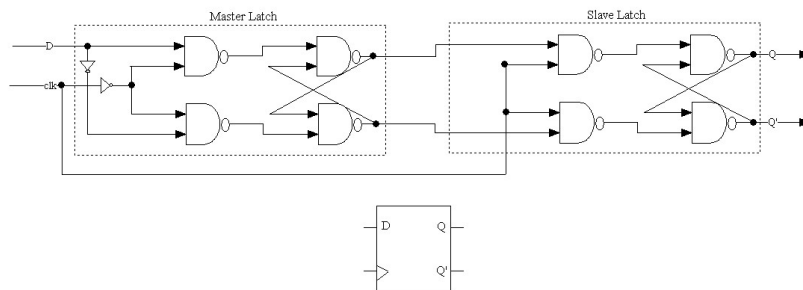


Figure 4: Bascule de type D en configuration maître-esclave