



Final 2016, answers

Digital Systems II (University of Ottawa)

Université d'Ottawa
Faculté de génie

École de science informatique et
de génie électrique



University of Ottawa
Faculty of Engineering

School of Electrical Engineering
and Computer Science

COURS: CEG3555/ CEG3155

PROFESSEURS: Mohamed Ibrahim
Sawsan Abdul-Majid

SEMESTRE: Automne 2016

DATE: 20 décembre 2016
TEMPS: 14h00 - 17h00

Systèmes numériques II

EXAMEN FINAL

Solution

NOM ET NUMÉRO D'ÉTUDIANT: _____ / _____

Instructions:

- Répondez à TOUTES les questions sur le questionnaire.
- Cet examen se fait à livre fermé.
- Utilisez l'espace trouvé pour répondre aux questions suivantes. Si plus d'espace est nécessaire, utilisez l'arrière des pages.
- Montrez tout votre travail et calcul pour obtenir tous vos points.
- Les calculatrices sont permises.
- Lisez attentivement toutes les questions avant de débiter.

		Points possibles	Points obtenus
Question 1		20	
Question 2		20	
Question 3		15	
Question 4		15	
Question 5		20	
Question 6		10	
Total		100	

Pages en total : 14

Question 1 (20 points)

Analysez le circuit de la figure 1.

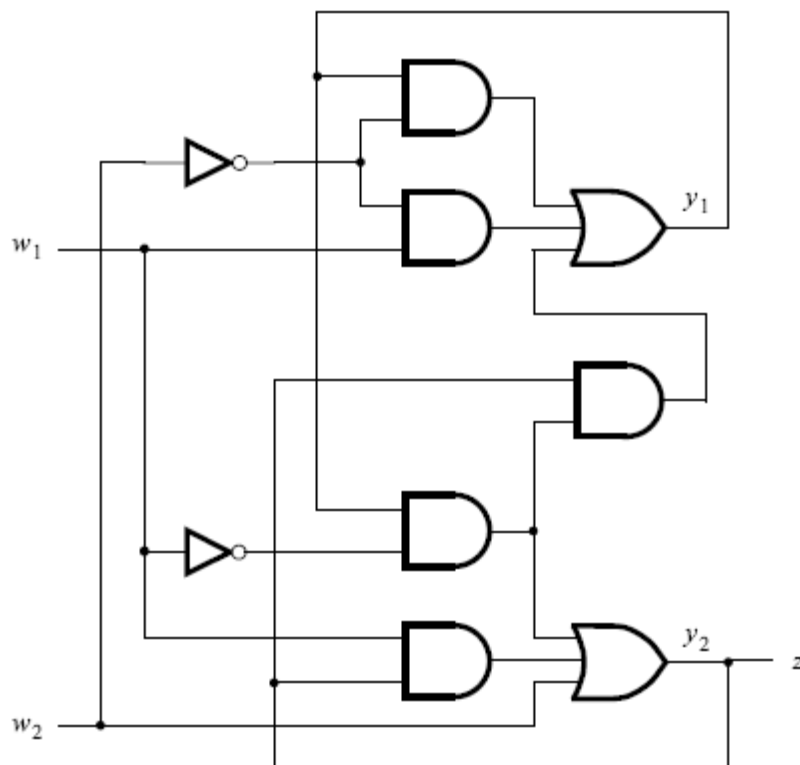


Figure 1: Question 1

- a) Donnez les expressions des états suivants (Y_1 , Y_2) et la sortie z qui implémentent le circuit de la figure 1. (7 points)

Solution :

$$Y_1 = w_1 \bar{w}_2 + \bar{w}_2 y_1 + \bar{w}_1 y_1 y_2$$

$$Y_2 = w_2 + \bar{w}_1 y_1 + w_1 y_2$$

$$z = y_2$$

b) Donnez le tableau d'excitation de la figure 1. . (5 points)

Solution :

Present state $y_2 y_1$	Next state				Output z
	$w_2 w_1 = 00$	01	10	11	
	$Y_2 Y_1$	$Y_2 Y_1$	$Y_2 Y_1$	$Y_2 Y_1$	
00	00	01	10	10	0
01	11	01	10	10	0
10	00	11	10	10	1
11	11	11	11	10	1

c) Donnez les tableaux de flux de la figure 1. (5 points)

Solution :

Present state	Next state				Output z
	$w_2 w_1 = 00$	01	10	11	
A	A	B	C	C	0
B	D	B	C	C	0
C	A	D	C	C	1
D	D	D	D	C	1

Present state	Next state				Output z
	$w_2 w_1 = 00$	01	10	11	
A	A	B	C	C	0
B	D	B	—	C	0
C	A	D	C	C	1
D	D	D	D	C	1

- d) Y a-t-il un problème de hasards dans le circuit de la figure 1? Si vous répondez non, présentez la raison, sinon, procédez à la résolution du problème de hasards. **(3 points)**

Solution :

La figure 9.78 donne les tables de Karnaugh pour les expressions d'état suivant dérivées de la figure 1. Comme on le voit à partir des tables, tous les implants primaires sont inclus dans l'expression pour Y_1 . Mais l'expression pour Y_2 ne comprend que trois des quatre implants primaires disponibles. Il existe un hazard statique lorsque $w_2 y_2 y_1 = 011$ et w_1 passe de 0 à 1 (ou 1 à 0). Ce hazard peut être supprimé en ajoutant le quatrième impliquant primaire, $y_1 y_2$, à l'expression pour Y_2 .

$$Y_2 = w_2 + \bar{w}_1 y_1 + w_1 y_2 + y_1 y_2$$

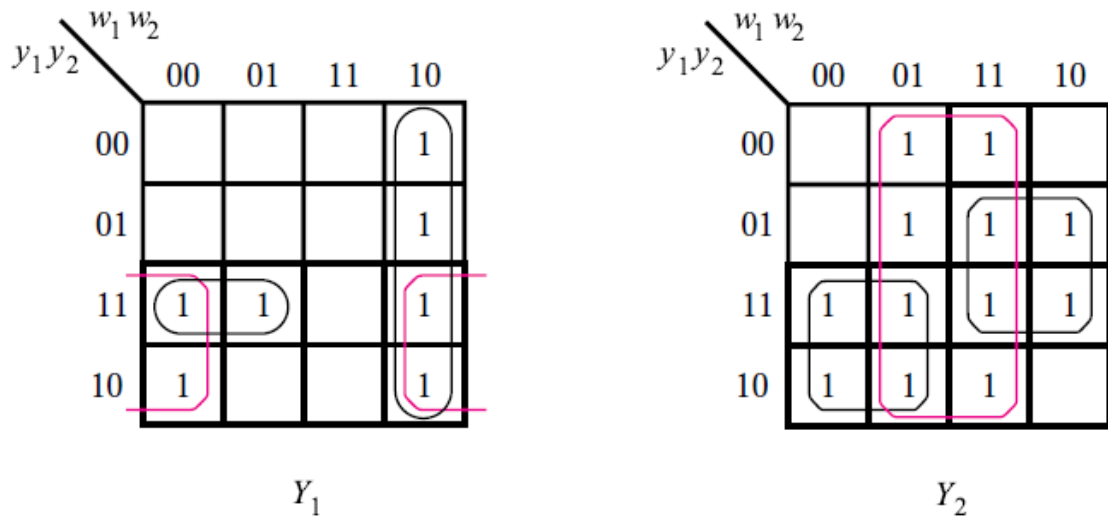


Figure 9.78 Karnaugh maps for the circuit in Figure 9.76.

Question 2 (20 points)

Supposons que vous ayez besoin d'utiliser un commutateur unipolaire monotouche comme le montre la Figure 2.

- a) Montrez comment un compteur peut être utilisé comme moyen pour éliminer le rebondissement du signal *Data* produit par le commutateur. Dessinez le schéma bloc du compteur.

Indice : concevoir la machine à état fini (en anglais *finite state machine, FSM*) qui a *Data* comme entrée et produit *z* comme sortie. En fait, *z* est la version sans rebondissement du *Data*. Supposons que vous ayez accès à un signal d'entrée *Clock* avec la fréquence 102,4 kHz qui peut être utilisé aux besoins. **(12 points)**

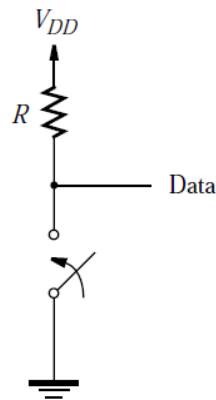
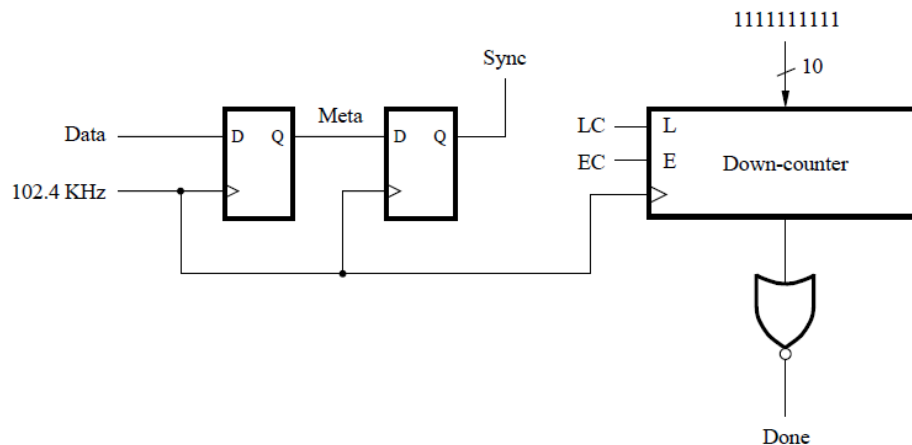


Figure 2: Question 2

Solution :

Le circuit d'anti-rebond a trois parties, comme indiqué ci-dessous. Le signal de données du commutateur doit être synchronisé au signal de 102,4 kHz à l'aide de deux bascules. Le signal synchronisé appelé Sync est envoyé à un FSM.

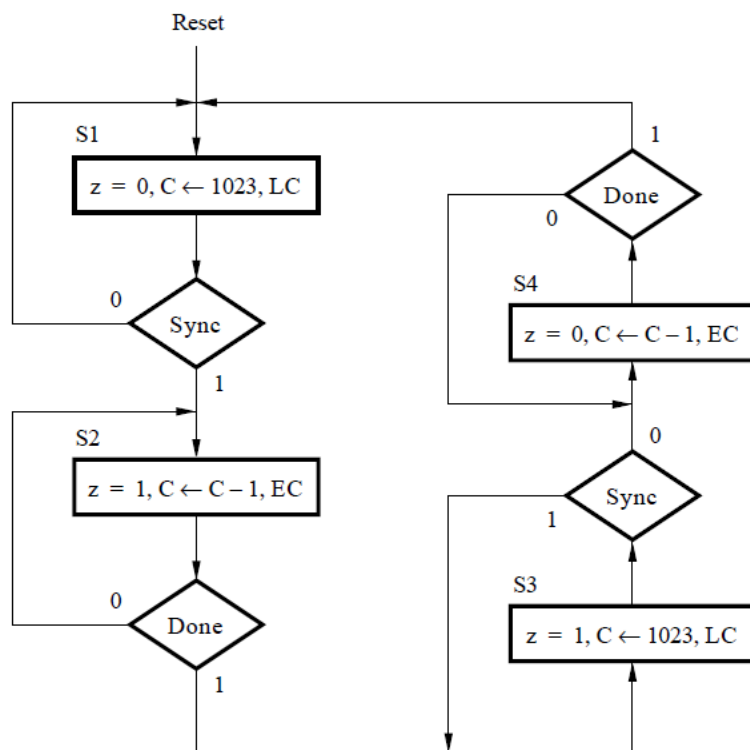
Le FSM utilise également le compteur représenté, qui compte pour 1024 cycles du signal de 102,4 KHz, fournissant un délai de 10 ms



b) Donnez le diagramme ASM de la machine à état fini du système. **(8 points)**

Solution :

Le diagramme ASM pour le FSM est donné ci-dessous. Le FSM fournit la sortie *z*, qui est la version sans rebondissement du signal *Data*.



Question 3 (15 points)

- a) Décrivez un encodeur binaire de 8 à 3 et donnez la table de vérité. (8 points)

Solution :

La table de vérité pour l'encodeur est représentée sur la figure 6.50. Seules les lignes pour lesquelles une seule variable d'entrée est égale à 1 sont affichées; Les autres rangées peuvent être traitées comme «don't Care cases».

w_7	w_6	w_5	w_4	w_3	w_2	w_1	w_0	y_2	y_1	y_0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

Figure 6.50 Truth table for an 8-to-3 binary encoder.

- b) Donnez les équations de circuit qui implémente cet encodeur. **(7 points)**

Solution :

$$y_2 = w_4 + w_5 + w_6 + w_7$$

$$y_1 = w_2 + w_3 + w_6 + w_7$$

$$y_0 = w_1 + w_3 + w_5 + w_7$$

Question 4 (15 points)

La figure 3 montre le code VHDL d'un **compteur à quatre bits** qui a une entrée de réinitialisation, **Resetn** et une entrée d'activation **E**. Dans le corps de l'architecture, les bascules dans le compteur sont représentées par le signal nommé **Count**. Le processus (anglais *process*) a comme paramètre d'entrée les signaux d'horloge **Clock** et **Resetn**. Les sorties **Q** reçoivent la valeur de **Count** à la fin du code. Complétez le code VHDL pour répondre à l'exigence mentionnée ci-dessus.

```

LIBRARY ieee ;
USE ieee.std_logic_1164.all ;
USE ieee.std_logic_unsigned.all ;

ENTITY upcount IS
    PORT ( Clock, Resetn, E : IN    STD_LOGIC ;
          Q               : OUT STD_LOGIC_VECTOR (3 DOWNTO 0)) ;
END upcount ;

ARCHITECTURE Behavior OF upcount IS
    SIGNAL Count : STD_LOGIC_VECTOR (3 DOWNTO 0) ;
BEGIN
    PROCESS ( Clock, Resetn )
    BEGIN

        END PROCESS ;
        Q <= Count ;
    END Behavior ;

```

Figure 3: Question 4

Solution :

```

IF Resetn = '0' THEN
    Count <= "0000" ;
ELSIF (Clock'EVENT AND Clock = '1') THEN
    IF E = '1' THEN
        Count <= Count + 1 ;
    ELSE
        Count <= Count ;
    END IF ;
END IF ;

```

Diagram illustrating the solution with point allocations:

- 1 point for `IF Resetn = '0' THEN`
- 2 points for `Count <= "0000" ;`
- 3 points for `ELSIF (Clock'EVENT AND Clock = '1') THEN`
- 2 points for `IF E = '1' THEN`
- 2 points for `Count <= Count + 1 ;`
- 1 point for `ELSE`
- 2 points for `Count <= Count ;`
- 1 point for `END IF ;`
- 1 point for `END IF ;`

Question 5 (20 points)

Appliquez les réductions en utilisant les procédures de partition et fusion à la table initiale de la figure 4.

Present state	Next state				Output z
	$w_2w_1 = 00$	01	10	11	
A	(A)	F	C	—	0
B	A	(B)	—	H	1
C	G	—	(C)	D	0
D	—	F	—	(D)	1
E	G	—	(E)	D	1
F	—	(F)	—	K	0
G	(G)	B	J	—	0
H	—	L	E	(H)	1
J	G	—	(J)	—	0
K	—	B	E	(K)	1
L	A	(L)	—	K	1

Figure 4 : Tableau de flux initial de la question 5

- a) Donnez les tables de réduction en utilisant la procédure de partition (5 points)

Solution :

$$P_1 = (AG)(BL)(C)(D)(E)(F)(HK)(J), P_2 = (A)(G)(BL)(C)(D)(E)(F)(HK)(J) \text{ et } P_3 = P_2$$

La combinaison des rangées B et L sous le nom B et les lignes H et K sous le nom H conduit au tableau de réduction de la figure 9.33.

Present state	Next state				Output z
	$w_2w_1 = 00$	01	10	11	
A	(A)	F	C	—	0
B	A	(B)	—	H	1
C	G	—	(C)	D	0
D	—	F	—	(D)	1
E	G	—	(E)	D	1
F	—	(F)	—	H	0
G	(G)	B	J	—	0
H	—	B	E	(H)	1
J	G	—	(J)	—	0

Figure 9.33 Reduction obtained by using the partitioning procedure.

- b) Dessinez les diagrammes de fusion (10 points)

Solution :

Un diagramme de fusion pour ce tableau de flux est donné à la figure 9.34. Il indique que les lignes B et H doivent être fusionnées en la ligne B et nous l'étiquèterons B. Le diagramme de fusion suggère également que les lignes D et E doivent être fusionnées; Nous appellerons la nouvelle ligne D. Les lignes restantes présentent plus d'un choix pour fusionner. Les lignes A et F peuvent être fusionnées, mais dans ce cas, F et J ne peuvent pas être fusionnées. Les lignes C et J peuvent être fusionnées ou G et J peuvent être fusionnées.

Nous choisirons de fusionner les lignes A et F dans une nouvelle ligne appelée A et les lignes G et J dans une nouvelle ligne G. Le choix de la fusion est indiqué en bleu dans le diagramme. La table de réduction résultante est montrée à la figure 9.35. Pour voir si ce tableau offre d'autres possibilités de fusion, nous pouvons construire le diagramme de fusion de la figure 9.36. Dans ce diagramme, il est évident que les lignes C et G peuvent être fusionnées; Nous appelons la nouvelle ligne appelée C. Cela conduit au tableau de flux de la figure 9.37, qui ne peut plus être réduit.

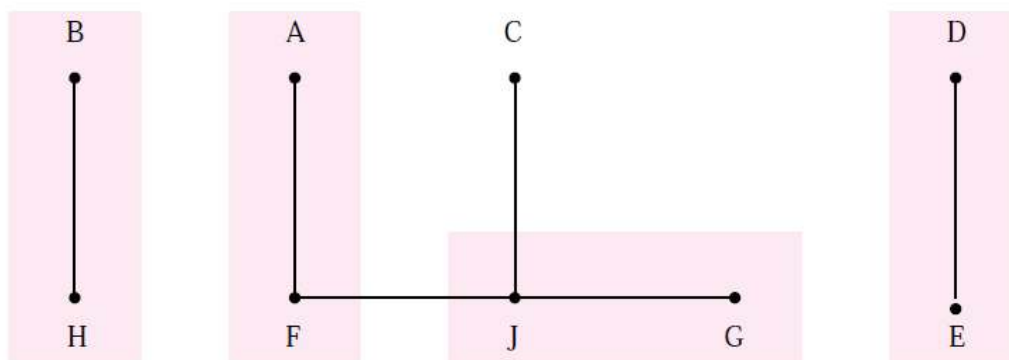


Figure 9.34 Merger diagram for Figure 9.33.

Present state	Next state				Output z
	$w_2w_1 = 00$	01	10	11	
A	(A)	(A)	C	B	0
B	A	(B)	D	(B)	1
C	G	—	(C)	D	0
D	G	A	(D)	(D)	1
G	(G)	B	(G)	—	0

Figure 9.35 Reduction obtained from the merger diagram in Figure 9.34.

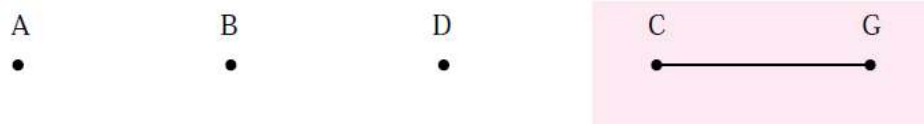


Figure 9.36 Merger diagram for Figure 9.35.

- c) Donnez la table de flux final **(5 points)**

Solution :

Cela conduit au tableau de flux de la figure 9.37, qui ne peut plus être réduit.

Present state	Next state				Output z
	$w_2w_1 = 00$	01	10	11	
A	\textcircled{A}	\textcircled{A}	C	B	0
B	A	\textcircled{B}	D	\textcircled{B}	1
C	\textcircled{C}	B	\textcircled{C}	D	0
D	C	A	\textcircled{D}	\textcircled{D}	1

Figure 9.37 Reduced flow table for Example 9.8.

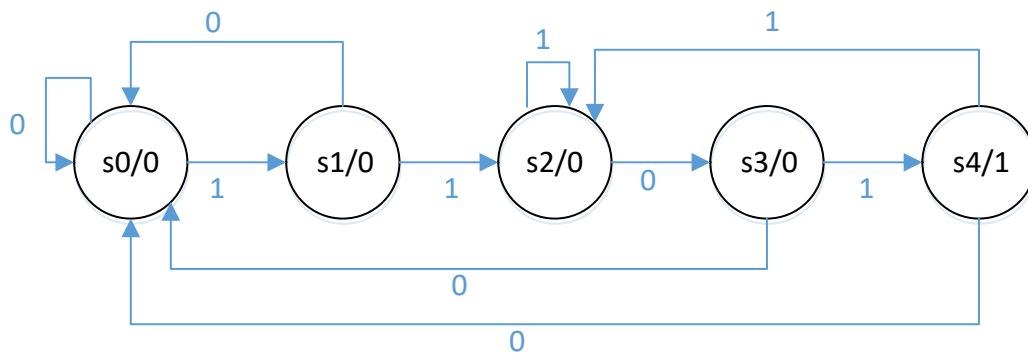
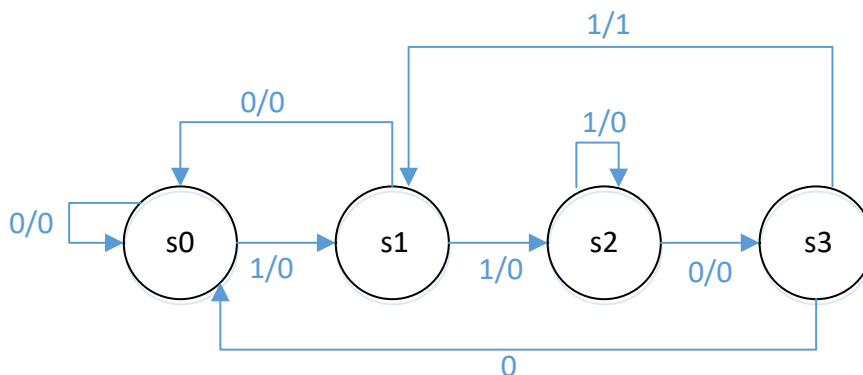
Question 6 (10 points)

- a) Quelle est la différence entre les machines à état fini (FSM) Mealy et Moore. Appuyez votre réponse par des exemples (diagrammes). **(3 points)**

Solution :

Pour distinguer ces deux machines à état fini, il est courant de dire que les circuits séquentiels dont les sorties dépendent uniquement de l'état du circuit sont de type Moore, alors que ceux dont les sorties dépendent à la fois de l'état et des entrées primaires sont de type Mealy.

Voici un exemple d'un diagramme d'état pour détecter la séquence 1101 avec les machines Moore et Mealy.

**La machine Moore****La machine Mealy**

- b) Décrivez la différence entre les hasards statiques et dynamiques. **(3 points)**

Solution :

Un hasard statique existe si un signal est supposé rester à une valeur logique quand une entrée change, cependant change momentanément des valeurs (nombre pair de changements)



Un hasard dynamique existe si un signal oscille en valeur passant de 0 à 1 ou de 1 à 0 (nombre impair de changements)



- c) Définissez une nette différence entre les systèmes synchrones et asynchrones. **(4 points)**

Solution :

Les systèmes ou circuits séquentiels synchrones représentés par des bascules sont commandés par une horloge. L'horloge est un signal périodique composé d'impulsions. Des changements d'état peuvent se produire sur le bord positif ou négatif de chaque impulsion d'horloge. Puisqu'ils sont commandés par des impulsions, on dit que les circuits séquentiels synchrones fonctionnent en mode impulsionnel.

Dans un circuit séquentiel asynchrone, les changements d'état ne sont pas déclenchés par des impulsions d'horloge. Pour ce faire, les changements d'état dépendent du fait que chacune des entrées du circuit a le niveau logique 0 ou 1 à un instant donné. Pour obtenir un fonctionnement fiable, les entrées du circuit doivent changer de manière spécifique.

Fin de l'examen