

CEG 3555: Systèmes Numériques II
(Automne 2023)

Prof. Rami Abielmona

Devoir #4: *Circuits Asynchrones*

03 Novembre, 2023

Objectif and Date Due

L'objectif de ce devoir est de démontrer une compréhension de circuits asynchrones. La date due de ce devoir est **Lundi 20 Novembre, 2023 à 20:00**, et doit être soumis sur Brightspace.

Question I

Cette question se concerne avec les technologies de réalisation de circuits numériques. Les parties a, b et c sont questions B.38, B.40 et B.46 de votre manuel.

Partie a

Démontrez comment la fonction $f_1(x_1, x_2, x_3) = \sum m(1, 2, 4, 7)$ peut être réalisé en PLA du type démontré en figure B.71 de votre manuel. Dessinez une image d'un tel PLA programmé pour réaliser f_1 . Le PLA devrait avoir les entrées x_1, \dots, x_3 ; les termes de somme S_1, \dots, S_4 ; et les sorties f_1 et f_2 .

Partie b

Répétez la partie a en utilisant le style de PLA démontré en figure B.38 de votre manuel

Partie c

Donné la fonction $f = x_1 \cdot x_2 \cdot x_4 + x_2 \cdot x_3 \cdot \overline{x_4} + \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3}$, une réalisation directe dans un FPGA avec des LUTs à trois entrées exige quatre LUTs. Montrez comment il peut être fait en utilisant seulement 3 LUTs à trois entrées. Marquez

le rendement de chaque LUT avec une expression représentante la fonction de logique qu'elle réalise.

Question II

Cette question se concerne avec la minimisation et attribution de tables d'écoulement. La partie a est question 9.5 de votre manuel.

Partie a

Trouvez une attribution d'état appropriée en utilisant le nombre d'états le plus petit possible et dérivez les expressions de variable de prochain-état et de sortie de système pour la table d'écoulement en figure 9.42 et reproduite ci-dessous en figure 1.

| Present state | Next state | | | | Output z | | | |
|---------------|----------------|-----|-----|-----|------------|----|----|----|
| | $w_2 w_1 = 00$ | 01 | 10 | 11 | 00 | 01 | 10 | 11 |
| A | (A) | B | D | (A) | 0 | — | 1 | 1 |
| B | C | (B) | (B) | D | 0 | 1 | 0 | 0 |
| C | (C) | (C) | B | A | 0 | 1 | 0 | 1 |
| D | A | C | (D) | (D) | — | — | 1 | 0 |

Figure 1: Table d'écoulement de question IIa

Partie b

La table d'écoulement démontrée en table 1 est pour un circuit séquentiel asynchrone. Pour cette table, determinez une attribution d'état impliquant un nombre minimum de variables qui permet une réalisation exempte de courses critiques. Puis, construisez la table correspondante d'excitation. Assignez les sorties en cas de besoin tels qu'il y a tout au plus un changement simple de sortie pendant le temps où le réseau est instable. On suppose que les entrées x_1 et x_2 ne changent jamais au même temps. Finalement, obtenez les expressions de coût-minimum pour la réalisation du circuit en utilisant des verrous de type S-R.

| Présent état y_1y_0 | Prochain état | | | | Rendement | | | |
|-----------------------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|
| | $x_1x_0 = 00$ | $x_1x_0 = 01$ | $x_1x_0 = 10$ | $x_1x_0 = 11$ | $x_1x_0 = 00$ | $x_1x_0 = 01$ | $x_1x_0 = 10$ | $x_1x_0 = 11$ |
| | Y_1Y_0 | Y_1Y_0 | Y_1Y_0 | Y_1Y_0 | z | $z1$ | z | z |
| A | (A) | (A) | D | (A) | 0 | 0 | - | 0 |
| B | (B) | A | C | - | 1 | - | - | - |
| C | B | (C) | (C) | (C) | - | 1 | 1 | 1 |
| D | A | - | (D) | C | - | - | 0 | - |

Table 1: Table d'écoulement de question IIb

Question III

Cette question se concerne avec la méthode FSM pour les circuits séquentiels asynchrones. Elle est question 9.21 de votre manuel.

Dans l'exemple 9.21 (pages 592-593) du manuel, on a conçu un circuit qui replie chaque deuxième impulsion sur l'entrée w comme impulsion sur la sortie z . Concevez un circuit semblable qui replie chaque troisième impulsion. Démontrez le diagramme d'état, la table d'écoulement, la table d'excitation et les expressions de conception pour le circuit final.

Question IV

Cette question se concerne avec les hasards statiques et dynamiques de circuits asynchrones.

Partie a

Pour le circuit logique en figure 2, supposez que le délai de propagation de chaque porte logique est égal, et que le réseau est dans l'état total $(x_1x_2, y) == (11, 1)$. Dessinez les diagrammes de synchronisation pour x_2 et les sorties des quatres portes logiques quand l'entrée x_2 change de valeur à '0'. Commentez sur le comportement du réseau logique.

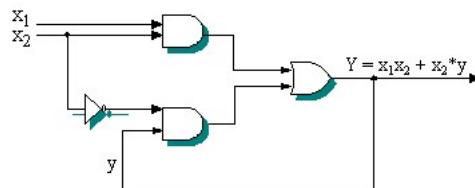


Figure 2: Circuit logique de question IVa

| Présent état y | <i>Prochain état</i> | | | |
|------------------------|----------------------|---------------|---------------|---------------|
| | $x_1x_2 = 00$ | $x_1x_2 = 01$ | $x_1x_2 = 10$ | $x_1x_2 = 11$ |
| | Y | Y | Y | Y |
| 0 | (0) | (0) | (0) | 1 |
| 1 | (1) | 0 | (1) | (1) |

Table 2: Table d'excitation de question IVa

Partie b

Pour le circuit logique en figure 3 $f(w, x, y, z)$, determinez tous les hasards-à-1 statiques et les hasards-à-0 statiques. Reconcevez le réseau pour être hasard-libre et ayant la même porte de rendement que dans la figure.

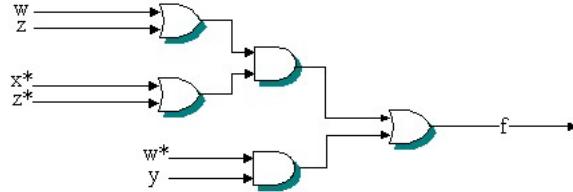


Figure 3: Circuit logique de question IVb

Partie c

Pour la table d'écoulement démontrée en table 3, supposez que la valeur d'une entrée change à la fois. Énumérez tous les hasards essentiels en énonçant les états internes initiaux, les états d'entrée initiaux, et les variables changeantes.

| Présent état y_1y_0 | <i>Prochain état</i> | | | |
|-----------------------------|----------------------|---------------|---------------|---------------|
| | $x_1x_2 = 00$ | $x_1x_2 = 01$ | $x_1x_2 = 10$ | $x_1x_2 = 11$ |
| | Y_1Y_0 | Y_1Y_0 | Y_1Y_0 | Y_1Y_0 |
| A | (A) | (A) | C | B |
| B | C | (B) | C | (B) |
| C | (C) | A | (C) | D |
| D | A | A | (D) | (D) |

Table 3: Table d'écoulement de question IVc