

CEG 3555: Systèmes Numériques II  
(Automne 2023)

Prof. Rami Abielmona

Solutions Possibles pour Devoir #5: *Dispositifs I/O et Tests Digitales*

06 Décembre, 2023

## Question I

Cette question se concerne avec les ensembles de test. Les parties a et b sont questions 11.2 et 11.4 de votre manuel.

### Partie a

Figure 1 représente le même circuit donné mais re-étiqueté pour faciliter les détections des défauts simples.

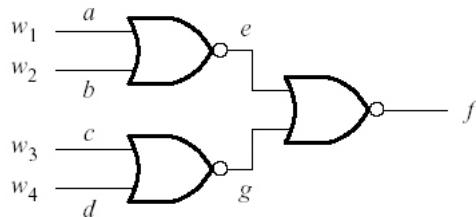


Figure 1: Circuit re-étiqueté

Vérifiez la table 2 pour obtenir les tests qui détecte tous les défauts simples du circuit. De la table, on peut voir qu'un ensemble de test minimal pour ce circuit est  $w_1w_2w_3w_4 = 0001, 0110, 1000$ , et 1001.

Test $w_1w_2w_3w_4$	Fault detected													
	$a/0$	$a/1$	$b/0$	$b/1$	$c/0$	$c/1$	$d/0$	$d/1$	$e/0$	$e/1$	$g/0$	$g/1$	$f/0$	$f/1$
0000														✓
0001		✓		✓					✓					✓
0010	✓			✓					✓					✓
0011	✓			✓					✓					✓
0100						✓		✓			✓			✓
0101			✓				✓			✓		✓	✓	
0110		✓			✓					✓		✓	✓	
0111		✓								✓			✓	
1000						✓		✓			✓			✓
1001	✓						✓			✓		✓	✓	
1010	✓					✓				✓		✓	✓	
1011	✓									✓			✓	
1100						✓		✓			✓			✓
1101							✓					✓	✓	
1110												✓	✓	
1111												✓	✓	

Figure 2: Table de défaut complète

### Partie b

Figure 3 représente le même circuit donné mais re-étiqueté pour faciliter les détections des défauts simples.

Chemin  $w_1 - a - d - f$  est sensibilisé par  $w_2w_3w_4w_5 = 111x$

Chemin  $w_2 - a - d - f$  est sensibilisé par  $w_1w_3w_4w_5 = 111x$

Chemin  $w_3 - b - c - d - f$  est sensibilisé par  $w_1w_2w_4w_5 = 0x11$

Chemin  $w_3 - b - e - f$  est sensibilisé par  $w_1w_2w_4w_5 = 1110$

Chemin  $w_4 - b - c - d - f$  est sensibilisé par  $w_1w_2w_3w_5 = 0x11$

Chemin  $w_4 - b - e - f$  est sensibilisé par  $w_1w_2w_3w_5 = 1110$

Chemin  $w_5 - e - f$  est sensibilisé par  $w_1w_2w_3w_4 = xx0x$

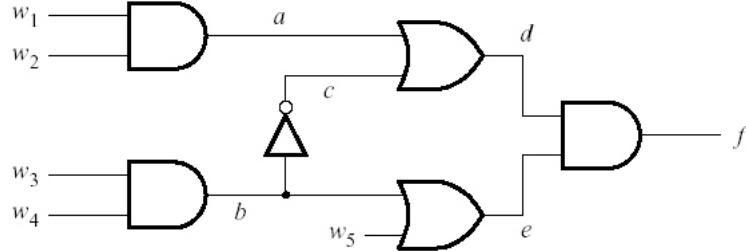


Figure 3: Circuit re-étiqueté

Puisqu'une donnée pour chaque chemin est nécessaire d'appliquer 0 et 1 pour faire les deux tests. Un ensemble de test minimal possible devient  $w_1w_2w_3w_4w_5 = 01111, 11110, 1011x, 0x011, 11010, 0x101$ , et 11100.

## Question II

Cette question se concerne avec les ensembles de test. Les parties a et b sont questions 11.6 et 11.13 de votre manuel.

### Partie a

- Test 0100 détecte  $w_1/1, c/1, d/1, w_4/1$ , et  $f/1$ .
- Test 1010 détecte  $b/0, d/0, w_3/0$ , et  $f/0$ .
- Test 0011 détecte  $f/0$ .
- Test 1111 détecte  $f/0$ .
- Test 0110 détecte  $w_1/1, w_2/1, b/1, c/1, d/1, w_4/1$ , et  $f/1$ .

Alors, 11 défauts simples différents ont été détectés par ces cinqs tests. Puisque le circuit contient huit fils, on peut avoir seize défauts simples. Donc, les tests couvrent 69% des défauts simples.

### Partie b

- Test 1100 détecte  $w_1/0, w_2/0, b/1, c/0, g/0, k/1$  et  $f/0$ .
- Test 0010 détecte  $w_4/1, b/0, c/0, g/1, h/0, k/0$ , et  $f/1$ .
- Test 0110 détecte  $w_1/1, w_4/1, b/0, c/0, g/1, h/0, k/0$  et  $f/1$ .

## Question III

Cette question se concerne avec les dispositifs I/O.

### Partie a

Premièrement, pour le bus synchrone, qui a des cycles de 50-ns. Les étapes et temps exigés pour le bus synchrone sont comme suit:

1. Envoyer l'adresse à la mémoire: 50 ns
2. Accéder la mémoire pour lire: 200 ns
3. Envoyer les données au dispositif I/O: 50 ns

Alors, le temps total est 300 ns. Cela nous donne une bande maximum de bus de 4 bytes chaque 300 ns, ou

$$\frac{4\text{bytes}}{300\text{ns}} = \frac{4MB}{0.3\text{secondes}} = 13.3 \frac{MB}{\text{seconde}}$$

À première vue, il pourrait être évident que le bus asynchrone sera beaucoup plus lent, puisqu'il prendra sept étapes, chacune au moins 40 ns, et l'étape correspondante à l'accès de mémoire prendra 200 ns. Si nous regardons la figure 4 soigneusement, nous nous rendons compte que plusieurs des étapes peuvent être recouvertes avec le temps d'accès de mémoire. En particulier, la mémoire reçoit l'adresse à la fin de l'étape 1 et n'a pas besoin de mettre les données sur le bus jusqu'au commencement de l'étape 5; les étapes 2, 3, et 4 peuvent recouvrir avec le temps d'accès de mémoire. Ceci mène à la synchronisation suivante:

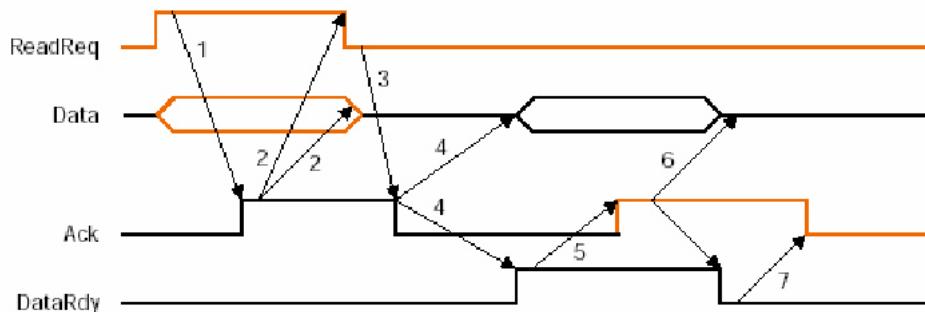


Figure 4: Diagramme de synchronisation d'un bus asynchrone

- Étape 1: 40 ns
- Étape 2, 3, 4: maximum (3 x 40 ns, 200 ns) = 200 ns
- Étape 5, 6, 7: 3 x 40 ns = 120 ns

Alors, le temps total pour accomplir le transfert est 360 ns, et la bande maximale est:

$$\frac{4\text{bytes}}{360\text{ns}} = \frac{4\text{MB}}{0.36\text{secondes}} = 11.1 \frac{\text{MB}}{\text{seconde}}$$

En conséquence, le bus synchrone est seulement environ 20% plus rapide. Naturellement, pour soutenir ces taux, le dispositif et le système de mémoire sur le bus asynchrone devront être assez rapides pour accomplir chaque étape de *handshaking* en 40 ns.

## Question de Boni

4 KHz =  $4*10^3$  samples/sec x 2 bytes/sample =  $8*10^3$  bytes/sec x 100 conversations =  $8*10^5$  bytes/sec. Temps de transmission par paquet est 1 KB/1 MB/sec = 1 milliseconde plus une latence de 350-microseconde pour un total de 0.00135 secondes. Le temps pour transmettre tous les 800 paquets collectés d'une seconde de surveillance est  $800 \times 0.00135 = 1.08$  secondes. Alors, le réseau choisi avec sa latence donnée ne possède pas une bande effective suffisante pour la tâche.

## Remerciements

Les réponses et figures liées aux questions du manuel sont tirées du manuel d'accompagnement de l'instructeur pour *Fundamentals of Digital Logic with VHDL Design* par Stephen Brown et Zvonko Vranesic.

La réponse liée à la troisième question est tirée du manuel d'accompagnement de l'instructeur pour *Computer Organization & Design: The Hardware/Software Interface* par David A. Patterson et John L. Hennessy.