

Laboratoire 1
Introduction à la conception logicielle Quartus II



CEG 2536 - Architecture des ordinateurs I

Université d'Ottawa

Professeur : Michel Saydé

Noms et numéros des étudiants :

Gbegbe Decaho Jacques 300094197

Fatme Adb-Ali 300047012

Date de soumission :

Liste des figures:

- figure 2 repris des instructions du laboratoire 1
- Figure 3 : Circuit simple d'un additionneur $S = A + B$ ainsi que sa retenue Cout
- Figure 4: diagramme de simulation de la figure 3
- Figure 5 : autre simulation de la figure 3
- Figure 6: autre simulation de la figure 3
- Figure 7 : diagrammes avec les broche assignés
- figure 8 : shema avec pins attribués
- Figure 9 : fait a la maison sans les pins

Liste des tableaux:

- tableau 1: prelab
- tableau 2 : tableau de vérité obtenue avec la simulation de la figure 3
- tableau 3: tableau de comparaison des résultats

Objectifs

- Se familiariser avec Altera Quartus II Software Design et en comprendre les bases.
- Réaliser des conceptions sur la carte Altera DE2-115 à travers la compilation, la simulation, le débogage et les tests.
- Implémenter des circuits logiques simples grâce à l'éditeur graphique Quartus.

Équipements & composantes

- Vmware Horizon (Labosetudiants)
- Logiciel Quartus II 64 bits
- Carte Altera DE2-115
- Clé USB drive

Introduction

Appréhender l'environnement de travail du logiciel Quartus nous est d'une grande importance car il permet grâce à l'éditeur graphique de concevoir aisément des circuits logiques. Ce premier laboratoire qui est une introduction à ce logiciel peut être considéré comme une manière facile pour les nouveaux utilisateurs de se familiariser avec ce dernier et une revue pour ceux qui l'ont déjà utilisé. Tout au long de ce laboratoire, nous allons donc utiliser Quartus afin de construire des circuits logiques et tester leurs fonctionnements.

PRELAB :

Dans le pré-lab, nous avons pu trouver sa table de vérité en dérivant son équation à partir de la figure donnée (voir ci-dessous).

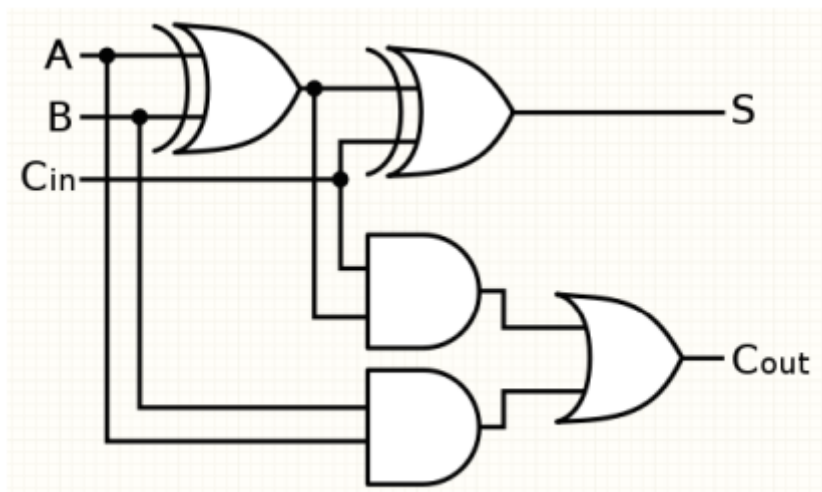


figure 2 : repris des instructions du laboratoire 1

2) Équation dérivé de la fonction logique implémentée dans la figure 2 est :

$$\begin{aligned} S &= (A \oplus B) \oplus \text{Cin} \\ &= (A'B + AB') \oplus \text{Cin} \end{aligned}$$

$$\begin{aligned} \text{Cout} &= [(A \oplus B) * \text{Cin}] + (A * B) \\ &= [(A'B + AB') * \text{Cin}] + (A * B) \end{aligned}$$

3) La dérivé de la table de vérité pour le circuit de la figure 2 est :

A	B	Cin	A*B	$A \oplus B$	$(A \oplus B) * Cin$	S	Cout
0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0
0	1	0	0	1	0	1	0
0	1	1	0	1	1	0	1
1	0	0	0	1	0	1	0
1	0	1	0	1	1	0	1
1	1	0	1	0	0	0	1
1	1	1	1	0	0	1	1

tableau 1: prelab

Conception

PARTIE I

Dans cette partie, nous avons implémenté un projet et conçu le circuit logique simple avec les portes ET, NAND et NOR à travers le logiciel QUARTUS II 13.0 sp1 (64 bits).

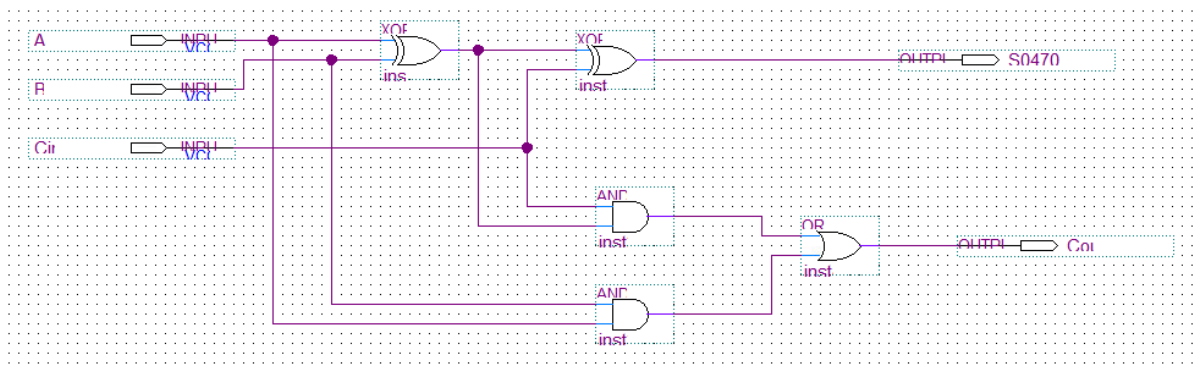


Figure 3 : Circuit simple d'un additionneur $S = A + B$ ainsi que sa retenue Cout

À la suite de ce montage, nous avons enregistré et compilé notre projet afin d'être sûr que nous n'avions pas fait d'erreur pendant le montage du circuit.

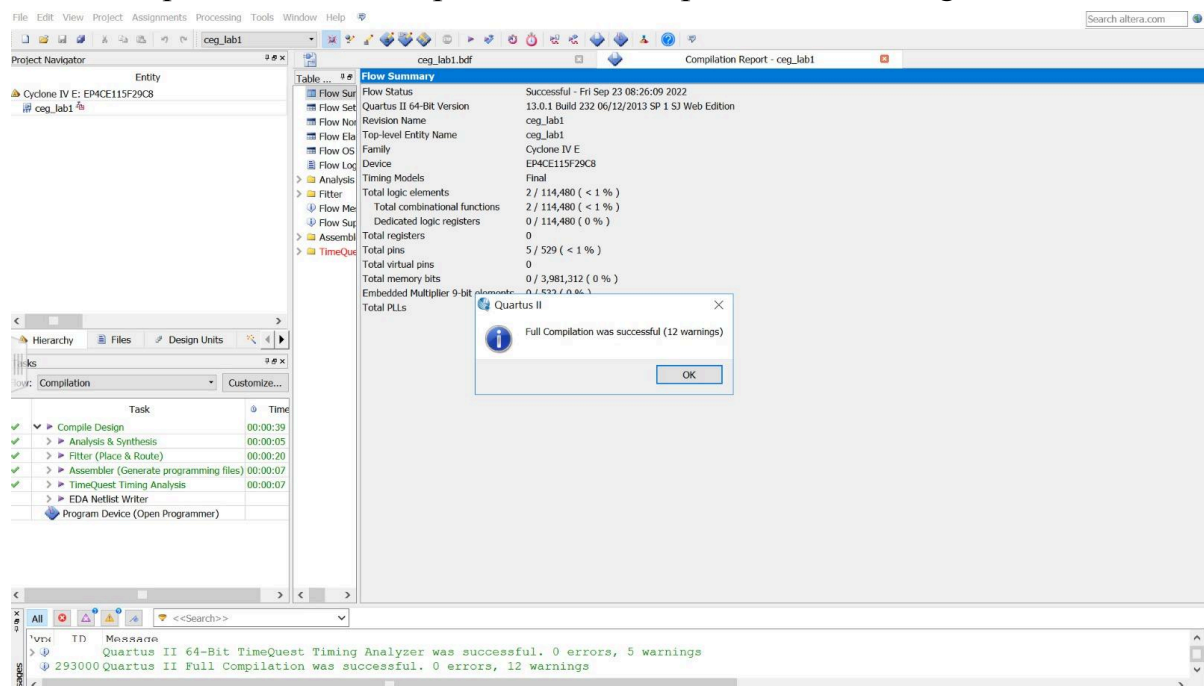


figure 4: compilation de la figure 3

PARTIE II

Dans cette partie nous avons simulé le projet et attribuer les pins à nos inputs et outputs.

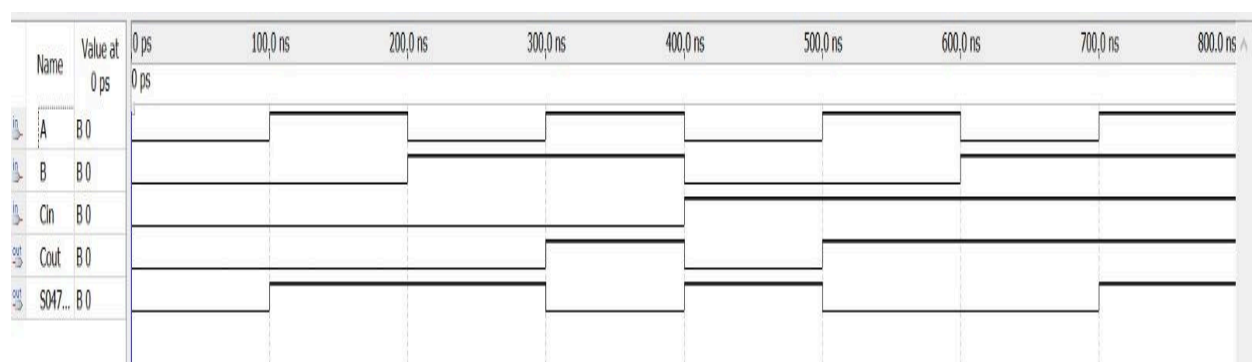


Figure 4: diagramme de simulation de la figure 3

Cette simulation(figure 4) montre que les résultats obtenus lors du pré lab ci-dessous sont corrects car elle concorde avec elle.

Tests exhaustifs

Grâce à la fonction Run Timing Simulation, nous nous sommes amusés à simuler avec différents intervalles de temps afin d'observer les changements que subit le circuit au cours de ses scénarios.

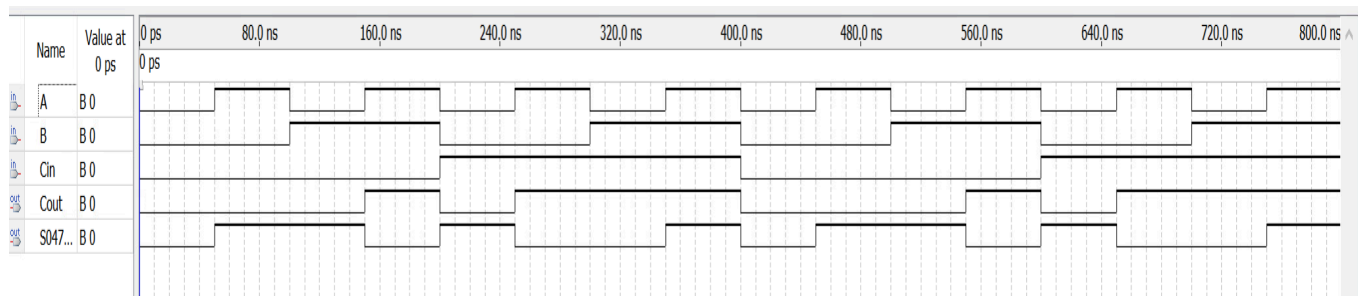


Figure 5 : autre simulation de la figure 3

La figure 5 est sur un intervalle de [0 ; 800 ns]. Les résultats sur une longue période montrent les variations multiples et distinctes de toutes les entrées et les sorties de ce circuit. Nous avons réalisé que cette figure est moins efficace à analyser car elle nous montre plus de résultats que nécessaire en cause de la configuration des intervalles de chaque input.

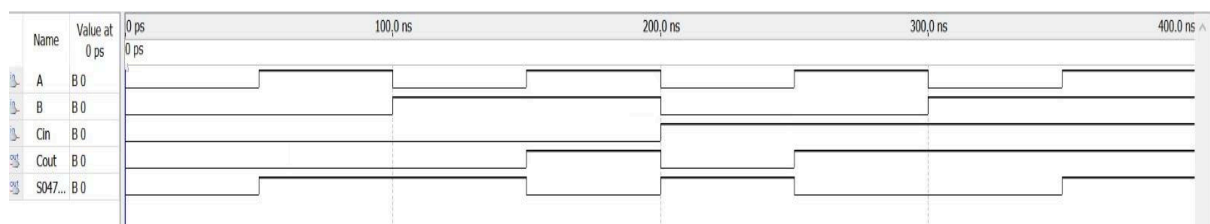


Figure 6: autre simulation de la figure 3

La figure 6 est sur un intervalle de [0 ; 400 ns]. On voit plus clairement le résultat de l'interaction entre les différents composants.

La table de vérité obtenu

Entrées obtenus			Résultats observées	
A	B	Cin	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

tableau 2 : tableau de vérité obtenue avec la simulation de la figure 3

Attributions des pins

Après toutes ses étapes, nous avons assigné les pins à partir de la plateforme Waveform Editor fourni avec le logiciel QuARTUS. Nous avons pu insérer les broches de notre circuit à un diagramme pour nous permettre de simuler notre projet.

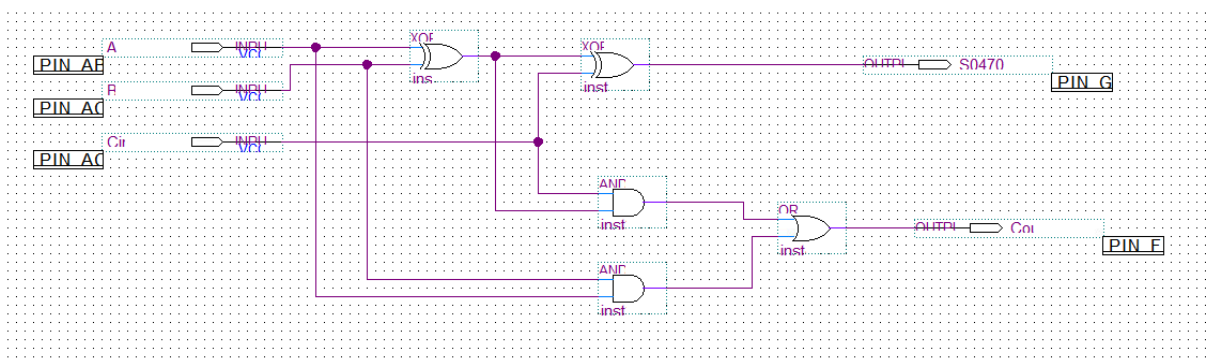


Figure 7 : diagrammes avec les broche assignés

PARTIE III ET PARTIE III.I

Durant la partie III nous avons téléchargé notre projet sur la carte DE2-115 et vérifié les résultats. Nous avons aussi dessiné, simulé et attribuer des pins a la figure 8 ci-dessous.

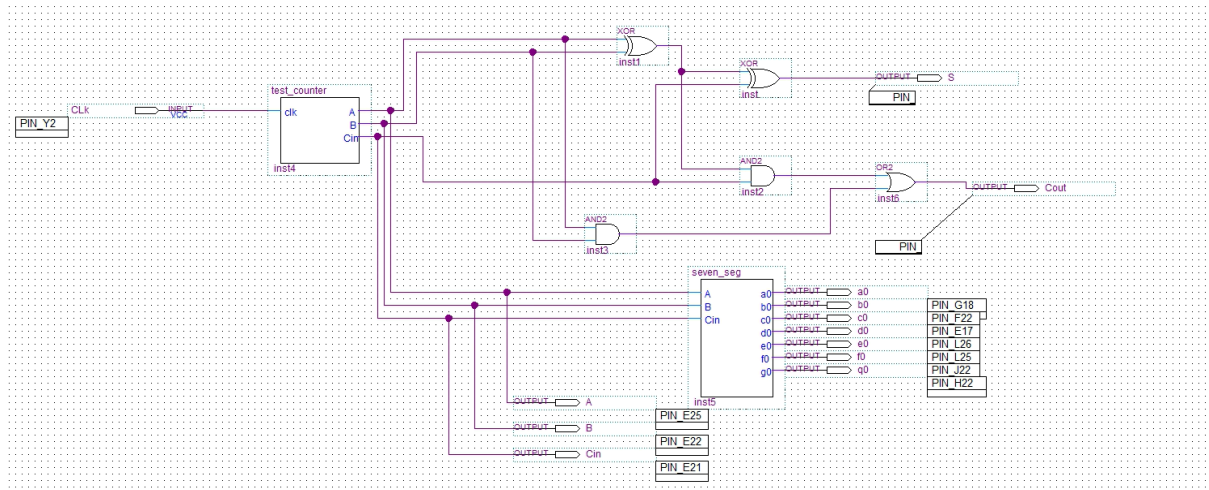


figure 8 : shema avec pins attribués

La figure 8 a été dessinée, compilée, simulée et vérifiée par un TA en classe lorsque nous ne savions pas encore qu'il fallait renommer le output "S" avec notre numéro étudiant. Nous avons essayé par la suite de la reproduire à la maison en ajoutant notre numéro étudiant au output "S" cependant, nous avons rencontré plusieurs complications avec la compilation sur Quartus à la maison. Nous avons quand même pris une photo de la partie III.I fait à la maison mais sans l'attribution des pins.

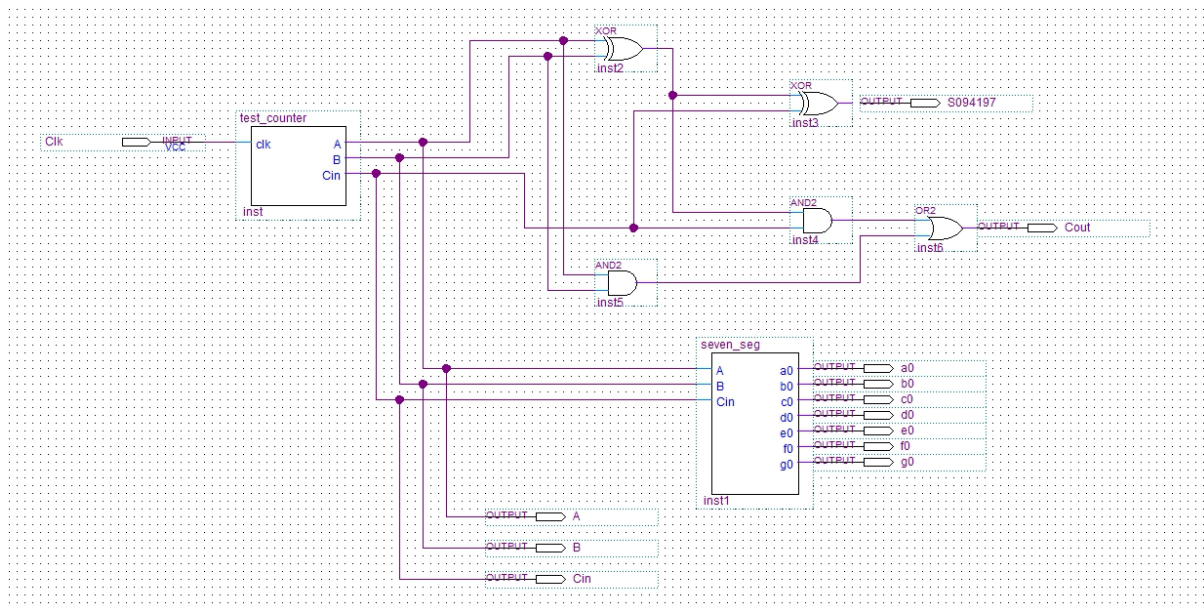


Figure 9 : fait a la maison sans les pins

Vérification des résultats:

Vérifications

Comparons les données obtenues après la simulation avec celles obtenues ci-dessous pendant la phase du pré-lab.

Entrées			Résultats obtenus		Résultats observées	
A	B	Cin	S	Cout	S	Cout
0	0	0	0	0	0	0
0	0	1	1	0	1	0
0	1	0	1	0	1	0
0	1	1	0	1	0	1
1	0	0	1	0	1	0
1	0	1	0	1	0	1
1	1	0	0	1	0	1
1	1	1	1	1	1	1

tableau 3: tableau de comparaison des résultats

Les données obtenues et observées à travers le tableau nous montrent que nos résultats sont identiques aux résultats théoriques auparavant trouvés dans le prélab.

Discussion et Conclusion:

Pour commencer, ce laboratoire nous a permis de rafraîchir nos connaissances en tout ce qui concerne le logiciel Quartus II. Nous pouvons dire que, en ce qui concerne la partie I et II, notre premier laboratoire du cours CEG2536 a été un succès car nos résultats obtenus concordent bien avec notre prélab et les résultats espérés. Nous avons réussi à créer un nouveau projet sur QUARTUS II, faire la conception avec l'éditeur graphique, modifier les noms des broches, faire la compilation de notre projet et faire la simulation de notre projet.

De plus, nous avons aussi attribué des pins à nos inputs et outputs et télécharger notre projet sur la carte DE2-115. Nous avons alors, pour la première fois, eu la chance de faire une vérification pratique de notre conception. Cela n'était pas possible pour nous auparavant à cause de la quarantaine qui nous empêchait de faire nos laboratoires en présentiel.

Cependant nous avons eu quelques complications avec le processus de sauvegarde sur un ordinateur du laboratoire. Nous avons perdu presque la totalité de nos fichiers sauvegardés en classe. Nous avons alors été obligés de recommencer notre laboratoire depuis le début à partir de notre maison. Cela a été plus compliqué que prévu car notre Quartus à la maison n'était pas super stable. En cause des complications, nous avons moins bien réussi la compilation et simulation de la partie III. Lorsque nous avons répété les étapes à la maison.

Pour conclure, nous avons bien apprécié ce laboratoire et l'expérience de le faire en présentiel avec la carte DE2-115. Ce premier laboratoire nous a permis de réviser des anciens concepts que nous avons déjà fait et nous a aussi initialisés à la carte DE2-115. Nous avons appris de nos erreurs de sauvegarde. Nous pouvons dire, que nous nous sentons plus à l'aise d'affronter le prochain laboratoire après cette expérience.

