

Université d'Ottawa
Faculté de génie

École de science informatique
et de génie électrique



University of Ottawa
Faculty of Engineering

School of Electrical Engineering
and Computer Science

CEG3536 – Architecture d'ordinateur II

Automne 2023

Professeur: Mohamed Ali Ibrahim, ing., Ph.D.

Exercices pour la préparation de l'examen final

Question 1

Un SCI transmet des données aux taux de bauds suivants. Le format est de huit bits de données, sans parité, un bit d'arrêt. Pour chaque cas, quel est le nombre maximum de caractères par seconde qui peuvent être transmis?

a) 56 kBaud

$$56\,000 \text{ bits/sec} * 1 \text{ caractère/10 bits} = 5600 \text{ caractères/sec.}$$

b) 9600 Baud

$$9600 \text{ bits/sec} * 1 \text{ caractère/10 bits} = 960 \text{ caractères/sec.}$$

Format d'une trame

- Un bit de départ
- Entre 5 et 8 bits de données (inversés)
- Un bit de parité (optionnel)
- Un ou deux bits d'arrêt
- Encodage NRZ (Non-Return-to-Zero) du microcontrôleur ($5V = 1$, $0V = 0$)
- Sur interface EIA-232, l'encodage est inversé ($12V = 0$, $-12V = 1$)
- Exemple démontre: 1 bit de départ, 8 bits de données, aucun bit de parité et 2 bits d'arrêt

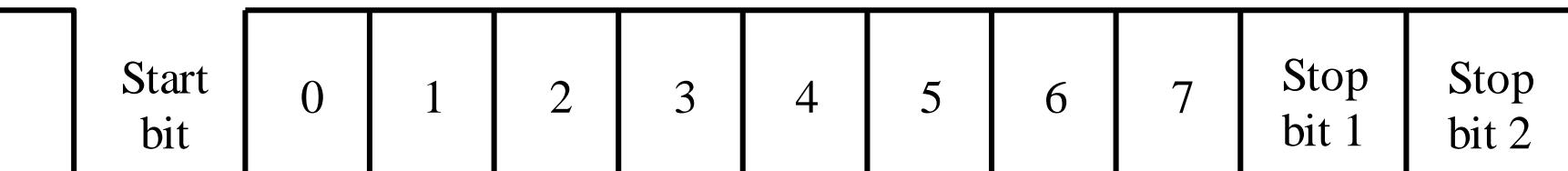


Figure 9.4 The format of a character

Question 2

Le signal d'entrée vers l'A/D est unipolaire et varie entre zéro et trois volts. Le concepteur matériel du système a défini $VRH = 5 \text{ V}$ et $VRL = 0$. Quelle est la résolution de la conversion en supposant un convertisseur 8 bits? Un convertisseur 10 bits?

Solution :

La résolution 8 bits est $(VRH - VRL)/256 = 19,5 \text{ mV}$.

La résolution 10 bits est $(VRH - VRL)/1024 = 4,88 \text{ mV}$.

Après avoir lu le livre de données sur le M68HCS12 A/D, le concepteur du système se rend compte que VRH doit être réglé sur le signal maximal. Après cela, quelle est la résolution de la mesure?

Solution :

La résolution 8 bits est maintenant $3/256 = 11.7 \text{ mV}$,
et la résolution 10 bits est $3/1024 = 2.9 \text{ mV}$.

Question 3

Calculer la fréquence de Nyquist pour une horloge A/D de 1 MHz, un temps d'échantillonnage final de quatre périodes d'horloge A/D et une conversion de 8 bits.

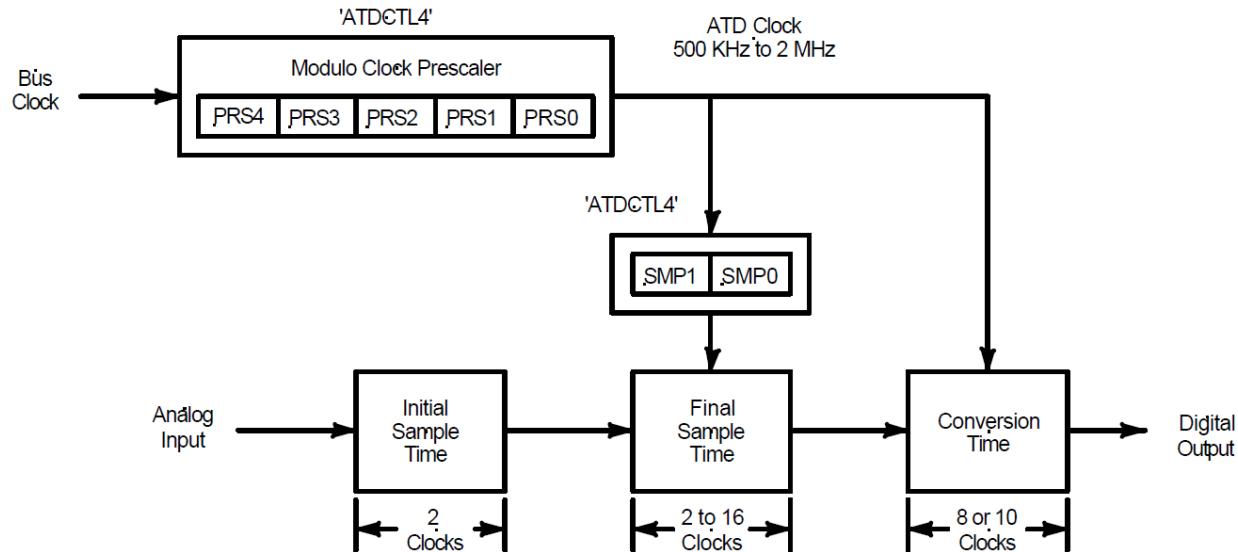


Figure 16-2 A/D sample and conversion timing.

Solution :

Le temps de conversion total est $(2 + 4 + 8) * 1 \mu\text{s} = 14 \mu\text{s}$

La fréquence maximale de conversion est de $1/(14 \mu\text{s}) = 71.4 \text{ kHz}$

La fréquence de Nyquist est de $71.4 \text{ kHz}/2 = 35.7 \text{ kHz}$

Question 4

L'A/D doit être programmé pour convertir en continu une séquence à quatre conversions du canal 3 en mode monocanal. Comment les bits S8C, S4C, S2C, S1C, SCAN, MULT et CC - CA doivent-ils être initialisés ?

Solution: S8C, S4C, S2C, S1C = 0100, SCAN = 1, MULT = 0, et CC, CB CA = 011.

S8C:S1C

Conversion Sequence Length

These bits control the number of conversions per sequence. At reset, S4C is set to 1 (sequence length is four) to maintain software continuity with earlier members of the HC12 family.

Table 16-2 Conversion Sequence Length Coding

				Number of Conversions per Sequence
S8C	S4C	S2C	S1C	
0	0	0	0	8
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4 (default)
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	8

CC, CB, CA

Analog Input Channel Select Code

These bits select the analog input channel(s) that are sampled and converted to digital codes. When MULT=0 and a single channel is to be converted, this selection code specifies the channel to be selected. When MULT=1, the selection code represents the first channel to be converted in the conversion sequence. Subsequent channels are determined by incrementing the channel selection code to the maximum channel number when the code wraps to the minimum value.

Table 16-9 Analog Input Channel Select Coding

CC	CB	CA	Analog Input Channel
0	0	0	AN0
0	0	1	AN1
0	1	0	AN2
0	1	1	AN3
1	0	0	AN4
1	0	1	AN5
1	1	0	AN6
1	1	1	AN7

SCAN

Continuous Conversion Sequence Mode

0 = Single conversion sequence (default).

1 = Continuous conversion sequences (scan mode).

This bit selects whether conversion sequences are performed continuously or only once.

Question 5

Trouvez la valeur du registre ATDCTL4 si nous voulons que Fbus soit divisé par 24, 16 horloges pour l'échantillon final et une résolution de 10 bits.

Solution

Prescale Value	Total Divisor Value	Max. Bus Clock ¹	Min. Bus Clock ²
00000	divide by 2	4 MHz	1 MHz
00001	divide by 4	8 MHz	2 MHz
00010	divide by 6	12 MHz	3 MHz
00011	divide by 8	16 MHz	4 MHz
00100	divide by 10	20 MHz	5 MHz
00101	divide by 12	24 MHz	6 MHz
00110	divide by 14	28 MHz	7 MHz
00111	divide by 16	32 MHz	8 MHz
01000	divide by 18	36 MHz	9 MHz
01001	divide by 20	40 MHz	10 MHz
01010	divide by 22	44 MHz	11 MHz
01011	divide by 24	48 MHz	12 MHz
01100	divide by 26	52 MHz	13 MHz
01101	divide by 28	56 MHz	14 MHz
01110	divide by 30	60 MHz	15 MHz
01111	divide by 32	64 MHz	16 MHz
10000	divide by 34	68 MHz	17 MHz
10001	divide by 36	72 MHz	18 MHz
10010	divide by 38	76 MHz	19 MHz
10011	divide by 40	80 MHz	20 MHz
10100	divide by 42	84 MHz	21 MHz
10101	divide by 44	88 MHz	22 MHz
10110	divide by 46	92 MHz	23 MHz
10111	divide by 48	96 MHz	24 MHz
11000	divide by 50	100 MHz	25 MHz
11001	divide by 52	104 MHz	26 MHz
11010	divide by 54	108 MHz	27 MHz
11011	divide by 56	112 MHz	28 MHz
11100	divide by 58	116 MHz	29 MHz
11101	divide by 60	120 MHz	30 MHz
11110	divide by 62	124 MHz	31 MHz
11111	divide by 64	128 MHz	32 MHz

Résolution: SRES8 : Control de mode 8 Bits:

0: résolution de 10 bits,

1: résolution de 8 bits

Prescaler = divided by 24: 01011

Réponse finale: 0110101

7	6	5	4	3	2	1	0
SRES8	SMP1	SMP0	PRS4	PRS3	PRS2	PRS1	PRS0
0	0	0	0	0	1	0	1

Reset: SRES8: ATD resolution select bit
0 = 10-bit operation.

1 = 8-bit operation.

SMP1 and SMP0: select sample time bits

These bits are used to select the length of the second phase of the sample time in units of ATD conversion clock cycles. See Table 12.2.

PRS4–PRS0: ATD clock prescaler bits

These 5 bits are the binary value prescaler value PRS. The ATD conversion clock frequency is calculated as follows:

$$\text{ATDclock} = \frac{\text{E-clock}}{\text{PRS} + 1} \times 0.5$$

The ATD conversion frequency must be between 500 kHz and 2 MHz. The clock prescaler values are shown in Table 12.3.

Figure 12.11 ■ ATD control register 4 (ATDxCTL4, x = 0 or 1)

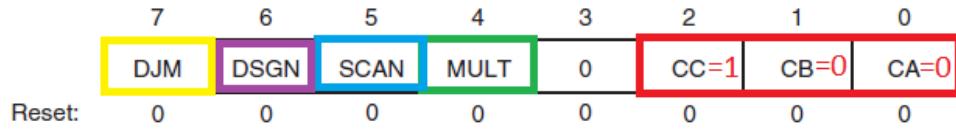
Table 3-5 Sample Time Select

SMP1	SMP0	Length of 2nd phase of sample time
0	0	2 A/D conversion clock periods
0	1	4 A/D conversion clock periods
1	0	8 A/D conversion clock periods
1	1	16 A/D conversion clock periods

Question 6

Trouvez la valeur du registre ATDCTL5 si nous voulons le canal 4, non signé, SCAN = 0, une conversion à canal unique et une sortie justifiée à gauche.

Solution



DJM: result register data justification

0 = left-justified data in the result registers.

1 = right-justified data in the result registers.

DSGN: result register data signed or unsigned representation

0 = unsigned data representation in the result registers.

1 = signed data representation in the result registers (not available in right justification).

SCAN: enable continuous channel scan bit

0 = single conversion sequence.

1 = continuous conversion sequences (scan mode).

MULT: enable multichannel conversion bit

0 = sample only one channel.

1 = sample across several channels.

CC, CB, and CA: channel select code

The channel selection is shown in Table 12.4.

Réponse finale: 00000100

Figure 12.12 ■ ATD control register 5 (ATDxCTL5, x = 0 or 1)

Question 7

L'ATD doit être programmé pour convertir une séquence de 8 conversions du canal 7 en mode monocanal. Comment doivent être initialisés les bits S8C-S1C, SCAN, MULT et CC-CA?

Solution

S8C:S1C				
Conversion Sequence Length				
These bits control the number of conversions per sequence. At reset, S4C is set to 1 (sequence length is four) to maintain software continuity with earlier members of the HC12 family.				
Table 16-2 Conversion Sequence Length Coding				
S8C	S4C	S2C	S1C	Number of Conversions per Sequence
0	0	0	0	8
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4 (default)
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	8

SCAN		
Continuous Conversion Sequence Mode		
0 = Single conversion sequence (default).		
1 = Continuous conversion sequences (scan mode).		
This bit selects whether conversion sequences are performed continuously or only once.		

CC, CB, CA			
Analog Input Channel Select Code			
These bits select the analog input channel(s) that are sampled and converted to digital codes. When MULT=0 and a single channel is to be converted, this selection code specifies the channel to be selected. When MULT=1, the selection code represents the first channel to be converted in the conversion sequence. Subsequent channels are determined by incrementing the channel selection code to the maximum channel number when the code wraps to the minimum value.			
Table 16-9 Analog Input Channel Select Coding			
CC	CB	CA	Analog Input Channel
0	0	0	AN0
0	0	1	AN1
0	1	0	AN2
0	1	1	AN3
1	0	0	AN4
1	0	1	AN5
1	1	0	AN6
1	1	1	AN7

Réponse finale: S8C-S1C=1100; SCAN=0; MULT=0; and CC-CA=111

Question 8

Choisissez les valeurs des registres PWMDTY0 et PWMPER0 pour générer une forme d'onde PWM sur le canal PWM 0 avec une période de 100 us et un rapport cyclique élevé aligné à gauche de 25 us. Supposez que l'horloge du bus soit de 8 MHz, sélectionnez l'horloge A comme source d'horloge pour PWM0 et réglez son prescaler sur 4.

Solution:

$$\text{PWMPER0} = \text{clock A} / (\text{PWM0 fréquence} * 4)$$

$$\text{PWMPER0} = 8\ 000\ 000 / 4 * 100 * 10^{-6} = 200; 25/100 = 0.5; \text{PWMDTY0} = \text{PWMPER0} * 0.25 = 50$$

Question 9

Pour obtenir un retard de 100 us, quel nombre doit être chargé dans le registre TC4 sans utiliser de prescaler (prescaler = 1) ? Supposons que l'horloge du bus soit de 24 MHz.

Solution:

$$100 * 10^{-6} * 24\ 000\ 000 = 2400$$

Question 10

Supposons que ClockSB = 10 kHz. Trouvez la valeur des registres PWMPERx et PWMMDTYx si nous voulons une fréquence PWMx de 50 Hz avec un rapport cyclique de 60%.

Solution:

$$\text{PWMPERx} = 1/50 \times 10\,000 = 200;$$

$$\text{PWMMDTYx} = 200 \times 60\% = 120$$

Question 11

Calculez la sortie D0-D9 pour un HCS12 ATD si l'entrée analogique est de 700 mV. Supposez que VHREF=1,023V et VLREF=0V.

Solution:

$$Vin = 0.7V$$

$$VHREF=1.023V$$

1. Pour D9: $V1 = \frac{VHREF}{2} = \frac{1.023}{2} = 0.5115$, $V1 < Vin = 0.7 \Rightarrow 1$
2. Pour D8: $V2 = V1 + 1.023/2^2 = 0.5115 + 1.023/2^2 = 0.76725$, $V2 > Vin = 0.7 \Rightarrow 0$
3. Pour D7: $V3 = V1 + 1.023/2^3 = 0.5115 + 1.023/2^3 = 0.639\ 375$, $V3 < Vin = 0.7 \Rightarrow 1$
4. Pour D6: $V4 = V3 + 1.023/2^4 = 0.639\ 375 + 1.023/2^4 = 0.703\ 312\ 5$, $V4 > Vin = 0.7 \Rightarrow 0$
5. Pour D5: $V5 = V3 + 1.023/2^5 = 0.639\ 375 + 1.023/2^5 = 0.671\ 343\ 75$, $V5 < Vin = 0.7 \Rightarrow 1$
6. Pour D4: $V6 = V5 + 1.023/2^6 = 0.671\ 343\ 75 + 1.023/2^6 = 0.687\ 328\ 125$, $V6 < Vin = 0.7 \Rightarrow 1$
7. Pour D3: $V7 = V6 + 1.023/2^7 = 0.687\ 328\ 125 + 1.023/2^7 = 0.695\ 320\ 312\ 5$, $V7 < Vin = 0.7 \Rightarrow 1$
8. Pour D2: $V8 = V7 + 1.023/2^8 = 0.695\ 320\ 312\ 5 + 1.023/2^8 = 0.699\ 308\ 75$, $V8 < Vin = 0.7 \Rightarrow 1$
9. Pour D1: $V9 = V8 + 1.023/2^9 = 0.699\ 308\ 75 + 1.023/2^9 = 0.701\ 306\ 797$, $V9 > Vin = 0.7 \Rightarrow 0$
10. Pour D0: $V10 = V8 + 1.023/2^9 = 0.699\ 308\ 75 + 1.023/2^{10} = 0.700\ 307\ 773$, $V10 > Vin = 0.7 \Rightarrow 0$

D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	0	1	1	1	1	0	0

Question 12

Après avoir exécuté le code suivant, quelles sont les fréquences de l'horloge A et du PWM de sortie? Supposez une horloge de bus de 24 MHz.

```
movb #0, PWMCLK  
movb #1, PWMPOL  
movb #7, PWMPRCLK  
movb #1, PWMCAE  
movb #0C, PWMCTL  
movb #75, PWMPERO  
movb #45, PWMDTY0  
bset PWME, PWME0
```

Solution:

$$\text{clockA} = 24\ 000\ 000 / 128 = 187\ 500 \text{ Hz}$$
 (7, PWMPRCLK)

$$\text{PWMPERO} = 75$$

$$\text{PWMCAE} = 1$$

	7	6	5	4	3	2	1	0
Reset:	0	0	0	0	0	0	0	0

CAEx: center-aligned enable bit for channel x

0 = PWM channel x output is left aligned.

1 = PWM channel x output is center aligned.

Figure 8.46 ■ PWM Center Align Enable register (PWMCAE)

$$\text{Fréquence PWM0} = \text{clockA} / (2 \times \text{PWMPERO}) = 187\ 500 \text{ Hz} / (2 \times 75) = 1\ 250 \text{ Hz}$$

Question 13

En supposant que l'horloge du bus est de 8 MHz et que nous générions une onde carrée sur la broche PB7, trouvez la fréquence d'onde carrée la plus basse que nous pouvons générer en utilisant l'interruption de débordement du compteur TCNT.

Solution

$$F_{clock} = 8/128 = 0.0625 \text{ MHz}$$

$$T_{clock} = 1/0.0625 \text{ micro sec.}$$

$$\text{Période de sortie} = 2 * T_{clock} * 65536 = 2.097 \text{ sec.}$$

$$\text{Sortie F} = 1/\text{période} = 0.47 \text{ Hz}$$