

CEG 3555: Systèmes Numériques II
(Automne 2023)

Prof. Rami Abielmona

Devoir #5: *Dispositifs I/O et Tests Digitales*

20 Novembre, 2023

Objectif and Date Due

L'objectif de ce devoir est de démontrer une compréhension de dispositifs I/O et tests digitales. La date due de ce devoir est **Lundi 04 Décembre, 2023 à 20:00**, et doit être soumis sur Brightspace.

Question I

Cette question se concerne avec les ensembles de test. Les parties a et b sont questions 11.2 et 11.4 de votre manuel.

Partie a

Dérivez une table semblable à la figure 11.1b dans votre manuel pour le circuit démontré en figure 1 pour montrer la couverture du divers *collé-à-0* et *collé-à-1* par les huit tests possibles. Trouvez un ensemble de test minimal pour ce circuit.

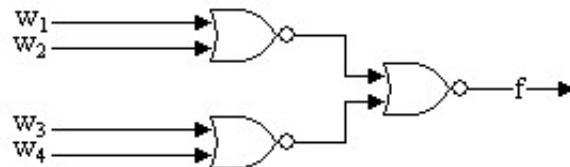


Figure 1: Circuit de question Ia

Partie b

Considérez le circuit en figure 2. Sensibilisez chaque chemin dans ce circuit pour obtenir un ensemble de test complet qui comporte un nombre de test minimal.

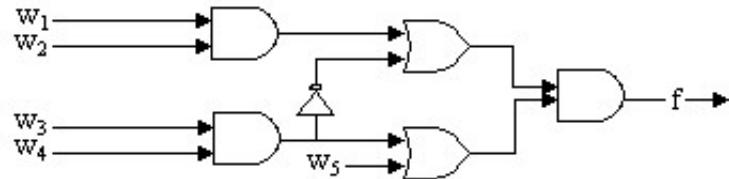


Figure 2: Circuit de question Ib

Question II

Cette question se concerne avec les ensembles de test. Les parties a et b sont questions 11.6 et 11.13 de votre manuel.

Partie a

Supposez que les tests $w_1w_2w_3w_4 = 0100, 1010, 0011, 1111$, et 0110 sont choisi au hasard pour tester le circuit en figure 3. Quel pourcentage d'erreurs simples sont détectés en employant ces tests ?

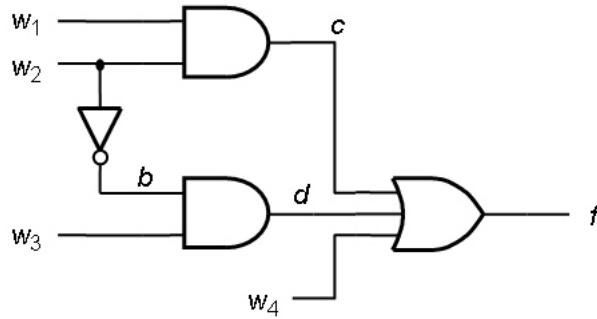


Figure 3: Circuit de question IIa

Partie b

Énumérez tous les défauts simples dans le circuit en figure 4 qui peuvent être détectés en employant chacun des tests $w_1w_2w_3w_4 = 1100, 0010$, et 0110 .

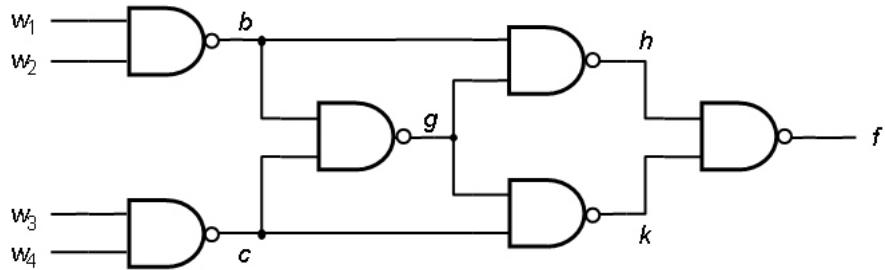


Figure 4: Circuit de question IIb

Question III

Cette question se concerne avec les dispositifs I/O.

On veut comparer la bande maximale pour un bus synchrone et un bus asynchrone. Le bus synchrone a un cycle d'horloge égal à 50 ns, et chaque transmission de bus prend un cycle d'horloge. Le bus asynchrone exige 40 ns pour chaque poignée de main (handshake). La portion de données de chaque bus est d'une largeur de 32 bits. **Trouvez la bande pour chaque bus en exécutant des lectures d'un mot d'une mémoire à 200 ns.** Utilisez le procédé suivant pour une lecture sur un bus synchrone: (i) envoi de l'adresse, (ii) lecture de la mémoire, et (iii) envoi des données au dispositif. Par contre, utilisez le diagramme de synchronisation en figure 5 pour une lecture sur un bus asynchrone.

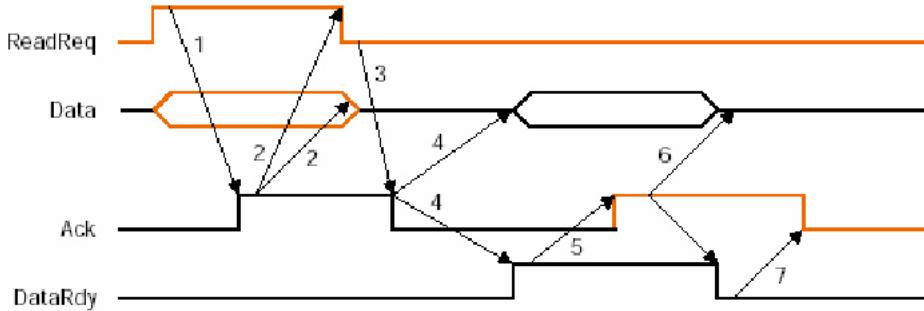


Figure 5: Diagramme de synchronisation d'un bus asynchrone

Question de Boni

Un organisme gouvernemental secret surveille simultanément 100 conversations téléphoniques cellulaires et multiplexe les données sur un réseau avec une bande de 1 MB/sec et une latence aérienne de $350 \mu s$ par message 1-KB. Calculez le temps de transmission par message et determinez s'il y a largeur de bande suffisante pour soutenir cette application. Supposez que les données de conversation téléphonique se composent de 2 bytes prélevés à un taux de 4 KHZ.