GT高速收发器

Gigabit Transceiver（千兆比特收发器），用于传输高速串行数据，速率单位是Gb/s，由FPGA的固定引脚传输，属于硬核资源。

FPGA的普通引脚（LVDS、CMOS、TTL等），可以跑一些低速协议（UART、IIC、SPI等），但是随着引脚传输速率的增大，普通I/O口会导致（1）数据传输过快而FPGA内部延迟相对过大和（2）频率过快而使时钟和数据无法对齐的现象，这些都限制了普通I/O更快的传输数据。

基于此，设计了GT高速首发器，专门用于传输高速串行数据，FPGA所有的高速协议都是基于GT收发器设计的。在GT收发器中使用8B/10B协议，将8位数据编码为10位，这样既可以保质传输数据流中0和1的概率相当又可以在高速数据流中镶嵌随路时钟，避免因为频率过高（2.5GHz以上）的随路时钟而造成的噪声和布线困难。

FPGA芯片不是所有BANK都有GT资源，但是有GT资源的BANK都有四个GT高速收发器，被称为一个QUAD，对于每个GT收发器，都有PCS（PHY芯片数字部分）和PMA（PHY芯片模拟部分）两部分组成。在发送端，PCS完成用户输入数据的 8B/10B编码，FIFO缓冲以及极性反转；在PMA中完成并转串以及其他功能后发送出去。在接收端完成相反的操作后，将接收到的数据送到用户侧。

对于使用GT IP核，最重要的是明白时钟、复位及初始化、输入输出信号。

时钟：每个BANK都有两个外部参考时钟，一个Quad PLL，四个Channel PLL。在使用的时候，外部参考时钟任用一个，QPLL和CPLL由参考时钟生成，其中QPLL为4个GT共用，CPLL则是每个GT一个，速率上限是6.XGb/s，高于此就要用QPLL。在调用GT IP时，需要输入两个时钟，一个外部参考时钟和一个系统时钟（DPR时钟也输入系统时钟），GT核会输出txusrclk2和rxusrclk2供用户侧发送端和接收端使用的时钟。

复位和初始化：GT IP核的复位比较复杂，好在IP 核可以自动复位。上电后，30微秒左右发送端完成复位，tx\_fsm\_reset\_done信号拉高；50微秒左右接收端复位完成，rxresetdone信号拉高，将两者相与得到整个GT收发器的初始化完成信号。

输入输出信号：rxdata，rxcharrisk，txdata，txcharrisk是用户侧的输入输出信号，发送数据前，txdata先发送K码 ‘hbc，txcharrisk发送K码控制字符’d1;然后txdata发送数据，txcharrisk拉低；接收端也是先接收K码和高电平的控制字符，然后接收数据。

对于GT IP核其他接口，输入接口可以直接置0或者1，输出接口可以为空。