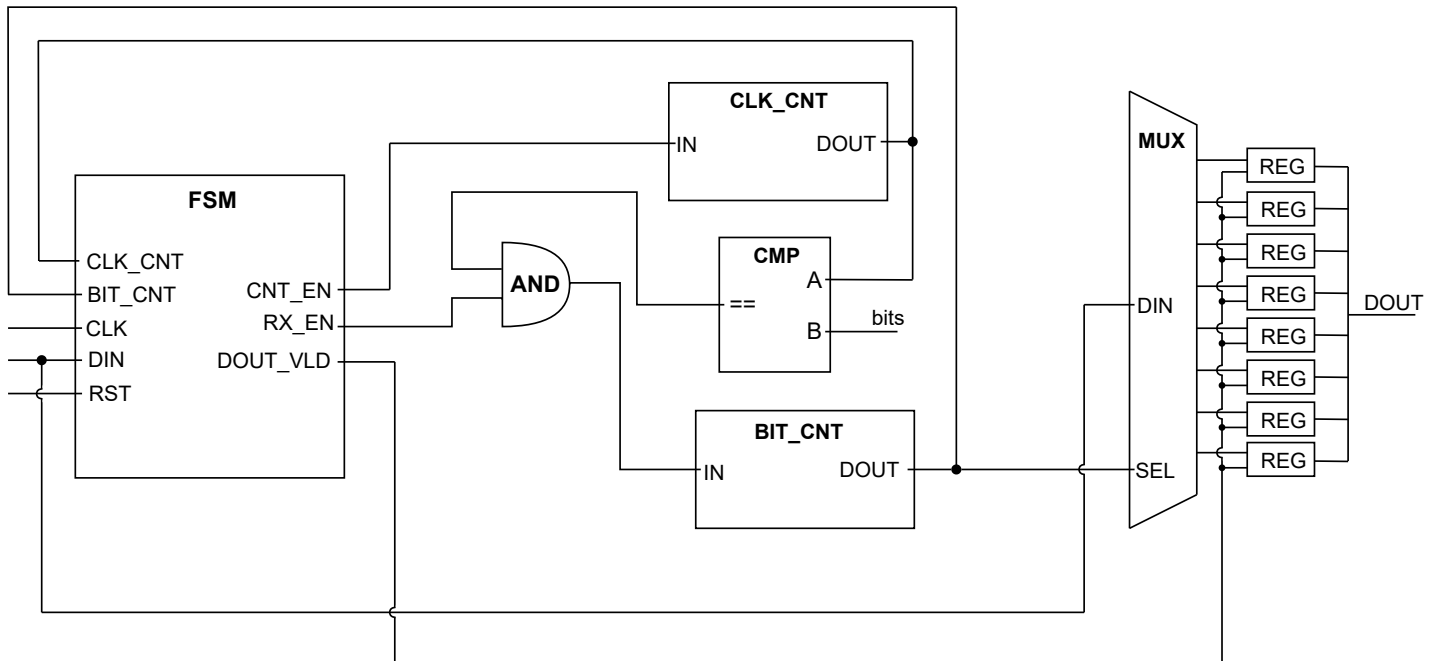


Výstupní zpráva

Jméno: Maksim Kalutski

Login: xkalut00

Architektura navrženého obvodu

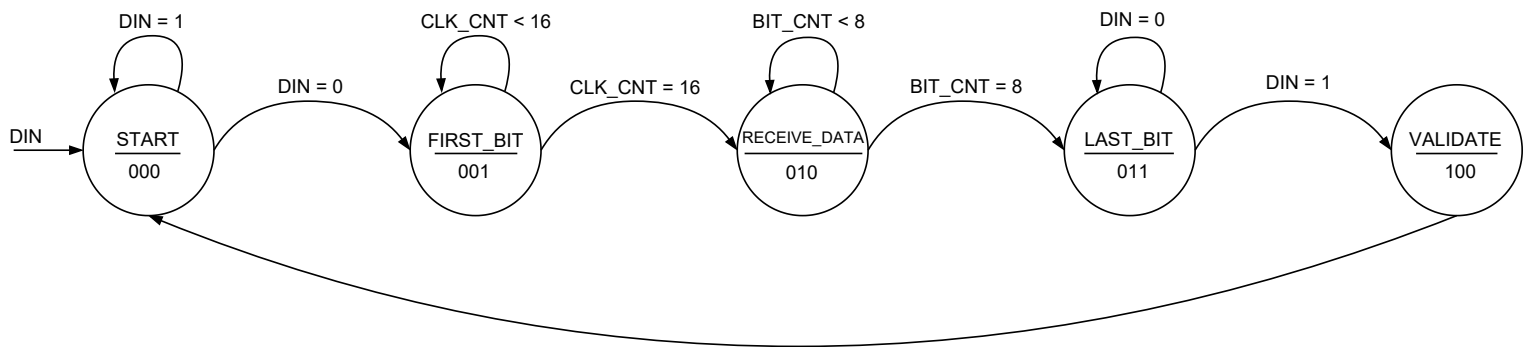


Popis funkce

Obvod se skládá z konečného automatu (**FSM**), hodinového čítače (**CLK_CNT**), bitového čítače (**BIT_CNT**) a multiplexeru (**MUX**). Obvod je řízen **FSM**, který vysílá signály v závislosti na aktuálním stavu, ve kterém se nachází. Čítač počítá do 16 a posílá hodnotu do **FSM**. Pak čítač počítá do 8 a posílá hodnotu zpět do **FSM**. Automat se rozhoduje o změně stavu. Komparátor porovnává výstup **CLK_CNT** a posílá signál do **AND** pokud vychází hodnota se rovná '1' posílá signál dal do **BIT_CNT**, Výsledek ukládá do registrů. Multiplexor na výstup posílá aktuální hodnotu **DIN**. Poté kontroluje, zda je slovo kompletní a vrátí se do stavu **START**.

Návrh automatu (Finite State Machine)

Schéma automatu



Popis funkce

Na začátku automat se nachází ve stavu **START** a čeká na vstup bitů **DIN** = 0 pak mění stav na **FIRST_BIT**. Pokud **DIN** = 1 zůstává v tomto stavu. Po 16 hodinových taktů (když **CLK_CNT** = 16) přechází do stavu **RECEIVE_DATA**. Pokud **CLK_CNT** menší než 16 automat zůstává v tomto stavu. Po dalších 8 hodinových taktů načítá data a přechází do stavu **LAST_BIT**. Pokud **BIT_CNT** menší než 8 zůstává v tomto stavu. Když automat na vstupu (**DIN**) má '1' přechází do stavu **VALIDATE**. Ve stavu **VALIDATE** potvrzuje načtené bity a přepíná se na stav **START**.

Snímek obrazovky ze simulací

