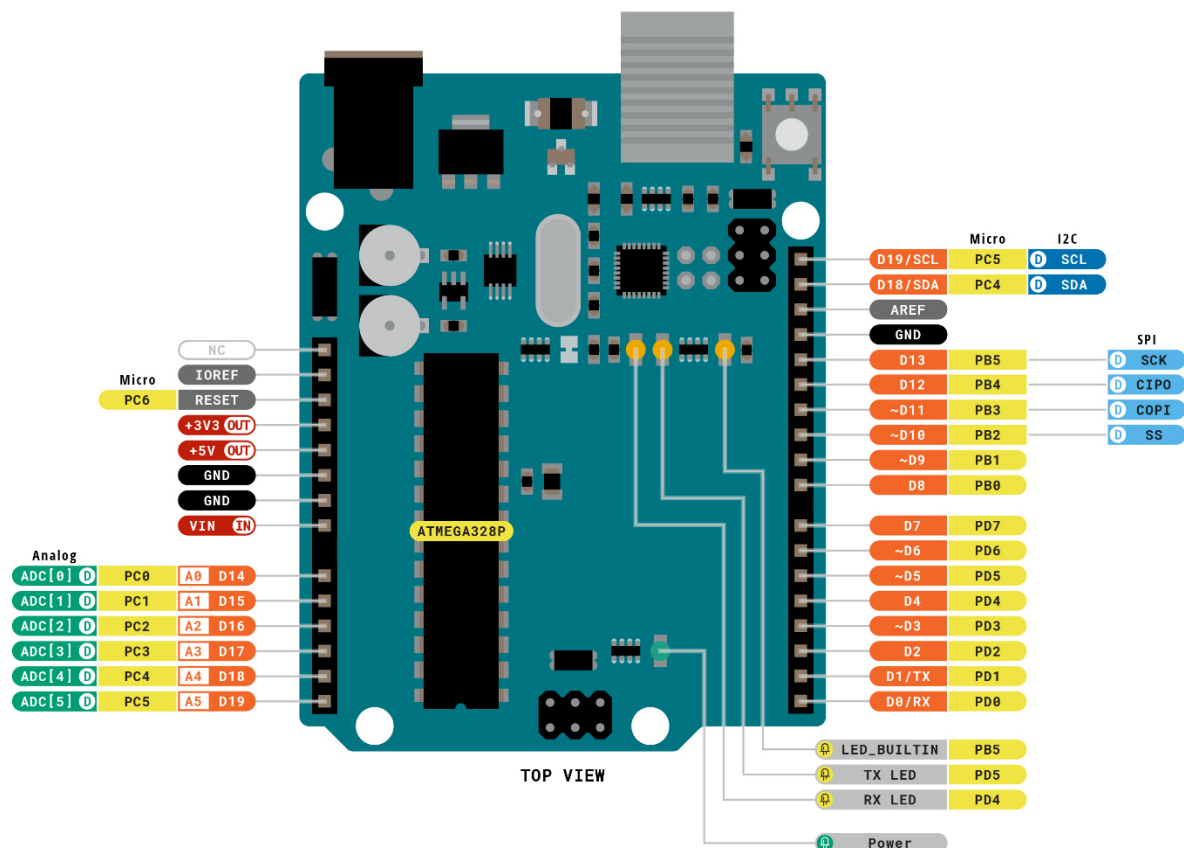


Mikroupravljači

Arduino Uno Rev3



Legend:	Digital	I2C
Power	Analog	SPI
Ground	Main Part	Analog



ARDUINO UNO REV3
SKU code: A000066
Pinout
Last update: 6 Oct, 2022

(PCINT14/RESET) PC6	1	28	PC5 (ADC5/SCL/PCINT13)
(PCINT16/RXD) PD0	2	27	PC4 (ADC4/SDA/PCINT12)
(PCINT17/TXD) PD1	3	26	PC3 (ADC3/PCINT11)
(PCINT18/INT0) PD2	4	25	PC2 (ADC2/PCINT10)
(PCINT19/OC2B/INT1) PD3	5	24	PC1 (ADC1/PCINT9)
(PCINT20/XCK/T0) PD4	6	23	PC0 (ADC0/PCINT8)
VCC	7	22	GND
GND	8	21	AREF
(PCINT6/XTAL1/TOSC1) PB6	9	20	AVCC
(PCINT7/XTAL2/TOSC2) PB7	10	19	PB5 (SCK/PCINT5)
(PCINT21/OC0B/T1) PD5	11	18	PB4 (MISO/PCINT4)
(PCINT22/OC0A/AIN0) PD6	12	17	PB3 (MOSI/OC2A/PCINT3)
(PCINT23/AIN1) PD7	13	16	PB2 (\overline{SS} /OC1B/PCINT2)
(PCINT0/CLKO/ICP1) PB0	14	15	PB1 (OC1A/PCINT1)

Power
Ground
Programming/debug
Digital
Analog
Crystal/Osc

SREG – Status register

7	6	5	4	3	2	1	0
I	T	H	S	V	N	Z	C

Bit 7 – I: Global Interrupt Enable

- sei();** – postavlja 7. bit SREG registra – **omogućuje globalne prekide**
- cli();** – briše 7. bit SREG registra – **onemogućuje globalne prekide**

Bit 6 – T: Bit Copy Storage

Bit 5 – H: Half Carry Flag

Bit 4 – S: Sign Bit – (EX-OR) between N and V

Bit 3 – V: Two's Complement Overflow Flag

Bit 2 – N: Negative Flag

Bit 1 – Z: Zero Flag

Bit 0 – C: Carry Flag

Ostali statusni bitovi koji se postavljaju ovisno o rezultatu kada ALU izvrši aritmetičke i logičke operacije

Digitalni ulazi i izlazi:

AVR arhitektura je 8 bitna, stoga su svi vanjski priključci (I/O pinovi) grupirani i upravljani 8-bitnim registrima – tzv. PORT-ovi. Priključak (pin) može biti ulaz ili izlaz, a neki od priključaka imaju i druge funkcije. PORT je kontroliran sa tri registra:

DDR_x (read/write) – koristi se za konfiguraciju priključka (pin) kao **ulaza ('0')** ili **izlaza ('1')**

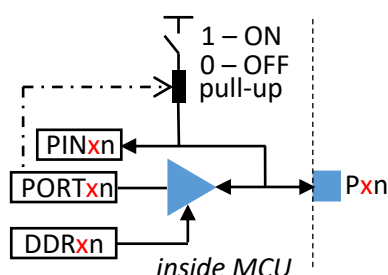
PORT_x (read/write)

- Ako je priključak (pin) konfiguriran kao **izlaz**, tada se PORT_x registar koristi za postavljanje izlaznog priključka u stanje HIGH ('1') ili stanje LOW ('0').
- Ako je priključak (pin) konfiguriran kao **ulaz**, tada se PORT_x registar koristi za postavljanje unutarnjeg otpornika prema napajanju (pull-up) ('1' - aktiviran, '0' - deaktiviran).

PIN_x (read only) – koristi se za čitanje i pohranu podataka na ulaznim priključcima (pinovima pojedinog PORT-a) (pohranjuje '0' i '1').

x može biti:

- B** (Arduino DIGITAL pinovi 8 do 13)
- C** (Arduino ANALOG pinovi A0 do A5, ili DIGITAL 14 do 19)
- D** (Arduino DIGITAL pinovi 0 do 7)



I/O PORT i pull-up otpornik

	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	MSB							LSB

Bitwise operatori					
ulazi		AND	OR	XOR	NOT
a	b	a & b	a b	a ^ b	~ b
0	0	0	0	0	1
0	1	0	1	1	0
1	0	0	1	1	
1	1	1	1	0	
posmak ulijevo		<<	podatak << broj bitova		
posmak udesno		>>	podatak >> broj bitova		
Logički operatori					
logički AND			a && b		
logički OR			a b		
logički NOT			!a		

AVR-GCC prevoditelj ne podržava pristup samo jednom bitu (pinu) registra (PORT) izravno, bez utjecaja na ostale bitove PORT registra, stoga moramo koristiti tzv. bitwise operatore.

Prekidi (Interrupt) – vanjski (External Interrupt):

EICRA - External Interrupt Control Register A – bitovi za kontrolu prekida

7	6	5	4	3	2	1	0
				ISC11	ISC10	ISC01	ISC00

ISC11/ISC01	ISC10/ISC00	Opis (EICRA)
0	0	Zahtjev za prekid generira niska razina na INT1/INT0
0	1	Zahtjev za prekid generira bilo koja promjena logike na INT1/INT0
1	0	Zahtjev za prekid generira padajući brid na INT1/INT0
1	1	Zahtjev za prekid generira rastući brid na INT1/INT0

EIMSK - External Interrupt Mask Register – postavljanje (sa I-bitom SREG) prekida

7	6	5	4	3	2	1	0
						INT1	INT0

EIFR - External Interrupt Flag Register – obavijest o zahtjevu prekida

7	6	5	4	3	2	1	0
						INTF1	INTF0

Vanjski prekidi na promjenu logike (PCINT):

Osim vanjskih prekida INT1/INT0, ATmega328 ima 23 (PCINT0 to PCINT23) ulaza na kojima promjena logike može generirati prekid – PCINT (Pin Change Interrupt):

PCICR – Pin Change Interrupt Control Register - postavljanje (sa I-bitom SREG) PCINT - **PCMSK2/1/0**

7	6	5	4	3	2	1	0
					PCIE2	PCIE1	PCIE0

PCIFR – Pin Change Interrupt Flag Register - obavijest o PCINT zahtjevu prekida

7	6	5	4	3	2	1	0
					PCIF2	PCIF1	PCIF0

PCMSK2 – Pin Change Mask Register 2 – postavljanje individualnih PCINT pinova

7	6	5	4	3	2	1	0
PCINT23	PCINT22	PCINT21	PCINT20	PCINT19	PCINT18	PCINT17	PCINT16

PCMSK1 – Pin Change Mask Register 1 – postavljanje individualnih PCINT pinova

7	6	5	4	3	2	1	0
	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8

PCMSK0 – Pin Change Mask Register 0 – postavljanje individualnih PCINT pinova

7	6	5	4	3	2	1	0
PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0

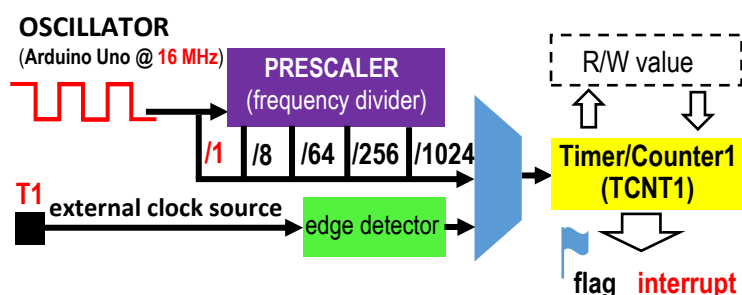
Tablica prekidnih vektora

broj prekida	adresa	definicija prekida	naziv vektora
1.	0x0000	RESET	-
2.	0x0002	External Interrupt Request 0	INT0_vect
3.	0x0004	External Interrupt Request 1	INT1_vect
4.	0x0006	Pin Change Interrupt Request 0	PCINT0_vect
5.	0x0008	Pin Change Interrupt Request 1	PCINT1_vect
6.	0x000A	Pin Change Interrupt Request 2	PCINT2_vect
7.	0x000C	Watchdog Time-out Interrupt	WDT_vect
8.	0x000E	Timer/Counter2 Compare Match A	TIMER2_COMPA_vect
9.	0x0010	Timer/Counter2 Compare Match B	TIMER2_COMPB_vect
10.	0x0012	Timer/Counter2 Overflow	TIMER2_OVF_vect
11.	0x0014	Timer/Counter1 Capture Event	TIMER1_CAPT_vect
12.	0x0016	Timer/Counter1 Compare Match A	TIMER1_COMPA_vect
13.	0x0018	Timer/Counter1 Compare Match B	TIMER1_COMPB_vect
14.	0x001A	Timer/Counter1 Overflow	TIMER1_OVF_vect
15.	0x001C	Timer/Counter0 Compare Match A	TIMER0_COMPA_vect
16.	0x001E	Timer/Counter0 Compare Match B	TIMER0_COMPB_vect
17.	0x0020	Timer/Counter0 Overflow	TIMER0_OVF_vect
18.	0x0022	SPI Serial Transfer Complete	SPI_STC_vect
19.	0x0024	USART Rx Complete	USART_RX_vect
20.	0x0026	USART Data Registry Empty	USART_UDRE_vect
21.	0x0028	USART Tx Complete	USART_TX_vect
22.	0x002A	ADC Conversion Complete	ADC_vect
23.	0x002C	EEPROM Ready	EE_READY_vect
24.	0x002E	Analog Comparator	ANALOG_COMP_vect
25.	0x0030	Two-wire Serial Interface	TWI_vect
26.	0x0032	Store Program Memory Read	SPM_READY_vect

Timer/Counter1 – 16 bitni registar

Odabir sinkronog izvora takta - vrši se u **TCCR1B** registru bitovima 0, 1 i 2:

CS12	CS11	CS10	Opis
0	0	0	Nema takta, timer zaustavljen
0	0	1	Clk _{I/O} /1 bez podijele frekvencije
0	1	0	Clk _{I/O} /8
0	1	1	Clk _{I/O} /64
1	0	0	Clk _{I/O} /256
1	0	1	Clk _{I/O} /1024
1	1	0	Vanjski izvor na T1, padajući brid
1	1	1	Vanjski izvor na T1, rastući brid



Timer/Counter1 načini rada:

- Normal mode
- CTC mode
- Fast PWM (Pulse Width Modulation)
- Phase Correct PWM Mode
- Phase and Frequency Correct

Timer/Counter1 registri:

TCNT - Timer/Counter register – registar pohrane impulsa takta
TCCR – Timer/Counter Control Register - postavljanje modova rada i ostalih opcija
(GTCCR – General TCCR)
OCR – Output Compare Register - koristi se za generiranje prekida nakon što se odbroje impulsi upisani u njemu.
ICR – Input Capture Register - koristi se za mjerenje vremena između impulsa spojena na ICP pin (samo za Timer1 – 16 bitni)
TIMSK (Timer Interrupt Mask Register) i **TIFR** (Timer Interrupt Flag Register) - kontrola prekid

Načini rada Timer/Counter1 (Waveform Generation Mode) registri **TCCR1A i TCCR1B**:

MO DE	WGM13	WGM12 (CTC1)	WGM11 (PWM11)	WGM10 (PWM10)	Timer/Counter1 način rada	TOP (vršna vrijednost)	Promjena vrijednosti OCR1	Postavljanje zastavice na TOV1
0	0	0	0	0	Normalni	0xFFFF (65535)	trenutno	MAX
1	0	0	0	1	PWM, fazno korektivni, 8 bitni	0x00FF (255)	TOP	BOTTOM
2	0	0	1	0	PWM, fazno korektivni, 9 bitni	0x01FF (511)	TOP	BOTTOM
3	0	0	1	1	PWM, fazno korektivni, 10 bitni	0x03FF (1023)	TOP	BOTTOM
4	0	1	0	0	CTC	OCR1A	Trenutno	MAX
5	0	1	0	1	PWM, brzi, 8 bitni	0x00FF (255)	BOTTOM	TOP
6	0	1	1	0	PWM, brzi, 9 bitni	0x01FF (511)	BOTTOM	TOP
7	0	1	1	1	PWM, brzi, 10 bitni	0x03FF (1023)	BOTTOM	TOP
8	1	0	0	0	PWM, fazno i frekvencijski korektivni	ICR1	BOTTOM	BOTTOM
9	1	0	0	1	PWM, fazno i frekvencijski korektivni	OCR1A	BOTTOM	BOTTOM
10	1	0	1	0	PWM, fazno korektivni	ICR1	TOP	BOTTOM
11	1	0	1	1	PWM, fazno korektivni	OCR1A	TOP	BOTTOM
12	1	1	0	0	CTC	ICR1	Trenutno	MAX
13	1	1	0	1	(rezervirano)	-	-	-
14	1	1	1	0	PWM, brzi	ICR1	BOTTOM	TOP
15	1	1	1	1	PWM, brzi	OCR1A	BOTTOM	TOP

TCCR1A – Timer/Counter1 Control Register **A** – postavljanje načina rada Timer/Counter1

7	6	5	4	3	2	1	0
COM1A1	COM1A0	COM1B1	COM1B0			WGM11	WGM10

TCCR1B – Timer/Counter1 Control Register **B** - postavljanje načina rada Timer/Counter1

7	6	5	4	3	2	1	0
ICNC1	ICES1		WGM13	WGM12	CS12	CS11	CS10

TCCR1C – Timer/Counter1 Control Register **C** – aktivan kod ne-PWM moda (datasheet)

7	6	5	4	3	2	1	0
FOC1A	FOC1B						

TIMSK1 – Timer/Counter1 Interrupt Mask Register – postavljanje (sa I-bitom SREG) prekida Timer/Counter1

7	6	5	4	3	2	1	0
		ICIE1			OCIE1B	OCIE1A	TOIE1

TIFR1 – Timer/Counter1 Interrupt Flag Register – obavijest o zahtjevu prekida

7	6	5	4	3	2	1	0
		ICF1			OCF1B	OCF1A	TOV1

GTCCR – General Timer/Counter Control Register – T/C sinkronizacija (datasheet)

7	6	5	4	3	2	1	0
TSM						PSRASY	PSRASYN

TCNT1 – Timer/Counter Register

7	6	5	4	3	2	1	0
TCNT1H							
TCNT1L							

ICR1 – Input Capture Register

7	6	5	4	3	2	1	0
ICR1H							
ICR1L							

OCR1A – Output Compare Register **A**

7	6	5	4	3	2	1	0
OCR1AH							
OCR1AL							

OCR1B – Output Compare Register **B**

7	6	5	4	3	2	1	0
OCR1BH							
OCR1BL							

Timer/Counter1 – izlazni komparatorski način rada u CTC načinu rada, registar TCCR1A – **NE PWM**

COM1A1/COM1B1	COM1A0/COM1B0	Opis
0	0	Normalni I/O priključak, OC1A/OC1B nisu spojeni
0	1	Izmjenični (Toggle) OC1A/OC1B rad na komparacijski signal
1	0	Briše OC1A/OC1B na komparacijski signal (Postavlja izlaz u LOW)
1	1	Postavlja OC1A/OC1B na komparacijski signal (Postavlja izlaz u HIGH)

Frekvenciju računamo prema: $f_{OCnA} = \frac{f_{clk_I/O}}{2N \cdot (1 + OCR1A)}$

Timer/Counter1 – **Brzi (Fast) PWM** mod (registar TCCR1A)

Duty cycle:

Neinvertirajući mod: $\text{Duty Cycle} = \frac{OCR1X+1}{TOP+1} * 100$

Invertirajući mod: $\text{Duty Cycle} = \frac{TOP - OCR1X}{TOP+1} * 100$

Frekvencija (Fast PWM):

$$f_{OCnXPWM} = \frac{f_{clk_I/O}}{N \cdot (1 + TOP)}$$

COM1A1/COM1B1	COM1A0/COM1B0	Opis
0	0	Normalni I/O priključak, OC1A/OC1B nisu spojeni
0	1	U MODU 14 ili 15: izmjenični način OC1A na komparacijski signal (OC1B nije spojen). U ostalim modovima OC1A/OC1B nisu spojeni
1	0	Briše OC1A/OC1B na komparacijski signal, postavlja OC1A/OC1B na BOTTOM (neinvertirajući mod)
1	1	Postavlja OC1A/OC1B na komparacijski signal, briše OC1A/OC1B na BOTTOM (invertirajući mod)

Timer/Counter1 – **fazno korektivni (Phase Correct) PWM** mod (registar TCCR1A)

Duty cycle:

Neinvertirajući mod: $\text{Duty Cycle} = \frac{OCR1A}{TOP} * 100$

Invertirajući mod: $\text{Duty Cycle} = \frac{TOP - OCR1A}{TOP} * 100$

Frekvencija (fazno-korektivni PWM):

$$f_{OCnXPWPWM} = \frac{f_{clk_I/O}}{2 \cdot N \cdot TOP}$$

COM1A1/COM1B1	COM1A0/COM1B0	Opis
0	0	Normalni I/O priključak, OC1A/OC1B nisu spojeni
0	1	U MODU 9 ili 11: izmjenični način OC1A na komparacijski signal (OC1B nije spojen). U ostalim modovima OC1A/OC1B nisu spojeni
1	0	Briše OC1A/OC1B na komparacijski signal, postavlja OC1A/OC1B na BOTTOM (neinvertirajući mod)
1	1	Postavlja OC1A/OC1B na komparacijski signal, briše OC1A/OC1B na BOTTOM (invertirajući mod)

Analogno-digitalni pretvornik

Analogni ulazni kanale odabiremo u **ADMUX** registru, bitovima MUX0, MUX1, MUX2 i MUX3

ADMUX – ADC Multiplexer Selection Register

7	6	5	4	3	2	1	0
REFS1	REFS0	ADLAR		MUX3	MUX2	MUX1	MUX0

REFS1	REFS0	Odabir referentnog napona
0	0	AREF, unutarnji U_{ref} isključen
0	1	AV_{CC} sa vanjskim kondenzatorom na AREF priključku
1	0	Rezervirano
1	1	Unutarnji 1.1V sa vanjskim kondenzatorom na AREF priključku

ADLAR – bit za postavljanje opcije spremanja rezultata AD pretvorbe u ADC registar

Ako je na AREF priključak spojen stalni izvor napona, ne mogu se koristiti druge opcije za referentni napon!

MUX3...0	ULAZ
0000	ADC0
0001	ADC1
0010	ADC2
0011	ADC3
0100	ADC4
0101	ADC5
0110	ADC6
0111	ADC7
1000	ADC8
1001	rezervirano
1010	rezervirano
1011	rezervirano
1100	rezervirano
1101	rezervirano
1110	1.1V (V _{bg})
1111	0V (GND)

ADC8 – za temperaturni senzor

ADCSRA – ADC Control and Status Register A

7	6	5	4	3	2	1	0
ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0

ADC omogućujemo postavljanjem **ADEN** bita u **ADCSRA** registru. Za uštedu energije (ukoliko ne koristimo ADC) preporuka je isključiti ADC postavljanjem **ADEN** bita u '0' (primjer: štedni način rada).

ADSC – ADC Start Conversion – početak AD pretvorbe

ADATE – ADC Auto Trigger Enable – omogućuje automatsko okidanje AD pretvornika - ADC obavlja uzastopne pretvorbe (Izvor signala za ovaj automatski mod odabire se **ADTS2:0** bitovima u **ADCSRB** registru)

ADIF – ADC Interrupt Flag – postavlja se kada se AD pretvorba završi i rezultat bude upisan u ADC registar.

ADIE – ADC Interrupt Enable – kada je postavljen (uz I-bit SREG registra) omogućen je prekid vezan za ADC.

Djelitelj odabiremo **ADPS2**, **ADPS1** i **ADPS0** bitovima

Rezultat AD pretvorbe računamo:

$$ADC = \frac{U_{IN} \cdot 1024}{U_{REF}}$$

ADPS2	ADPS1	ADPS0	Djelitelj
0	0	0	2
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

Analogni komparator

- AIN0 – (pozitivni) neinvertirajući ulaz
- AIN1 – (negativni) invertirajući ulaz

Kada je AIN0 > AIN1, postavlja se izlaz Analognog komparatora - **ACO**.

ACIS1	ACIS0	Interrupt mode
0	0	Prekid na svaku promjenu stanja izlaza (TOGGLE)
0	1	rezervirano
1	0	Prekid na padajući brid
1	1	Prekid na rastući brid

ACSR – Analog Comparator Control and Status Register

7	6	5	4	3	2	1	0
ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0

ACD - Analog Comparator Disable – analogni komparator je isključen kada je ACD bit postavljen u logičku '1' (smanjuje potrošnju mikroupravljača). Kod promjene ACD bita treba prekid analognog komparatora biti onemogućen (ACIE bit u '0' u ACSR registru), inače će doći do prekida kod izmjene stanja ACD bita.

ACBG - Analog Comparator Bandgap Select – Ako je u bit u logičkoj '1' na pozitivni ulaz dovodi se fiksni pojasni referentni napon, a ako bit u logičkoj '0' na pozitivni ulaz dovodi se vanjski napon.

ACO - Analog Comparator Output – Izlaz analognog komparatora je sinkroniziran i izravno spojen na ACO.

ACI - Analog Comparator Interrupt Flag - Bit se postavlja hardverski u logičku '1' kada se dogodi prekid. Prekidna rutina vezana uz analogni komparator izvršava se ako je postavljen ACIE bit (zajedno sa I-bitom SREG registra). ACI se briše hardverski nakon izvršenja prekidne rutine. Alternativno, ACI se briše upisivanjem logičke '1' na mjesto bita zastavice.

ACIE - Analog Comparator Interrupt Enable – Kada je ACIE '1', omogućen je prekid analognog komparatora (ali samo ako je i I-bit SREG registra postavljen u '1'). Prekid analognog komparatora možemo onemogućiti postavljanjem ACIE u '0'.

ACIC - Analog Comparator Input Capture Enable – Upisivanjem logičke '1' omogućuje se korištenje analognog komparatora kao okidača za ulaznu jedinicu za hvatanje signala (Input Capture Unit - Timer/Counter1). Da bi se omogućilo hvatanje impulsa iz analognog komparatora potrebno je postaviti ICIE1 bit u TIMSK1 registru.

ACIS1, ACIS0 - Analog Comparator Interrupt Mode Select - Bitovi koji određuju na koji će se način generirati prekidna rutina analognog komparatora.

ACSRB – ADC Control and Status Register B

7	6	5	4	3	2	1	0
	ACME				ADTS2	ADTS1	ADTS0

ACME – Analog Comparator Multiplexer Enable – ako je ACME '1' i ADC je isključen

(ADEN=0 u ADCSRA) omogućen je odabir priključka na negativni (invertirajući) ulaz

operacijskog pojačala. Ako je ACME '0', AIN1 je priključen na negativni ulaz.

Za negativni priključak AIN1 moguće je odabrati bilo koji od priključaka ADC7...0, s tim da AD pretvorba mora biti omogućena.

ACME	ADEN	MUX2...0	Negativni ulaz analognog komparatora
0	x	xxx	AIN1
1	1	xxx	AIN1
1	0	000	ADC0
1	0	001	ADC1
1	0	010	ADC2
1	0	011	ADC3
1	0	100	ADC4
1	0	101	ADC5
1	0	110	ADC6
1	0	111	ADC7

ADMUX – ADC Control and Status Register B

7	6	5	4	3	2	1	0
REFS1	REFS0	ADLAR		MUX3	MUX2	MUX1	MUX0

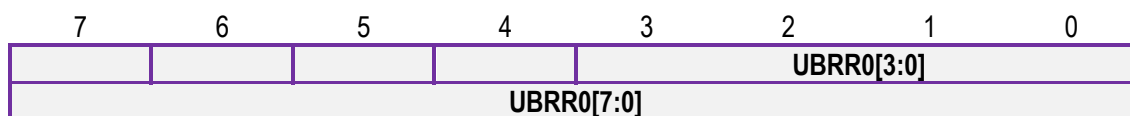
USART (Universal Synchronous and Asynchronous serial Receiver/Transmitter)

Način rada	Izračun za Baud Rate	Izračun UBRRn vrijednosti
Asinkroni normalni (U2Xn=0)	$BAUD = \frac{f_{osc}}{16(UBRRn+1)}$	$UBRRn = \frac{f_{osc}}{16BAUD} - 1$
Asinkroni dvostruke brzine (U2Xn=1)	$BAUD = \frac{f_{osc}}{8(UBRRn+1)}$	$UBRRn = \frac{f_{osc}}{8BAUD} - 1$
Sinkroni Master	$BAUD = \frac{f_{osc}}{2(UBRRn+1)}$	$UBRRn = \frac{f_{osc}}{2BAUD} - 1$

Baud Rate [bps]	$f_{osc} = 16.0000MHz$			
	U2Xn = 0		U2Xn = 1	
	UBRRn	Error	UBRRn	Error
...				
9600	103	0.2%	207	0.2%
...				
115200	8	-3.5%	16	2.1%
...				

$$Error[\%] = \left(\frac{BaudRate_{približna\ vrijednost}}{BaudRate} - 1 \right) * 100\%$$

UBR0L and UBR0H – USART Baud Rate 0 Registers: LOW and HIGH



UDR0 – USART I/O Data Register – dva shift registra (full-duplex) dijele istu I/O adresu



UCSR0A – USART Control and Status Register 0 A



RXC0 – USART Receive Complete Flag – postavlja se kada je byte (nepročitanih) podataka primljen u UDR0 registar, a briše se kada je UDR0 prazan. Može se koristiti za generiranje prekida (RXCIE0 bit UCSR0B registra)

TXC0 – USART Transmit Complete Flag – postavlja se kada je byte poslan i nema novih podataka u UDR0 registru. Može generirati prekid (TXCIE0 bit UCSR0B registra). Briše se automatski po završetku prekida ili upisivanjem logičke '1' na bit lokacije.

UDRE0 – USART Data Register Empty – postavlja se kada je TXB UDR0 prazan. Može generirati prekid (UDRIE0 bit UCSR0B registra)

FE0 – Frame Error – postavlja se ako podatak u RXB ima pogrešku okvira

DOR0 – Data Overrun Error – postavlja se kada je RXB pun.

PE0 – Parity Error – postavlja se ako podatak u RXB ima pogrešku pariteta (ako je paritet uključen – UPM01=1)

U2X0 – Double Transmission Speed – postavlja se ako želimo aktivirati dvostruku brzinu asinkronog načina rada.

MPCM0 – Multi-Processor Communication Mode – bit se postavlja ako želimo uključiti MPCM0 mod-svi primljeni okviri koji ne sadrže adresne informacije bit će ignorirani (koristi se kada prijatelj prima pakete od više predajnika)

UCSR0B – USART Control and Status Register 0 B



RXCIE0 – RX Complete Interrupt Enable – postavlja se za omogućavanje (RX) Receive interrupt – prekid na RXC zastavicu, uz omogućen globalni prekid - I bit SREG registra.

TXCIE0 – TX Complete Interrupt Enable – postavlja se za omogućavanje (TX) Transmit interrupt – prekid na TXC zastavicu, uz omogućen globalni prekid - I bit SREG registra.

UDRIE0 – USART Data Register Empty Interrupt Enable – postavlja se za omogućavanje prekida na UDRE zastavicu, tj. TXB prazan, uz omogućen globalni prekid - I bit SREG registra.

RXEN0 – Receiver Enable - postavljanjem bita omogućujemo USART prijamnik (engl .receiver)

TXEN0 – Transmitter Enable - postavljanjem bita omogućujemo USART predajnik (engl . transmitter)

UCSZ20 – Character Size – zajedno sa bitovima UCSZ1 i UCSZ0 u registru UCSRnC određuje broj podatkovnih bitova u okviru.

RXB80 – Receive Data Bit 8 – RXB je deveti bit primljenog znaka (u načinu rada s 9-bitnim podatkovnim okvirom)

TXB80 – Transmit Data Bit 8 – TXB je deveti bit primljenog znaka (u načinu rada s 9-bitnim podatkovnim okvirom)

UCSR0C – USART Control and Status Register 0 C

7	6	5	4	3	2	1	0
UMSEL01	UMSEL00	UPM01	UPM00	USBS0	UCSZ01	UCSZ00	UCPOL0

UMSEL01	UMSEL00	Način rada
0	0	Asinkroni USART
0	1	Sinkroni USART
1	0	rezervirano
1	1	MASTER SPI (MSPIM)

UPM01	UPM00	Paritet
0	0	onemogućen
0	1	rezervirano
1	0	omogućen, PARAN
1	1	omogućen, NEPARAN

UCSZ02	UCSZ01	UCSZ00	Veličina znaka
0	0	0	5 bitova
0	0	1	6 bitova
0	1	0	7 bitova
0	1	1	8 bitova
1	0	0	rezervirano
1	0	1	rezervirano
1	1	0	rezervirano
1	1	1	9 bitova

USBS0	STOP bit(ovi)
0	1 bit
1	2 bita

UCPOL0	Izlaz na TxD pinu	Ulaz na RxD pinu
0	Rastući XCK brid	Padajući XCK brid
1	Rastući XCK brid	Rastući XCK brid

UCPOL0 – koristi se samo u sinkronom načinu rada