

Laboratorio 4 – a.a. 2014-2015

10° Lezione

10° LEZIONE

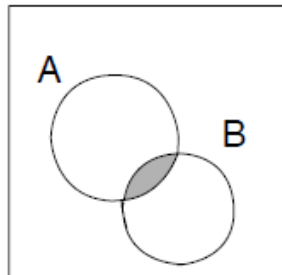
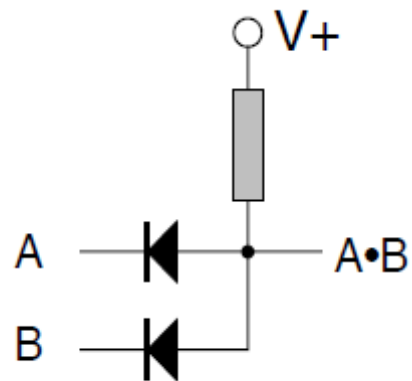
Cenno alle tecniche costruttive delle porte logiche

(richiamo a quanto visto nella lezione di teoria)

- Capire come sono implementate le porte logiche (porte a diodi, TTL ...)
- Come funzionano
- Problematiche associate

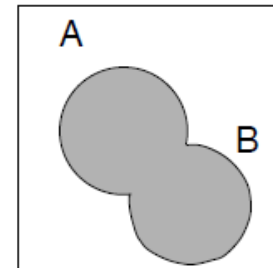
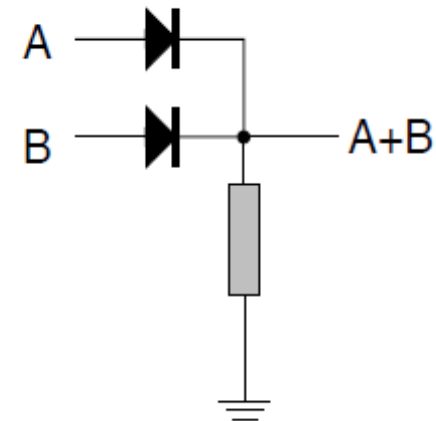
1) Logica a DIODI

Porta AND



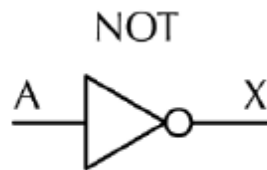
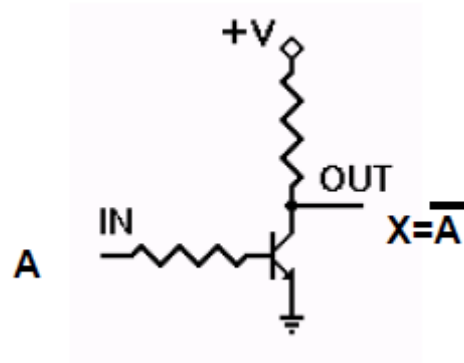
A	B	$F = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

Porta OR

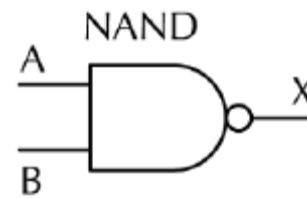
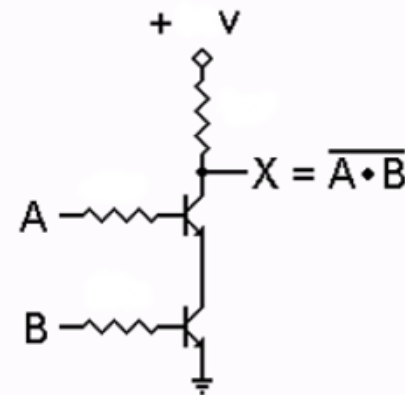


A	B	$F = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

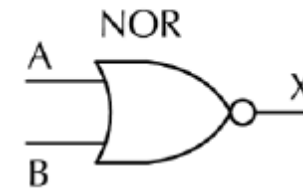
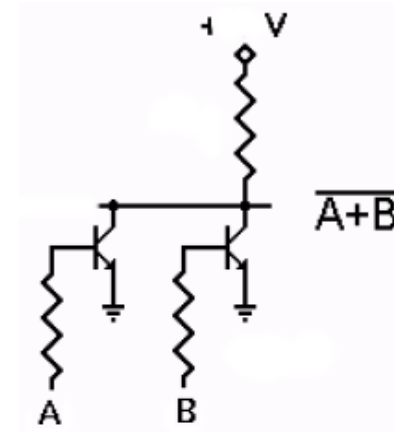
2) Logica a Resistenze-Transistor



A	X
0	1
1	0



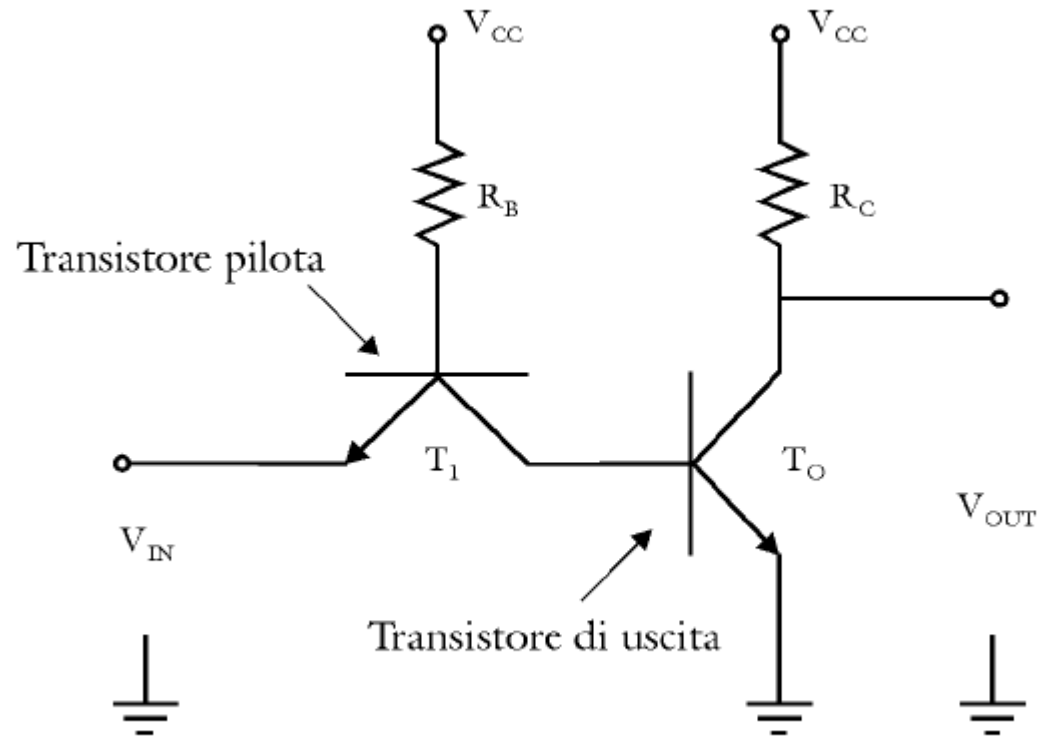
A	B	X
0	0	1
0	1	1
1	0	1
1	1	0



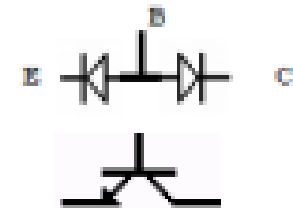
A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

3) Logica Transistor-Transistor TTL

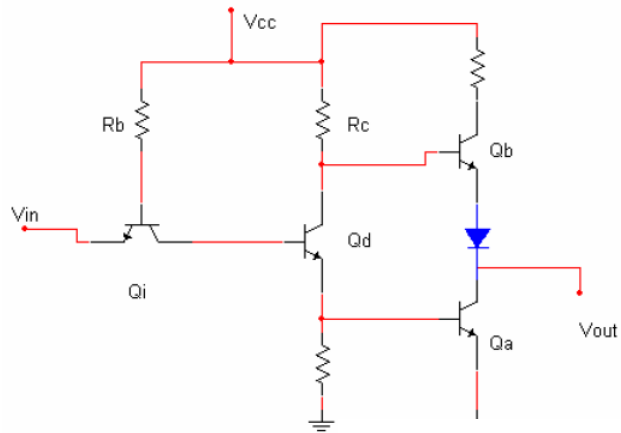
inverter TTL



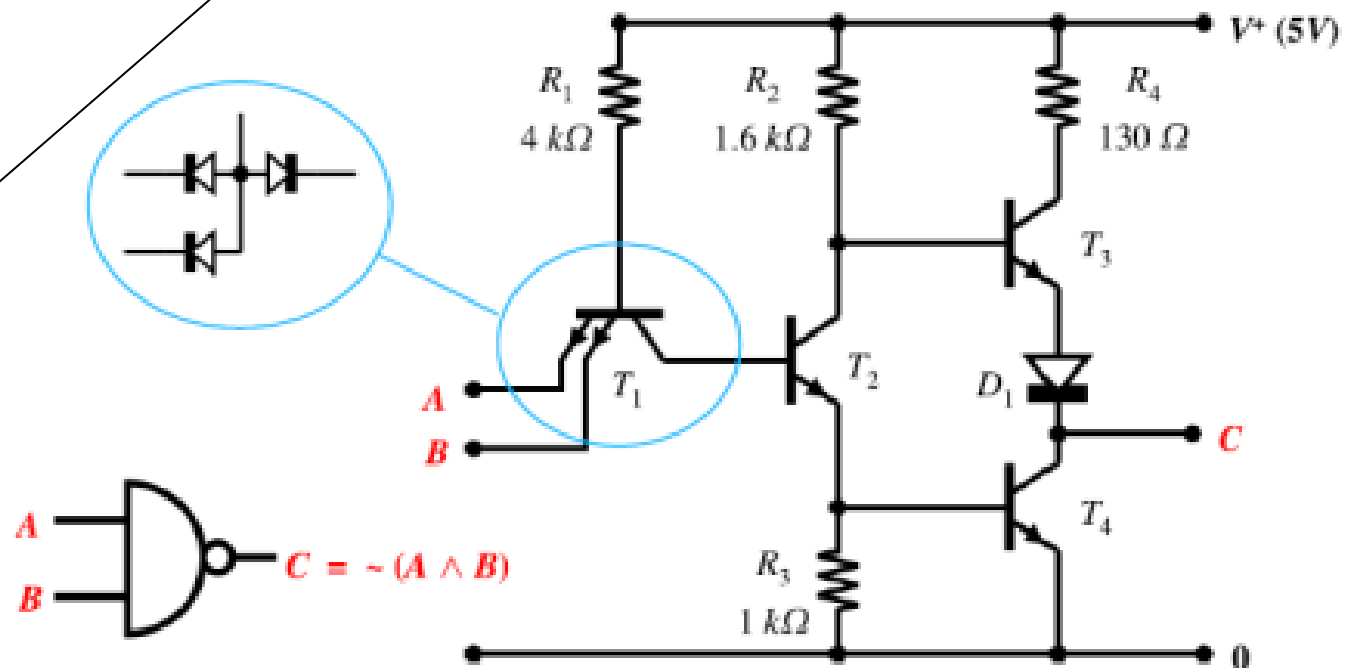
Note:
Transistor T_1 usato
in conduzione attiva
diretta ed inversa



inverter TTL completo



Porta NAND completa

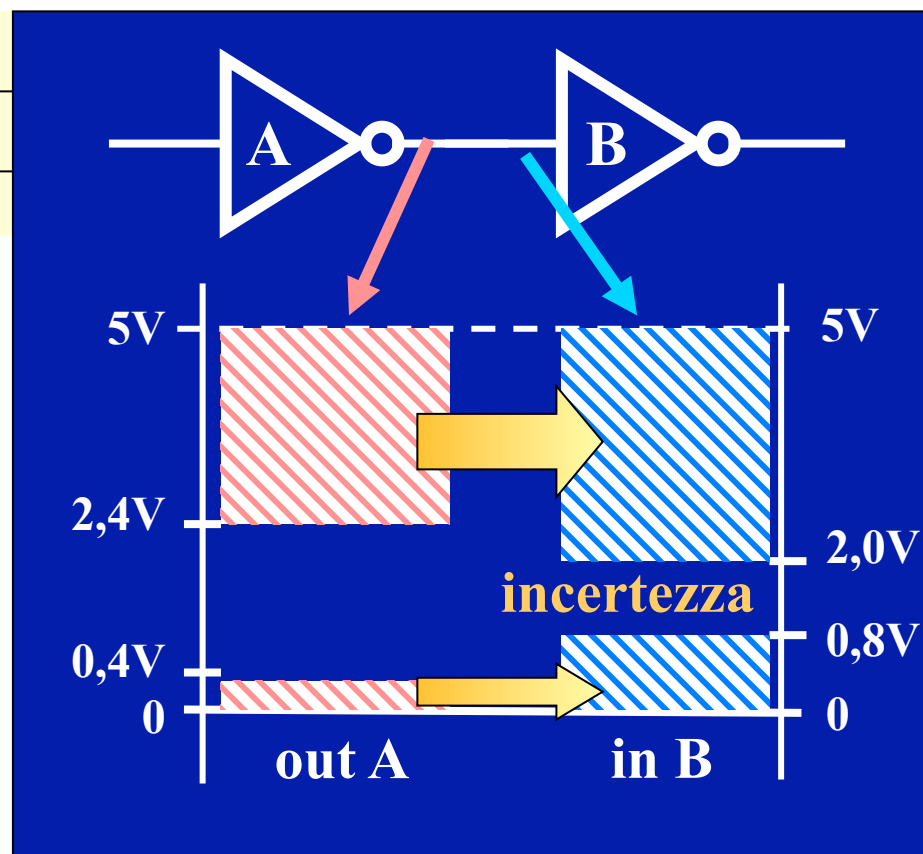
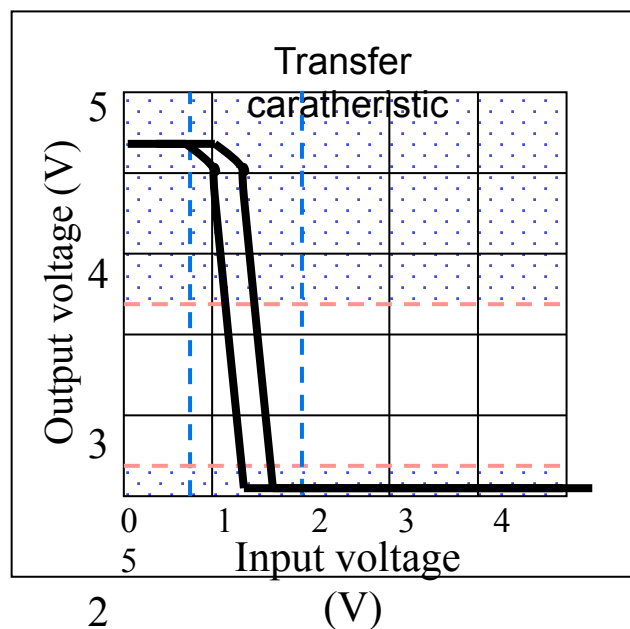


Quindi le porte logiche sono implementate tramite reti di transistor opportunamente interconnessi..... e quindi ora si possono capire bene le problematiche legate a:

- a) immunità al rumore / livelli logici
- b) tempi di propagazione
- c) capacità di pilotaggio

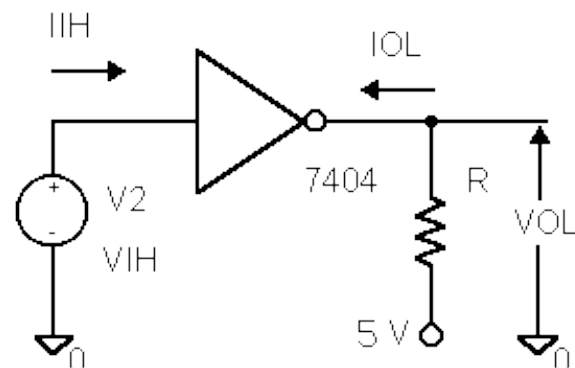
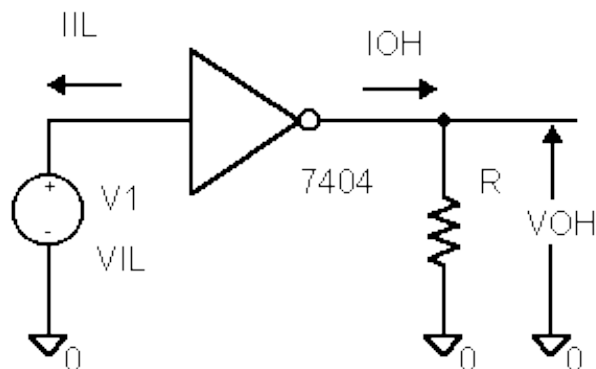
a) PORTE LOGICHE TTL - i livelli logici

famiglia	V_{IH}	V_{IL}	V_{OH}	V_{OL}
TTL	2,0 V	0,8 V	2,4 V	0,4 V
LS-TTL	2,0 V	0,8 V	2,7 V	0,5 V



param.	conditions	min	typ	max	units
V_{OH}	$V_{cc}=4.5V$, $70^{\circ}C$, $I_o = -0.4mA$, $V_{in}=0.8V$	2.4	3.3		V
V_{OL}	$V_{cc}=4.5V$, $70^{\circ}C$, $I_o=16mA$, $V_{in}=2V$		0.22	0.4	V

Circuiti per porta NOT-TTL per la valutazione della tensione e corrente di ingresso e di uscita



$V_{IH} = 2V$; cioè la minima tensione d'ingresso riconosciuta come livello alto.
 $V_{IL} = 0,8V$; cioè la massima tensione d'ingresso riconosciuta come livello basso.
 $V_{OH} = 2,4V$; cioè la minima tensione d'uscita presente a livello alto.
 $V_{OL} = 0,4V$; cioè la massima tensione d'uscita presente a livello basso.

I parametri precedenti sono specificati per correnti d'ingresso e d'uscita non eccedenti rispettivamente:

$I_{IH} = 40\mu A$; cioè la corrente d'ingresso a livello alto (valore massimo), positivo.
 $I_{IL} = -1,6mA$; cioè la corrente d'ingresso a livello basso (valore massimo), negativo.
 $I_{OH} = -800\mu A$; cioè la corrente d'uscita a livello alto (valore massimo), risulta negativo essendo diretta dall'uscita verso l'esterno (erogazione).
 $I_{OL} = 16mA$; cioè la corrente d'uscita a livello basso (valore minimo), risulta positiva essendo diretta dall'esterno verso l'uscita (assorbimento).

... dal Data sheet....

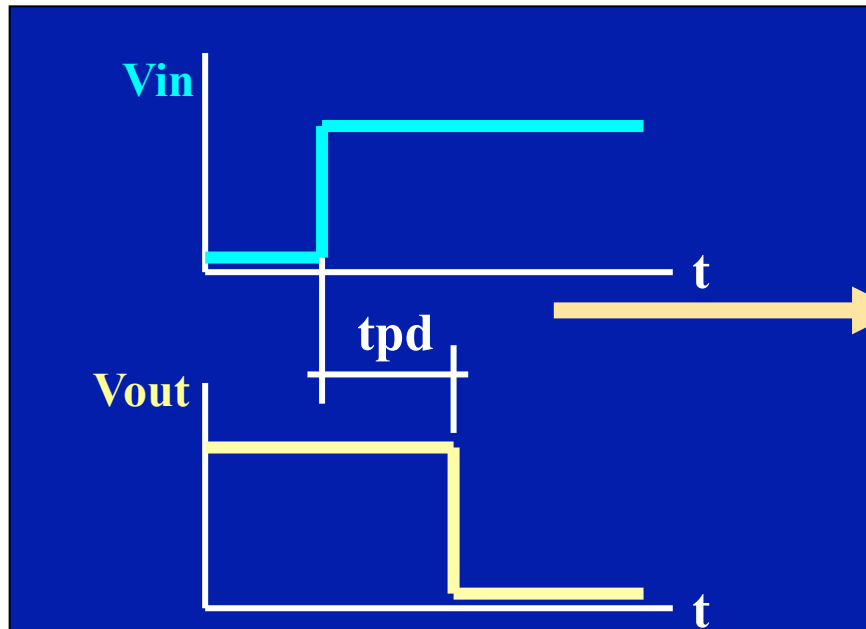
Correnti d' ingresso (NAND 74LS00)

I_{IH}	HIGH Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7V$			20	μA
I_{IL}	LOW Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4V$			-0.36	mA

Correnti d' uscita (NAND 74LS00)

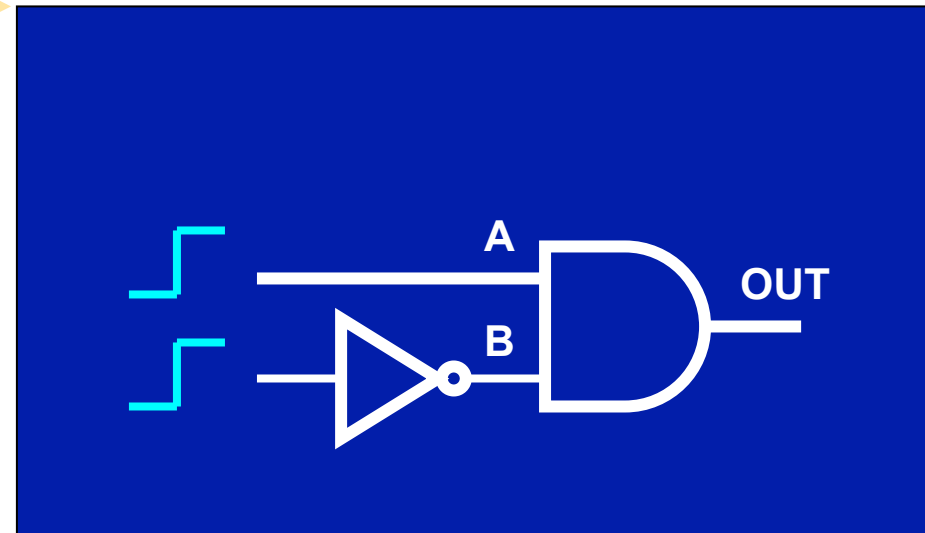
I_{OH}	HIGH Level Output Current			-0.4	mA
I_{OL}	LOW Level Output Current			8	mA

b) PORTE LOGICHE TTL - il tempo di propagazione



t_{pd} = Propagation Delay Time
(tempo di propagazione)

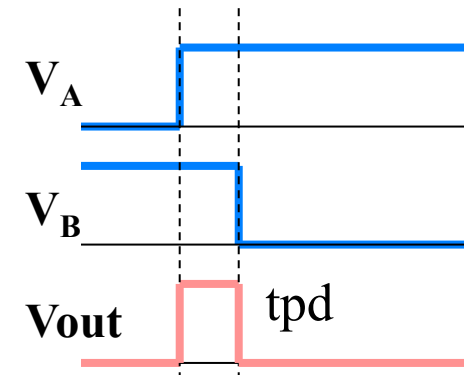
è il ritardo con cui l'uscita della logica commuta rispetto all'istante in cui commuta l'ingresso



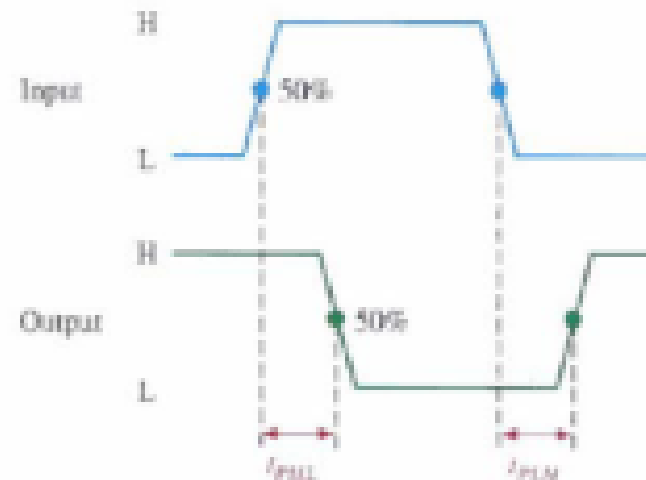
Switching Characteristics

at $V_{CC} = 5V$ and $T_A = 25^\circ C$

Symbol	Parameter	R _L = 2 kΩ				Units
		C _L = 15 pF		C _L = 60 pF		
		Min	Max	Min	Max	
t _{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	3	10	4	15	ns
t _{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	3	10	4	15	ns



- **Ritardo di propagazione, t_p :** intervallo di tempo tra l'applicazione di un impulso in ingresso e la comparsa del risultato in uscita. Ci sono 2 diversi ritardi di propagazione:
 - t_{PHL} : intervallo di tempo tra il riferimento in ingresso e il riferimento in uscita quando l'output passa da HIGH a LOW.
 - t_{PLH} : intervallo di tempo tra il riferimento in ingresso e il riferimento in uscita quando l'output passa da LOW a HIGH.



c) PORTE LOGICHE - capacità di pilotaggio

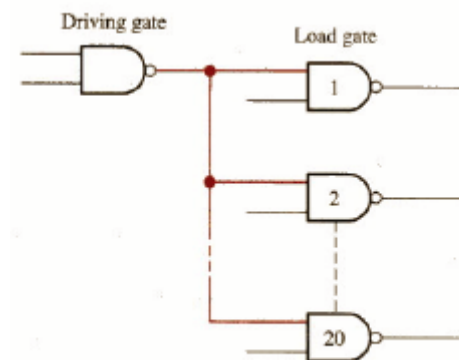
Fan-out e loading: il fan-out è il numero massimo di input della **stessa serie** in un IC che può essere collegato all' output della porta mantenendo i livelli logici dell' uscita entro i limiti specificati. È specificato in termini di **unità di carico**.

UN unit load corrisponde a un ingresso di un' altra porta logica nella serie 74XX .

$$Unit\ loads = \frac{I_{OH}}{I_{IH}} = \frac{I_{OL}}{I_{IL}} = \frac{16mA}{1.6mA} = 10$$

Per una porta NAND TTL della serie **standard**: fan-out massimo è di **10 porte**

Per una porta NAND TTL della serie **LS**: fan-out massimo è di **20 porte**



Nota: a volte viene fornito sia per il livello H, sia per L

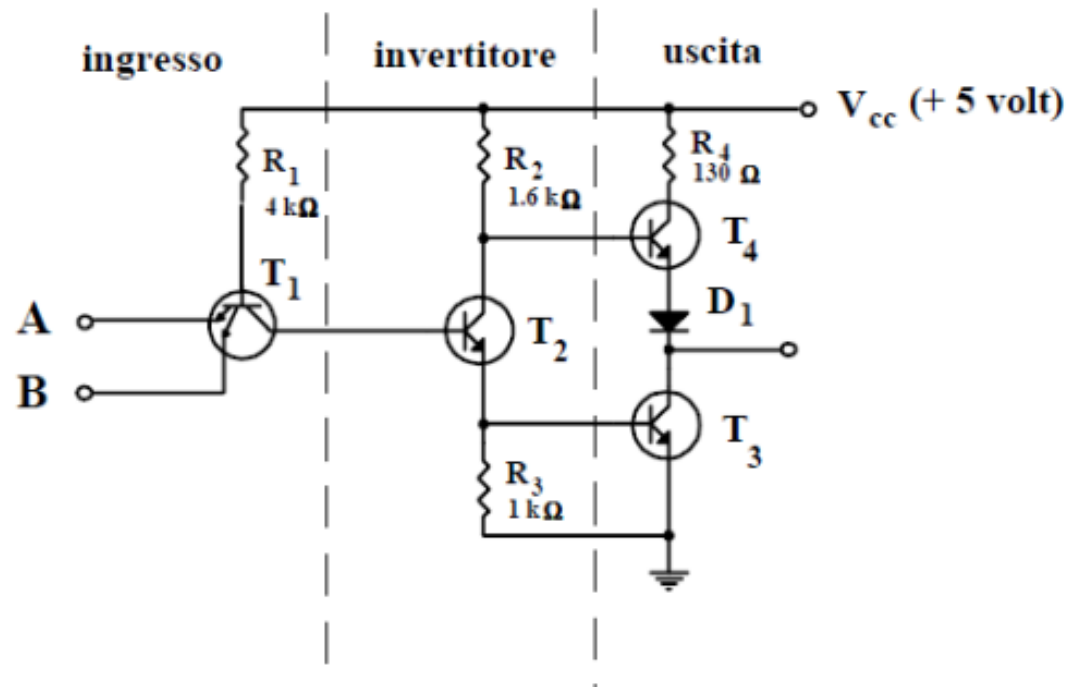
$Fo_{(H)} = N^{\circ} = I_{OH} / I_{IH}$; per il livello alto.

$Fo_{(L)} = n^{\circ} = I_{OL} / I_{IL}$; per il livello basso.

Classificazione di una porta TTL in base allo STADIO di USCITA

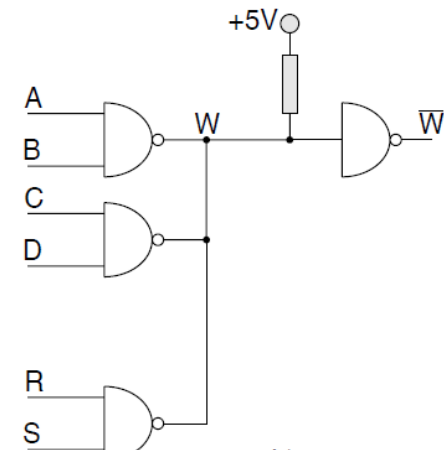
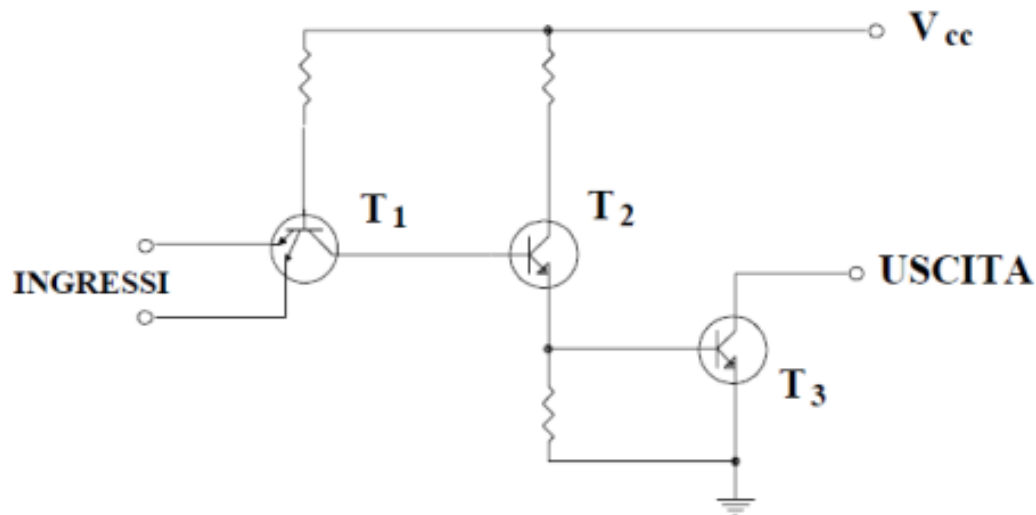
- Totem pole
- Open collector
- Three-state (Tristate)

Totem pole



Open Collector

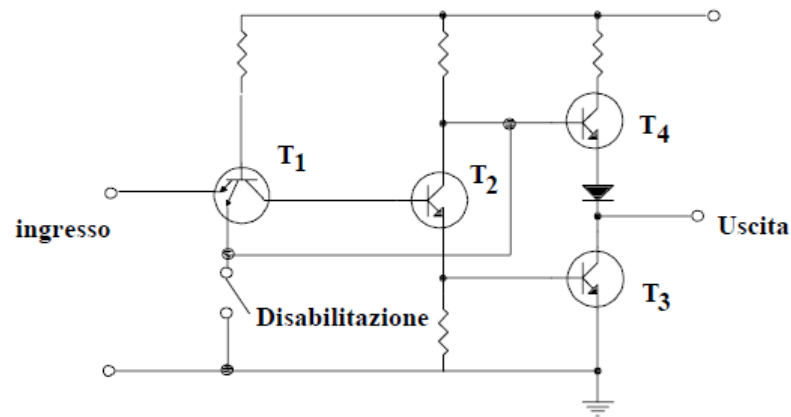
- Lo stadio di uscita è realizzato tramite un singolo transistor privo di resistenza di collettore.
- La resistenza di collettore viene aggiunta dall'esterno, e se opportunamente dimensionata potrà essere in comune con più porte (possibilità di eseguire il wired-or e il collegamento a bus).
- L'uscita è prelevata direttamente sul collettore del transistor d'uscita.
- La tensione di uscita può essere superiore a quella di alimentazione



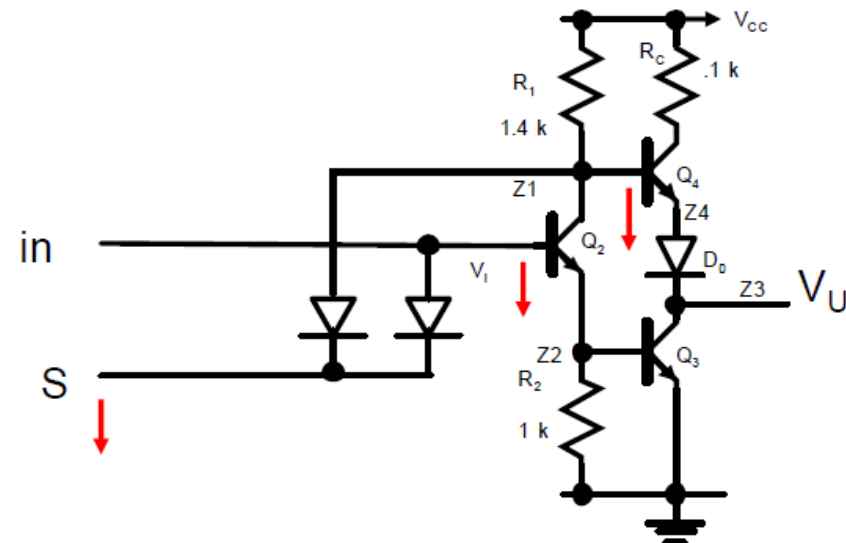
... + altri esempi (led, reè ecc.)

TRI - STATE

- Si introduce un novo stato logico ALTA IMPEDENZA “Z”
- Più uscite Tri – state possono essere connesse in parallelo (Si deve garantire che logicamente sia possibile abilitarne solo una alla volta)
- Usate quando le uscite di più porte accedono alla medesima linea e sono quindi collegate galvanicamente assieme (**bus di trasmissione dati anche bidirezionali**)



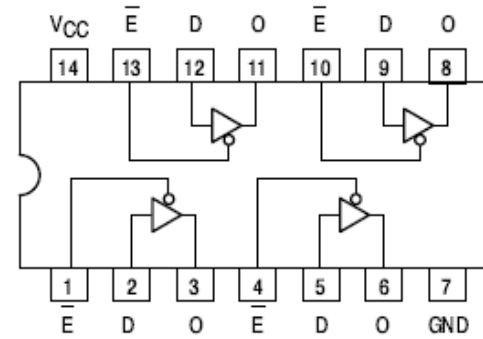
Schema funzionale



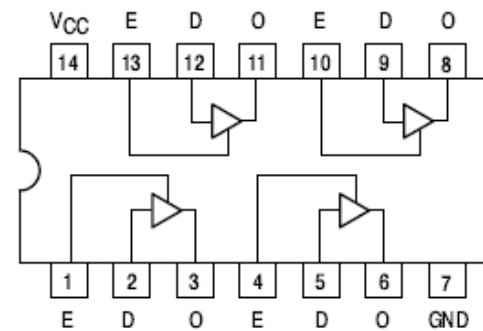
QUAD 3-STATE BUFFERS

SN54/74LS125A

SN54/74LS126A



LS125A



LS126A

TRUTH TABLES

LS125A

INPUTS		OUTPUT
E	D	
L	L	L
L	H	H
H	X	(Z)

LS126A

INPUTS		OUTPUT
E	D	
H	L	L
H	H	H
L	X	(Z)

L = LOW Voltage Level
H = HIGH Voltage Level
X = Don't Care
(Z) = High Impedance (off)

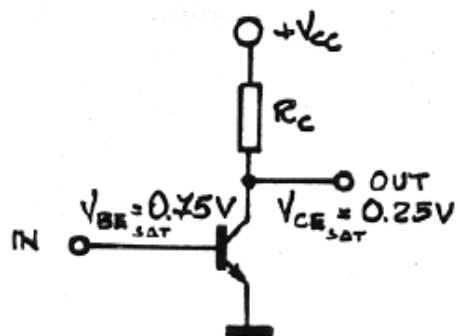
Nota-1:

Logiche TTL-LS (Low power Schottky) : l'uso del diodo Schottky

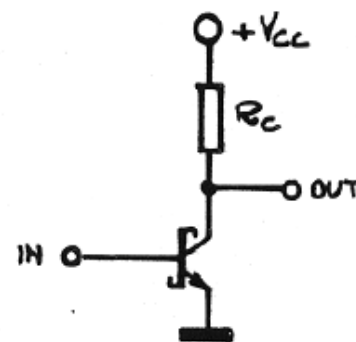
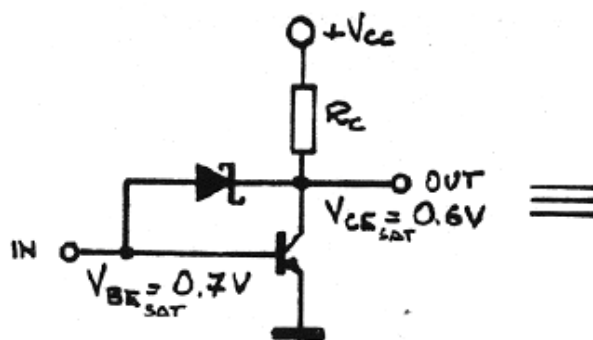
La giunzione Silicio drogato "n" e metallo (alluminio) dà luogo a una giunzione rettificatrice che prende il nome di DIODO SCHOTTKY

La tensione di soglia di un diodo schottky è più bassa (0.1-0.2 V) di quella di un diodo "p-n" (0.6-0.7 V)

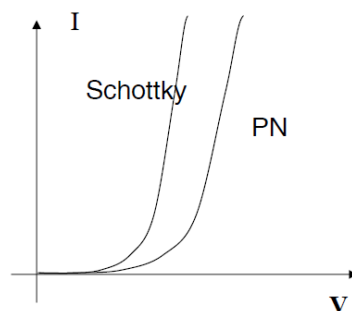
Mettendo un diodo Schottky fra base e collettore si ottiene un transistor che non può andare in saturazione



TTL Standard



LS-TTL (Schottky) = rappresentaz. convenzionale



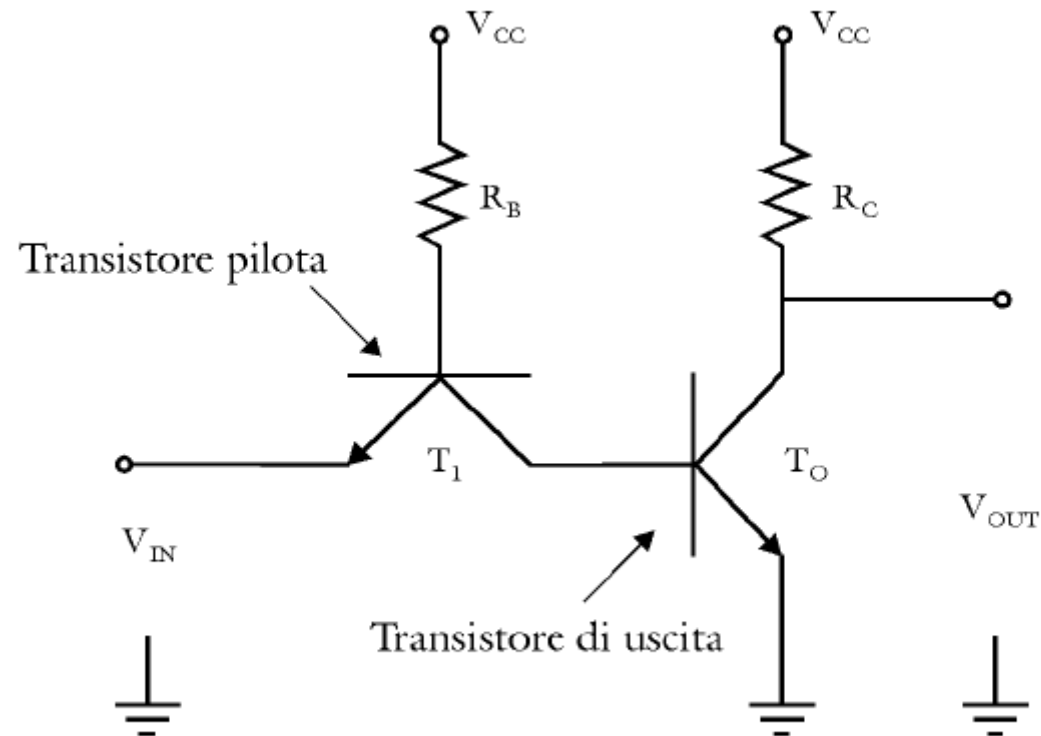
Nota-2:

POTENZE dissipate a confronto

Serie	Consumo per <u>UNA</u> porta (mWatt)	Tempo di propagazione (nSec)	Frequenza MAX di utilizzo (MHz)
74 standard	10	9	35
74LS	2	9,5	45
74HC	0,025	8	40
4000	0,001	50	12

Nota-3:

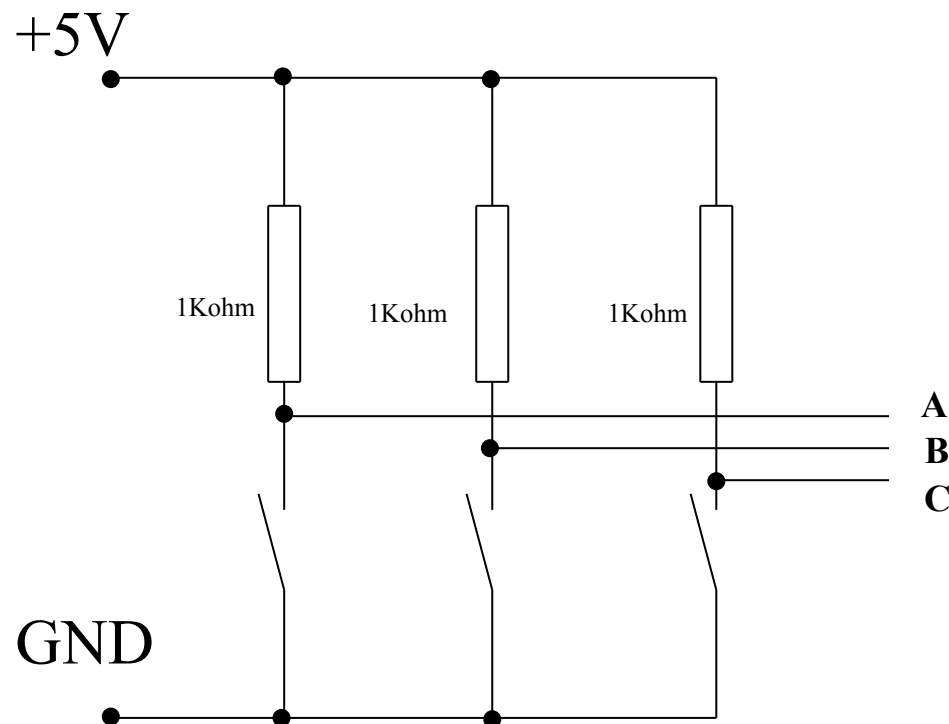
Porta **INPUT** TTL, quale valore logico assume se **NON** collegata?



Input non collegato (flottante) viene visto come un “1” logico.

E' comunque "buona regola" **NON** lasciare gli ingressi di una logica flottanti e quindi non riferiti ad un potenziale. Si parla di **Pull-UP** se connessi a livello logico **alto** o **Pull-DOWN** se connessi a livello logico **basso**.

Esempio di pull-up



Esercizi

1) Misura del tempo di propagazione:

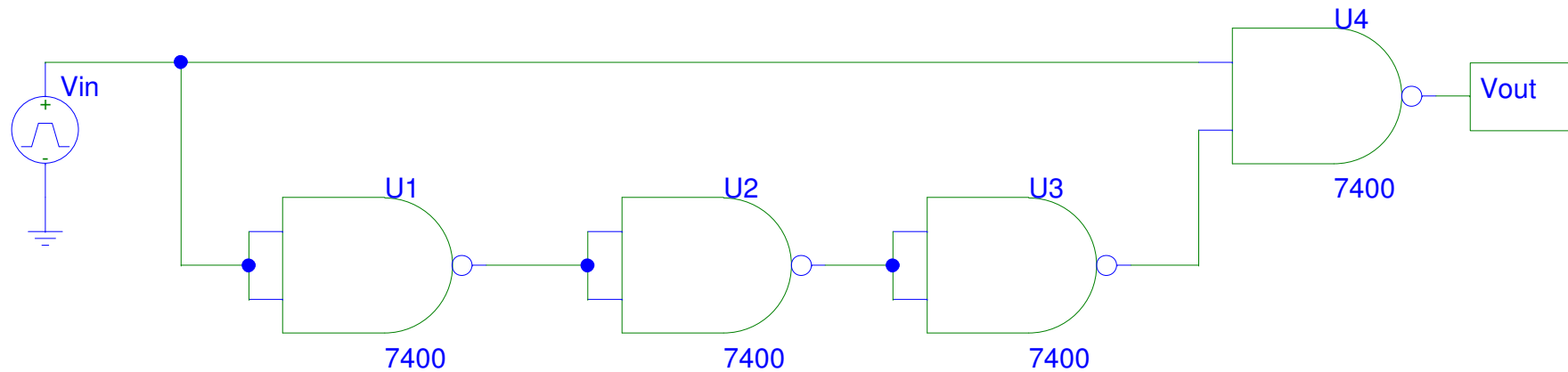
realizzare il circuito per misura tempo propagazione

connettere l'ingresso al generatore di funzioni

impostare onda quadra a $F = 100 \text{ kHz}$, ampiezza+offset opportuni

connettere l'uscita della NAND all'oscilloscopio

valutare la forma d'onda ottenuta ed effettuare la misura.



Esercizi

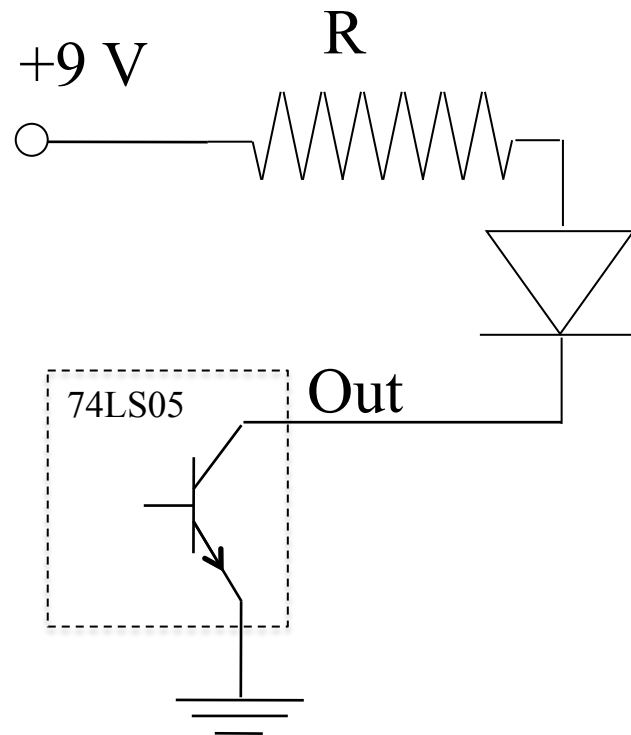
2) Verifica di una porta NOT TTL Open Collector (74LS05):

realizzare il circuito per il pilotaggio diretto di un LED.

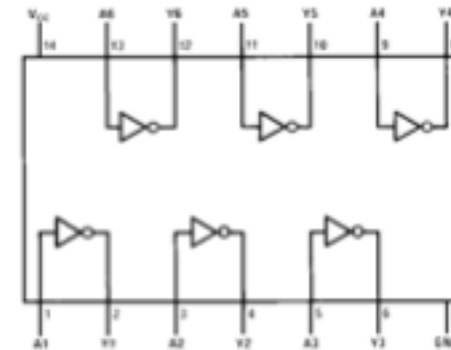
Dimensionare la resistenza di open collector

Considerare:

- una caduta di tensione sul diodo LED in conduzione pari ad 1Volt
- una caduta sul transistor del 74LS05 in saturazione pari a 0,4Volt
- una corrente sul diodo LED pari a 5mA
- Un'alimentazione dell'open collector a **9 volt**



Connection Diagram



Function Table

$$Y = \bar{A}$$

Input	Output
A	Y
L	H
H	L

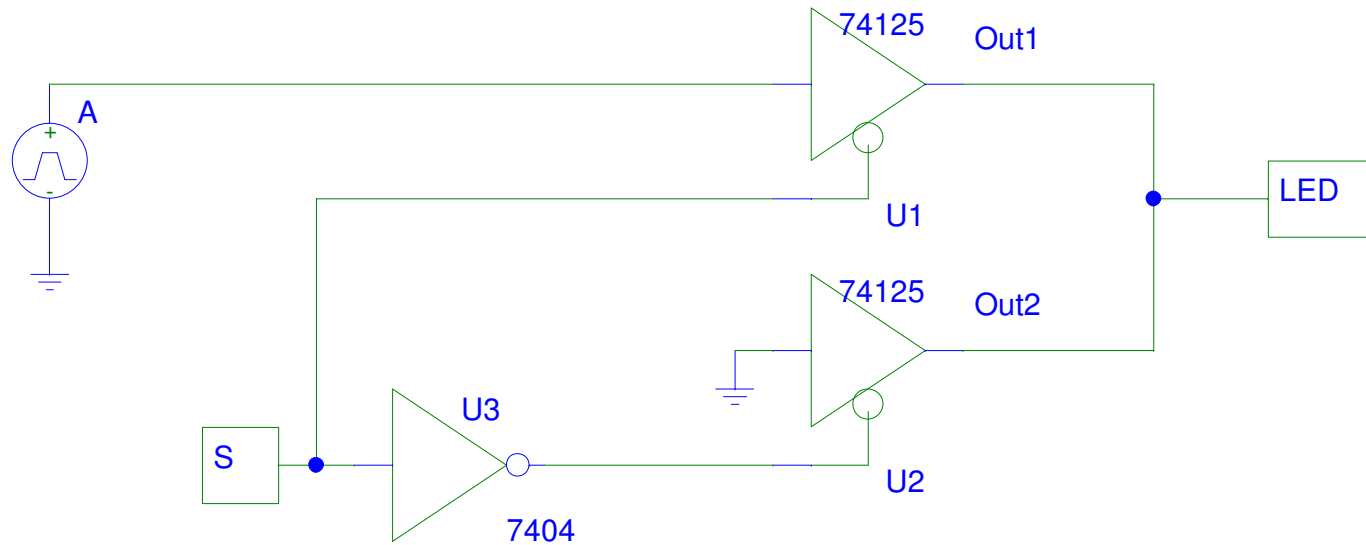
H = HIGH Logic Level
L = LOW Logic Level

Esercizi

3) Verifica di una porta buffer TTL 3State 74LS125:

realizzare il circuito per trasmissione half_duplex tramite porte 3State al fine di condividere lo stesso canale trasmissivo

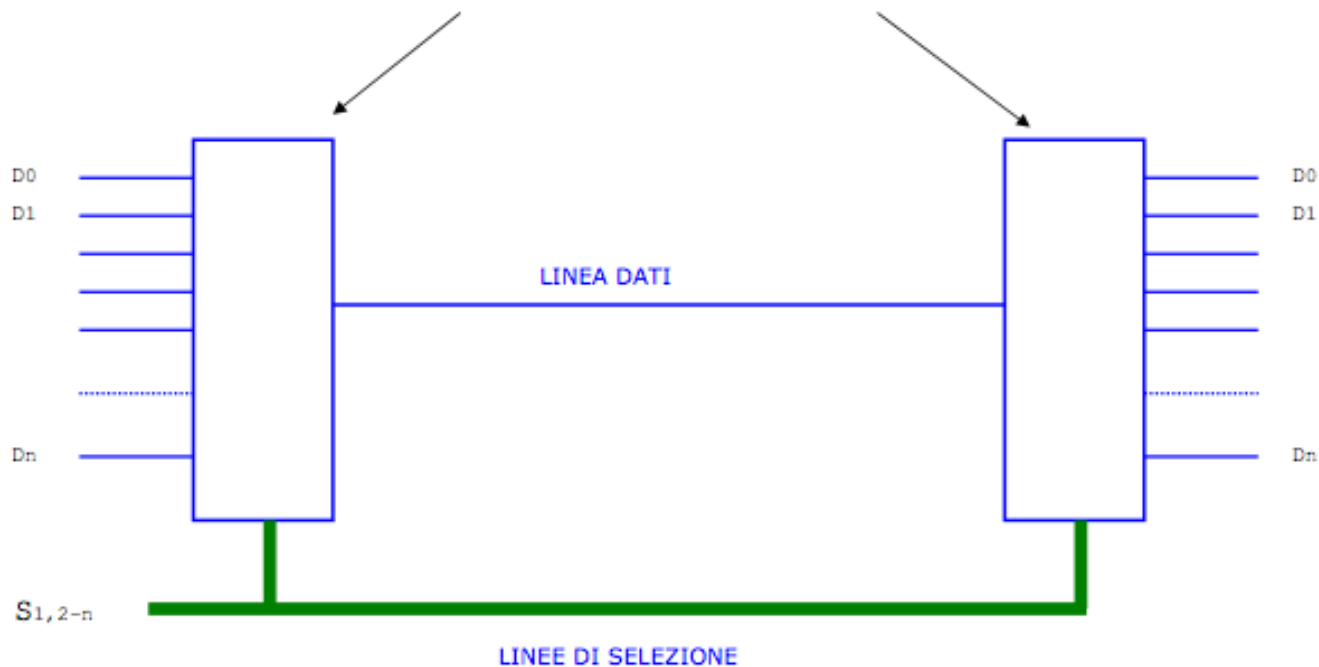
Verifica funzionamento





Circuiti di gating e di selezione : N linee

MULTIPLEXING e **DEMULTIPLEXING**



Scelte	Canali	Fili
1	2	1+1+1
2	4	1+1+2
...
8	256	1+1+8
N	2^N	1+1+N

Con il multiplexing posso trasmettere molti canali con un numero ridotto di fili
Es: la telefonia 'dei film'

Multiplexing: requisiti

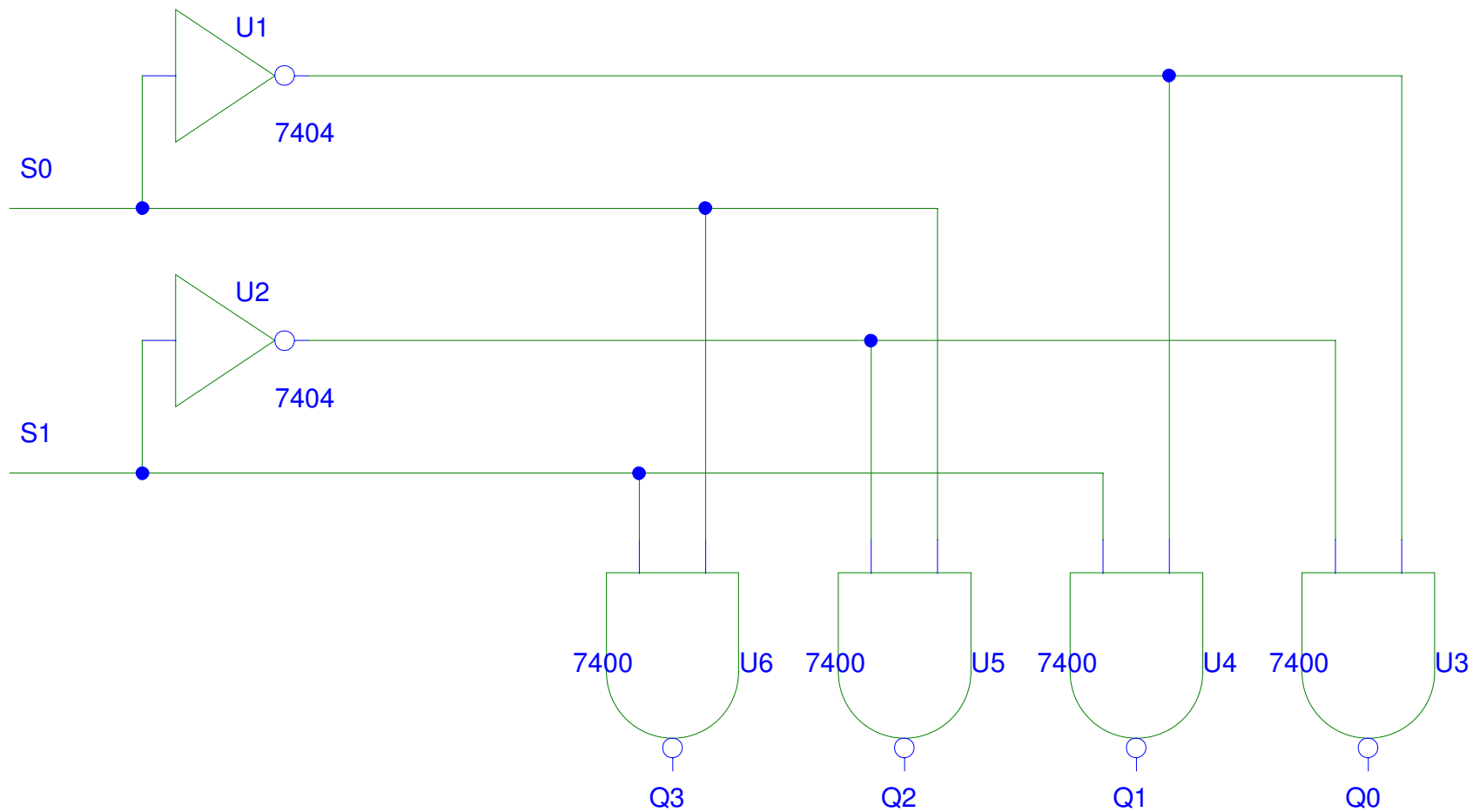
Implementazione: 'wired-OR'

Dispongo di porte 3state attivate-basso 74LS125

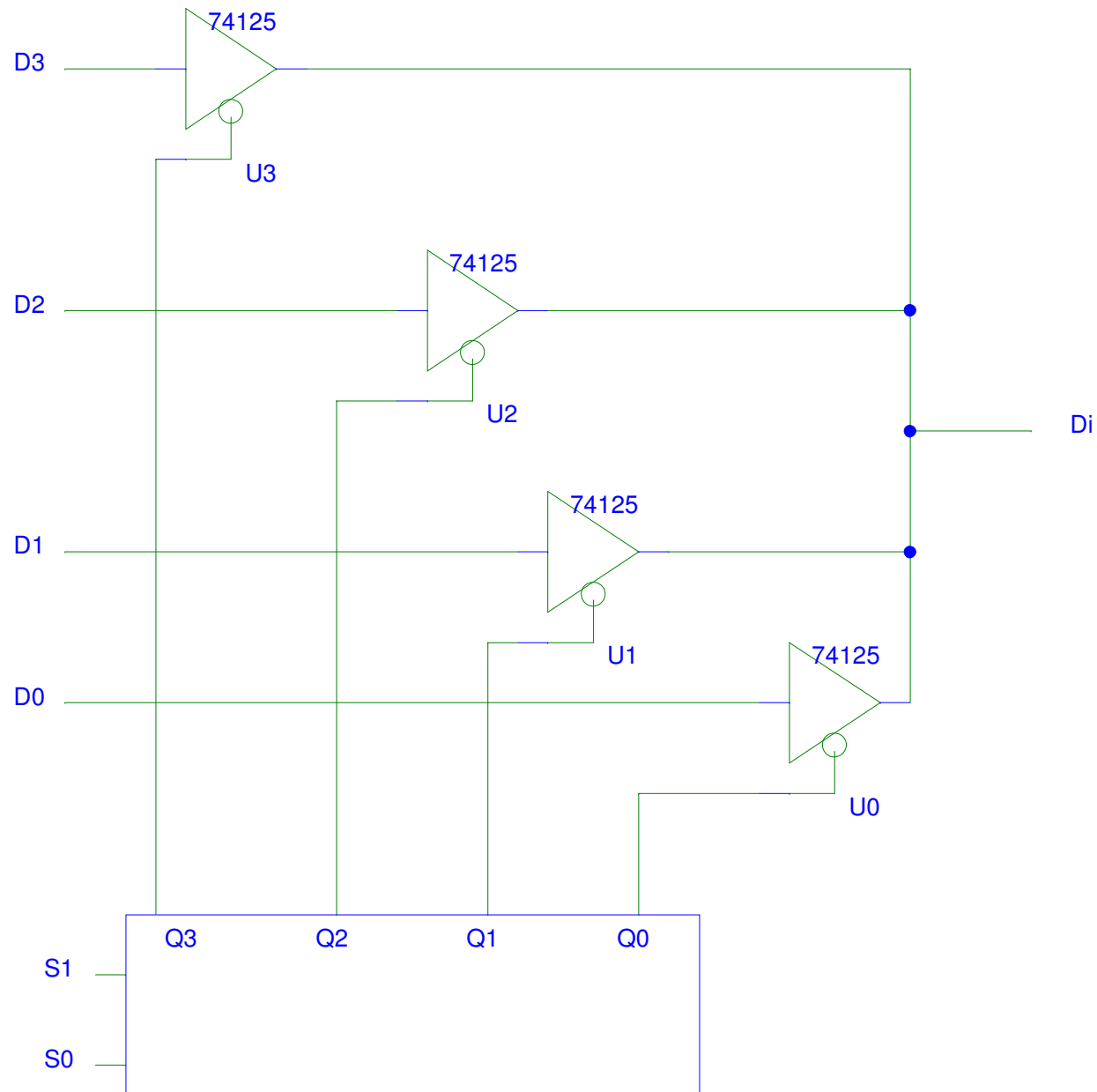
Tavola di verità per il selettore:

S_0	S_1	Q_0	Q_1	Q_2	Q_3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Multiplexing: selettore



Multiplexing: wired-or



De-multiplexing: requisiti

Implementazione: con lo stesso selettore

Tavola di verità per il selettore:

S_0	S_1	Q_0	Q_1	Q_2	Q_3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

De-multiplexing: requisiti

Implementazione: con lo stesso selettore

Verifica tavola di verità
2 gruppi: Tx-Rx

