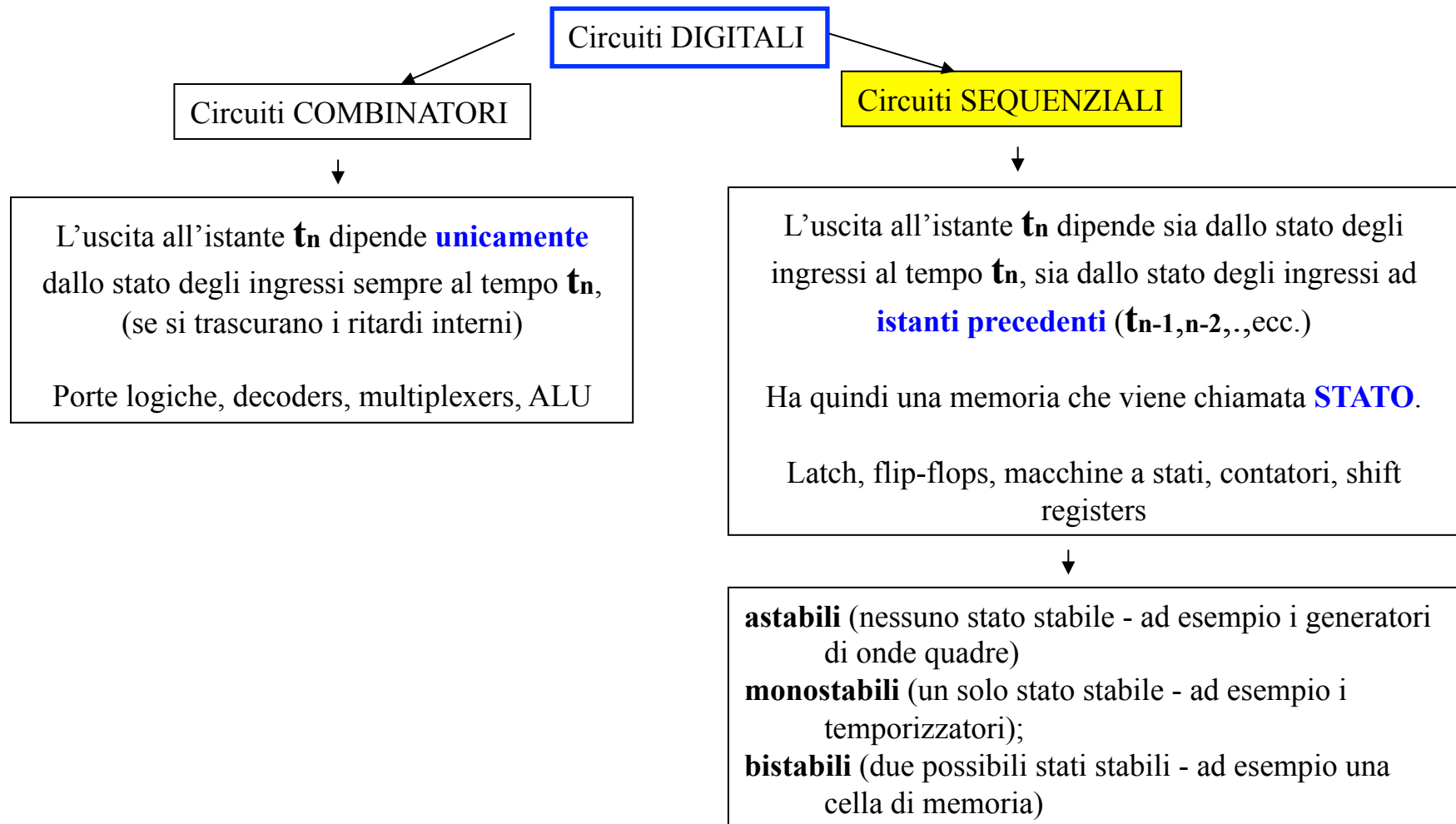


Esercizi con logica sequenziale / Flip-Flop

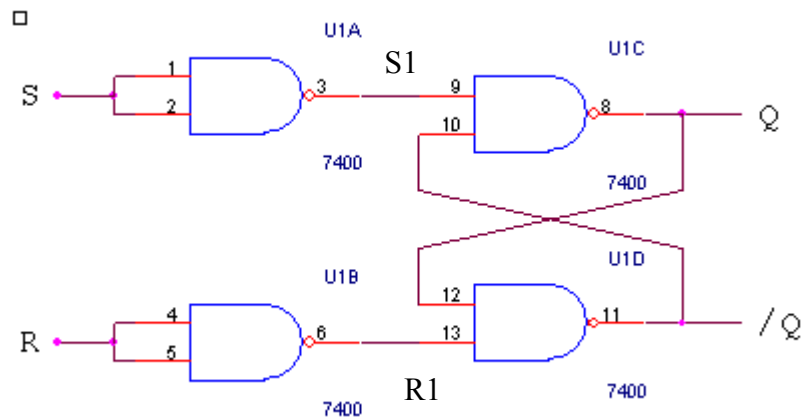
- Introduzione
- FF SR Latch (porte NAND 74LS00))
- FF SR Sincronizzato
- FF SR modificato in tipo D
- Antirimbalzo (e Marcia-Arresto)

- FF SR Latch (porte NOR 74LS02)

- Divisore di frequenza con FF JK in configurazione T



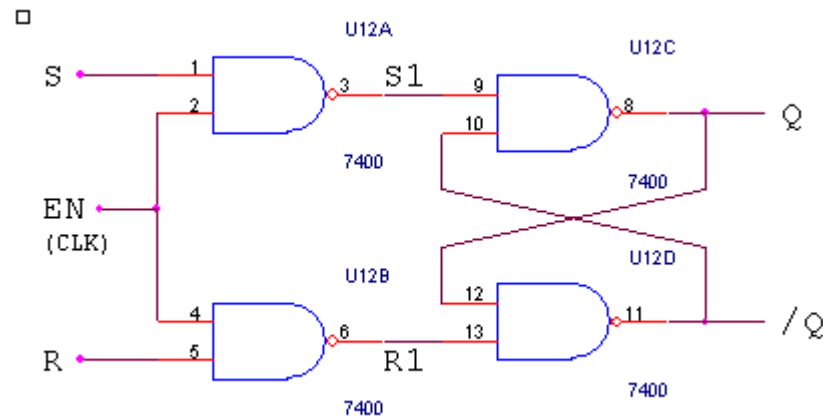
Flip-Flop SR con porte **NAND** 74LS00 (latch)



S	R	/S1	/R1	Q_{n+1}	$/Q_{n+1}$
0	0	1	1	Q_n	$/Q_n$
0	1	1	0	0	1
1	0	0	1	1	0
1	1	0	0	?	?

- 1) Montare circuito
- 2) Collegare in uscita la basetta a 8 led
- 3) Verificare funzionamento
- 4) Funzionamento asincrono: risposta istantanea quando è applicato l'ingresso

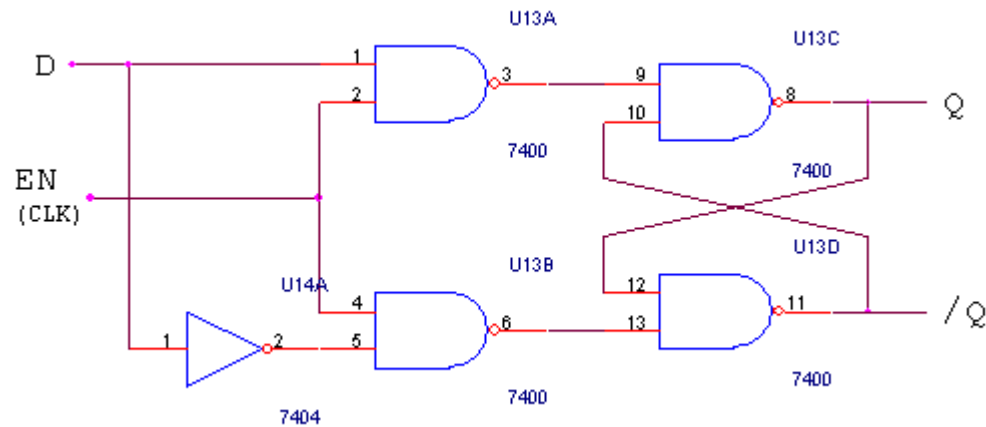
Flip-Flop SR sincronizzato



EN	S	R	Q_{n+1}	$/Q_{n+1}$
0	X	X	Q_n	$/Q_n$
1	0	0	Q_n	$/Q_n$
1	0	1	0	1
1	1	0	1	0
1	1	1	?	?

- 1) Quando EN è posto a “0” logico, $/S1$ e $/R1$ sono sempre a “1” logico, condizione di HOLD per il F-F SR realizzato con porte NAND
- 2) Quando EN è posto a “1” logico, gli ingressi S e R sono abilitati. Comportamento uguale ad un SR-latch
- 3) Collegare in uscita la basetta a 8 led
- 4) Verificare funzionamento. Modificare S e R con EN basso. Ecc.ecc.

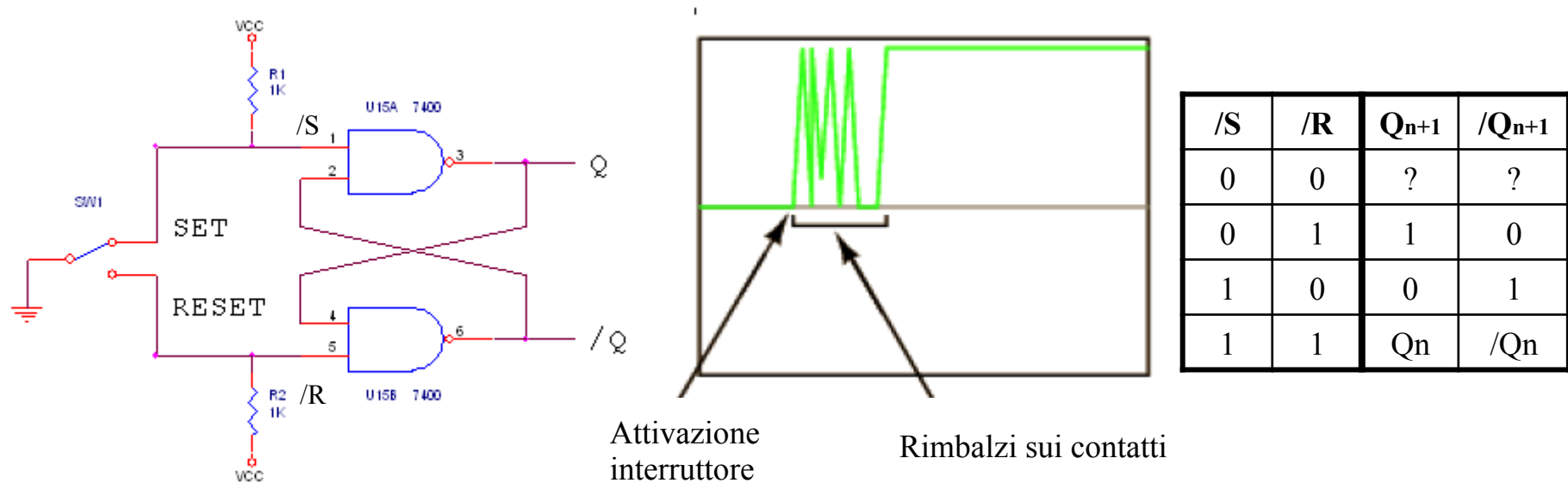
Variazione Latch: tipo D



D	EN	Q_{n+1}	$/Q_{n+1}$
0	1	0	1
1	1	1	0
X	0	Q_n	$/Q_n$

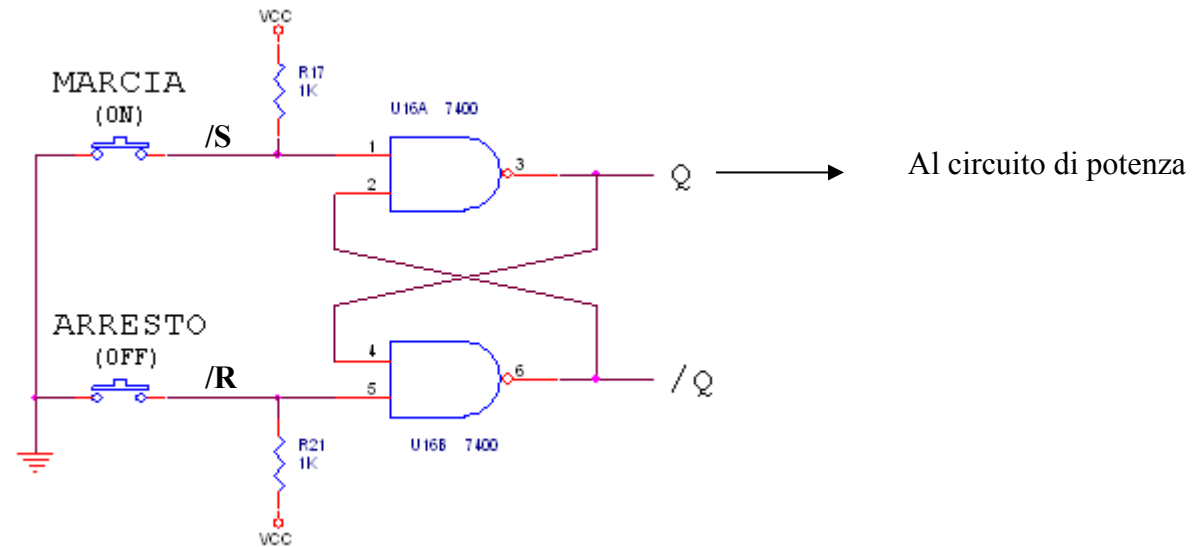
- 1) Quando EN (o CLK) è attivo (“1” logico), l’uscita assume lo stesso valore applicato all’ingresso D. Quando EN è posto a “1” logico, gli ingressi S e R sono abilitati.
- 2) In assenza di abilitazione di EN l’uscita conserva lo stato precedente, indipendentemente dal valore applicato all’ingresso D
- 3) Rappresenta l’elemento fondamentale delle memorie (concettuale)

Antirimbalzo



- 1) Verificare prima il funzionamento di un interruttore connesso direttamente ad una porta invertente. Misurare il tempo di rimbalzo.
- 2) Montare e verificare il funzionamento
- 3) Nota:
 Latch SR realizzato con porte NAND -> memoria quando /S e /R sono a "1" logico.
 /S e /R sono attivi bassi (Osservare che /S e /R sono in pull-up a Vcc con resistenza da 1Kohm)

Comandi separati MARCIA / ARRESTO



"MARCIA" /S	"ARRESTO" /R	Q_{n+1}	$/Q_{n+1}$
0	0	?	?
0	1	1	0
1	0	0	1
1	1	Q_n	$/Q_n$

Flip-Flop SR con porte **NOR** 74LS02 (latch)

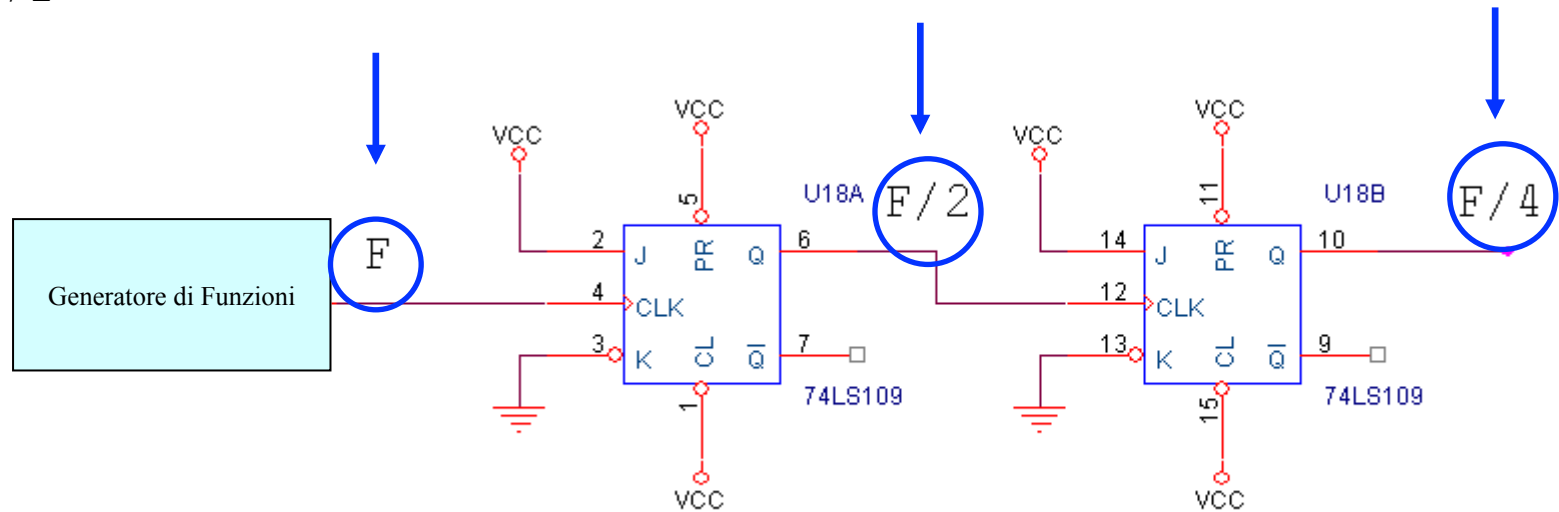
- 1) Montare il circuito
- 2) Verificare il funzionamento Set, Reset, Memoria, configurazione vietata

..... per chi ha terminato gli esercizi precedenti

Divisore di Frequenza

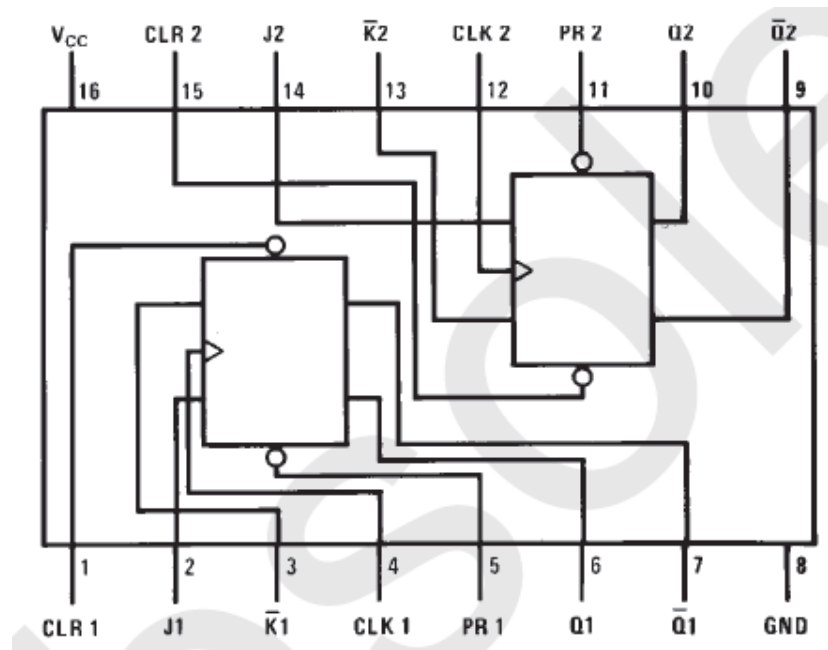
Si possono usare FF di tipo **T** (Toggle = Commutatore), e ottenere in uscita divisioni della frequenza in ingresso multiple di 2.

$$F_n = F / 2^n$$



- 1) Si usa l'integrato 74LS109 che contiene 2 FF di tipo JK
- 2) ATTENZIONE, il **/K** è attivo **basso**
- 3) Sono presenti piedini di PReset e Clear. Impostare il valore.
- 4) Visualizzare F , $F/2$, $F/4$ su basetta a LED e su oscilloscopio

74LS109



Function Table

Inputs					Outputs	
PR	CLR	CLK	J	\bar{K}	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↑	L	L	L	H
H	H	↑	H	L	Toggle	
H	H	↑	L	H	Q ₀	Q ₀
H	H	↑	H	H	H	L
H	H	L	X	X	Q ₀	\bar{Q}_0

H = High Logic Level

L = Low Logic Level

X = Either Low or High Logic Level

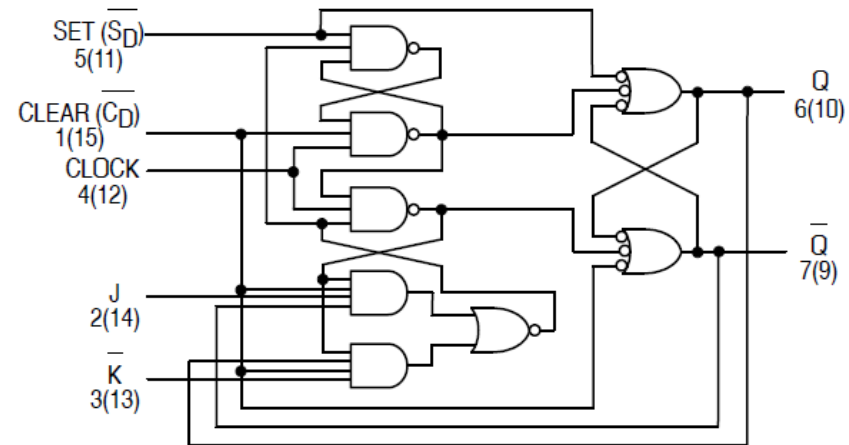
↑ = Rising Edge of Pulse

* = This configuration is nonstable; that is, it will not persist when preset and/or clear inputs return to their inactive (high) state.

Q₀ = The output logic level of Q before the indicated input conditions were established.

Toggle = Each output changes to the complement of its previous level on each active transition of the clock pulse.

74LS109



MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS				OUTPUTS	
	S _D	C _D	J	K	Q	Q̄
Set	L	H	X	X	H	L
Reset (Clear)	H	L	X	X	L	H
*Undetermined	L	L	X	X	H	H
Load "1" (Set)	H	H	h	h	H	L
Hold	H	H	l	h	q	q
Toggle	H	H	h	l	q	q
Load "0" (Reset)	H	H	l	l	L	H

* Both outputs will be HIGH while both S_D and C_D are LOW, but the output states are unpredictable if S_D and C_D go HIGH simultaneously.

H, h = HIGH Voltage Level

L, l = LOW Voltage Level

X = Don't Care

l, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW to HIGH clock transition.