
SPI 通讯协议介绍

SPI interface

SPI 接口介绍

SPI 是由美国摩托罗拉公司推出的一种同步串行传输规范，常作为单片机外设芯片串行扩展接口。SPI 有 4 个引脚：SS(从器件选择线)、SDO(串行数据输出线)、SDI(串行数据输入线)和 SCK(同步串行时钟线)。SPI 可以用全双工通信方式同时发送和接收 8(16) 位数据，过程如下：

主机启动发送过程，送出时钟脉冲信号，主移位寄存器的数据通过 SDO 移入到从移位寄存器，同时从移位寄存器中的数据通过 SDI 移入到主移位寄存器中。8(16) 个时钟脉冲过后，时钟停顿，主移位寄存器中的 8(16) 位数据全部移入到从移位寄存器中，随即又被自动装入从接收缓冲器中，从机接收缓冲器满标志位 (BF) 和中断标志位 (SSPIF) 置“1”。同理，从移位寄存器中的 8 位数据全部移入到主寄存器中，随即又被自动装入到主接收缓冲器中。主接收缓冲器满标志位 (BF) 和中断标志位 (SSPIF) 置“1”。主 CPU 检测到主接收缓冲器的满标志位或者中断标志位置 1 后，就可以读取接收缓冲器中的数据。同样，从 CPU 检测到从接收缓冲器满标志位或中断标志位置 1 后，就可以读取接收缓冲器中的数据，这样就完成了一次相互通信过程。这里设置 dsPIC30F6014 为主控制器，ISD4002 为从器件，通过 SPI 口完成通信控制的过程。

SPI 总线协议

SPI 是一个环形总线结构，由 ss (cs)、sck、sdi、sdo 构成，其时序其实很简单，主要是在 sck 的控制下，两个双向移位寄存器进行数据交换。

假设下面的 8 位寄存器装的是待发送的数据 10101010，上升沿发送、下降沿接收、高位先发送。

那么第一个上升沿来的时候数据将会是 sdo=1；寄存器 =0101010x。下降沿到来的时候，sdi 上的电平将所存到寄存器中去，那么这时寄存器 =0101010sdi，这样在 8 个时钟脉冲以后，两个寄存器的内容互相交换一次。这样就完成里一个 spi 时序。

例子：

假设主机和从机初始化就绪：并且主机的 sbuff=0xaa，从机的 sbuff=0x55，下面将分步对 spi 的 8 个时钟周期的数据情况演示一遍：假设上升沿发送数据

脉冲	主机 sbuff	从机 sbuff	sdi	sdo
0	10101010	01010101	0	0
1 上	0101010x	1010101x	0	1
1 下	01010100	10101011	0	1
2 上	1010100x	0101011x	1	0
2 下	10101001	01010110	1	0
3 上	0101001x	1010110x	0	1
3 下	01010010	10101101	0	1
4 上	1010010x	0101101x	1	0
4 下	10100101	01011010	1	0
5 上	0100101x	1011010x	0	1
5 下	01001010	10110101	0	1
6 上	1001010x	0110101x	1	0
6 下	10010101	01101010	1	0
7 上	0010101x	1101010x	0	1
7 下	00101010	11010101	0	1
8 上	0101010x	1010101x	1	0
8 下	01010101	10101010	1	0

这样就完成了两个寄存器 8 位的交换，上面的上表示上升沿、下表示下降沿， sdi 、 sdo 相对于主机而言的。其中 ss 引脚作为主机的时候，从机可以把它拉底被动选为从机，作为从机的是时候，可以作为片选脚用。根据以上分析，一个完整的传送周期是 16 位，即两个字节，因为，首先主机要发送命令过去， 然后从机根据主机的名准备数据， 主机在下一个 8 位时钟周期才把数据读回来

SPI 总线是 Motorola 公司推出的三线同步接口，同步串行 3 线方式进行通信：一条时钟线 SCK, 一条数据输入线 MOSI, 一条数据输出线 MISO;用于 CPU 与各种外围器件进行全双工、同步串行通讯。 SPI 主要特点有：可以同时发出和接收串行数据；可以当作主机或从机工作；提供频率可编程时钟；发送结束中断标志；写冲突保护；总线竞争保护等。图 3 示出 SPI 总线工作的四种方式，其中使用的最为广泛的是 SPI0 和 SPI3 方式 (实线表示):

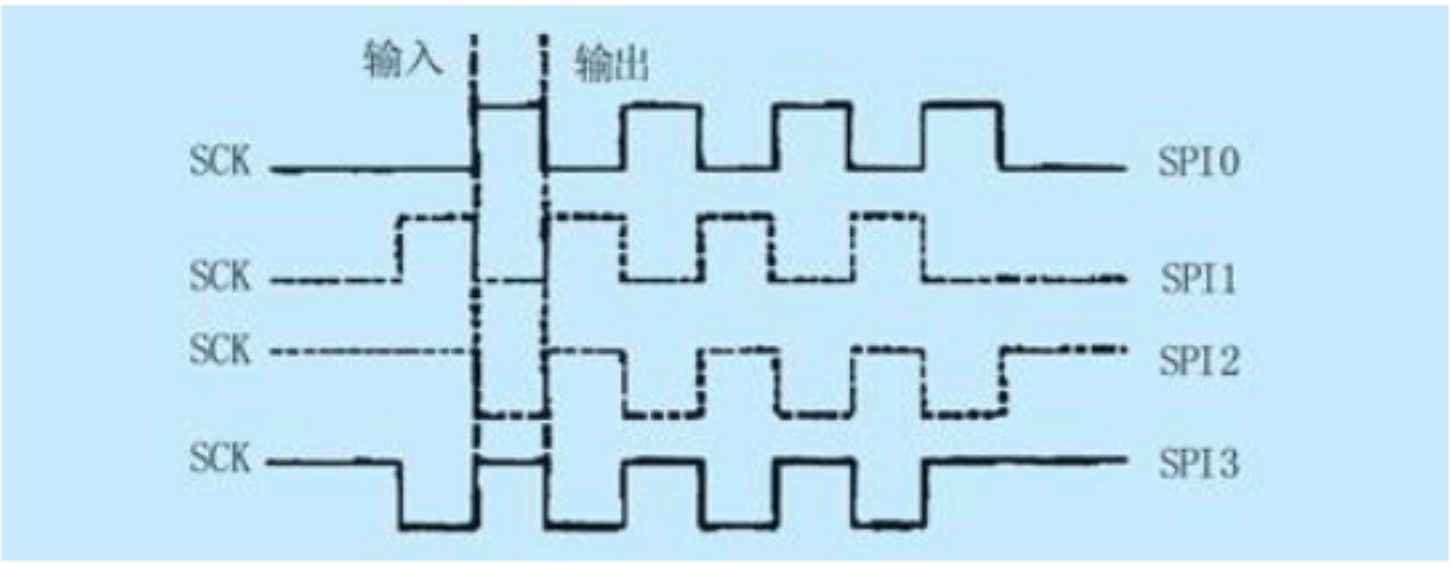
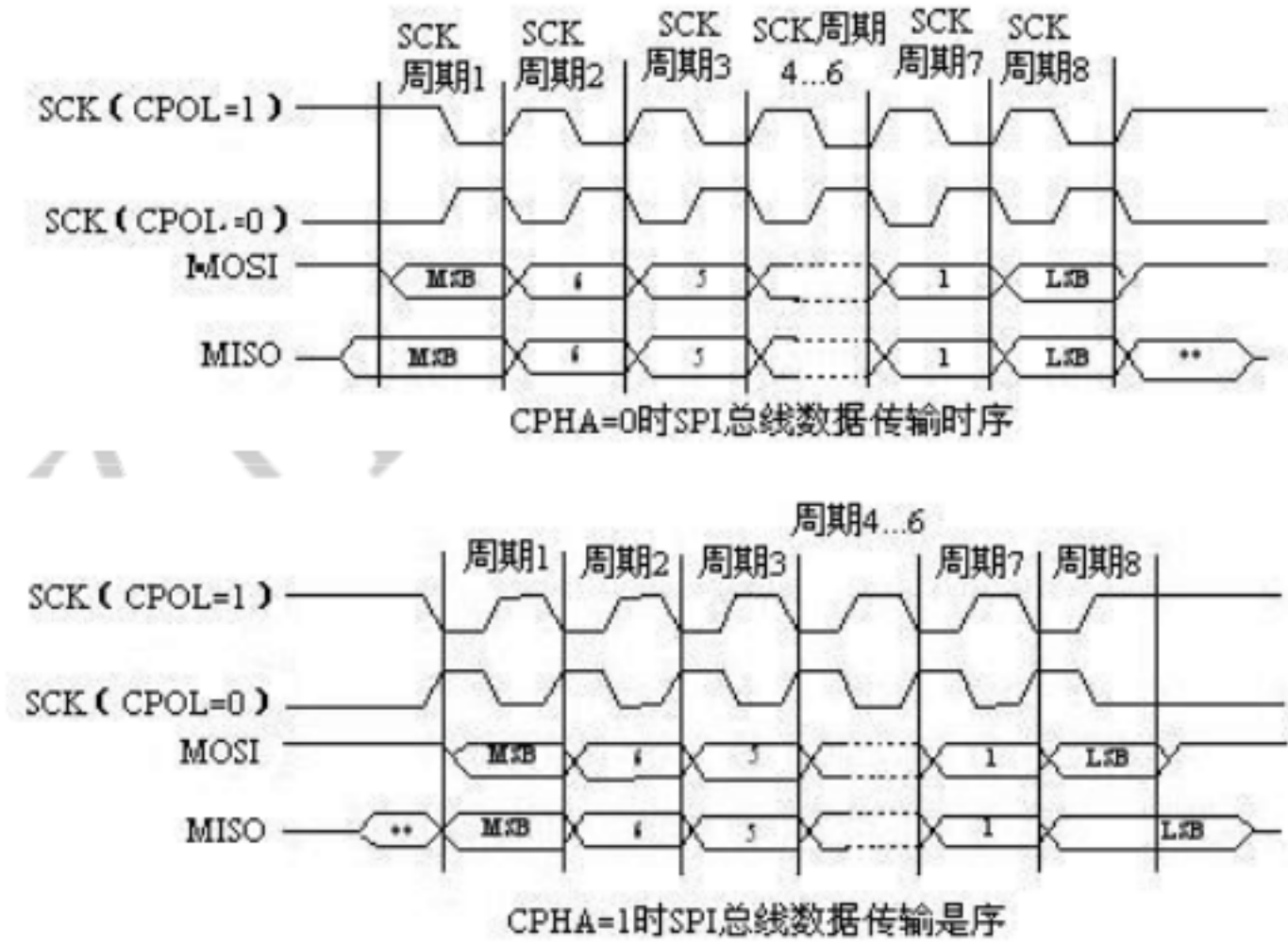


图 2 SPI 总线四种工作方式

SPI 总线接口及时序

SPI 模块为了和外设进行数据交换，根据外设工作要求，其输出串行同步时钟极性和相位可以进行配置，时钟极性（CPOL）对传输协议没有重大的影响。如果 CPOL=0, 串行同步时钟的空闲状态为低电平；如果 CPOL=1, 串行同步时钟的空闲状态为高电平。时钟相位（CPHA）能够配置用于选择两种不同的传输协议之一进行数据传输。如果 CPHA=0在串行同步时钟的第一个跳变沿（上升或下降）数据被采样；如果 CPHA=1, 在串行同步时钟的第二个跳变沿（上升或下降）数据被采样。SPI 主模块和与之通信的外设时钟相位和极性应该一致。SPI 总线接口时序如图所示。



SPI 功能模块的设计

根据功能定义及 SPI 的工作原理，将整个 IP Core 分为 8 个子模块：uC 接口模块、时钟分频模块、发送数据 FIFO 模块、接收数据 FIFO 模块、状态机模块、发送数据逻辑模块、接收数据逻辑模块以及中断形式模块。

深入分析 SPI 的四种传输协议可以发现，根据一种协议，只要对串行同步时钟进行转换，就能得到其余的三种协议。为了简化设计规定，如果要连续传输多个数据，在两个数据传输之间插入一个串行时钟的空闲等待，这样状态机只需两种状态（空闲和工作）就能正确工作。

SPI 协议简介

SPI，是英语 Serial Peripheral interface 的缩写，顾名思义就是串行外围设备接口。SPI，是一种高速的，全双工，同步的通信总线，并且在芯片的管脚上只占用四根线，节约了芯片的管脚，同时为 PCB 的布局上节省空间，提供方便，正是出于这种简单易用的特性，现在越来越多的芯片集成了这种通信协议，比如 P89LPC900。

SPI，是一种高速的，全双工，同步的通信总线，其工作模式有两种：主模式和从模式，无论那种模式，都支持

3Mbit/s 的速率，并且还具有传输完成标志和写冲突保护标志。到目前为止，我使用过的具有 SPI 总线的器件，就是存储芯片 Eprom：at25128，在使用过程中，发现的确是有这种总线的优点。下面以 P89LPC900 单片机的 SPI 总线来解释 SPI 总线的通用使用规则。

LPC900 单片机的 SPI 接口主要由 4 个引脚构成：SPICLK、MOSI、MISO 及 /SS，其中 SPICLK 是整个 SPI 总线的公用时钟，MOSI、MISO 作为主机，从机的输入输出的标志，MOSI 是主机的输出，从机的输入，MISO 是主机的输入，从机的输出。/SS

是从机的标志管脚，在互相通信的两个 SPI 总线的器件，/SS 管脚的电平低的是从机，相反 /SS 管脚的电平高的是主机。在一个 SPI 通信系统中，必须有主机。

SPI 总线可以配置成单主单从，单主多从，互为主从。今以互为主从模式作为讲解：

要进行 SPI 互为主从操作，必须遵照以下步骤：

1 对 A、B 进行初始化，均设为主机（需要进行以下操作）。

a) SPI 端口初始化为双向。

b) SPCTL 配置为 0x50，SSIG=0，SPEN=1，MSTR=1。

c) 清除 SPSTAT 中的 SPIF 及 WCOL 标志位为 0。

d) 如果需要使用 SPI 中断，可使能相应中断位。

2 将 A 上一个引脚连接到 B 的/SS 引脚上，然后拉低 /SS，可将 B 强行置为从机模式，同时 B 机会发生以下变化：

a) B 机的 MSTR 位自动清 0。

b) B 机的 MOSI 及 SPICLK 强行变为输入模式，MISO 则变为输出模式。

c) B 机 SPIF 位置位。

d) 如果 SPI 中断使能，B 机将执行 SPI 中断服务程序。

3 B 机可设置为查询接收或中断接收方式，以时刻准备接收由 A 机发送过来的数据，要使 B 机恢复为主机，必须完整执行步骤 1。本示例中，通过两块 DP932 实验板构成了 SPI 互为主从测试系统。

程序中应注意的问题：

1 程序中应注意对首次拉低 SS 引脚进行处理：当 A 机首次通过 B_SS 将 B 机设置为从机后，从机的 SBIF 位会置位（会被认为完成一次传输），如果这之前，使能了 SPI 中断，则从机则会执行相应的中断服务程序（本示例程序中，当 B 机的 SS 引脚被拉为低电平，B 机的 SBIF 首次置位进行处理）。

2 关于从机恢复为主机的问题：互为主从模式中，当 B 机被 A 机设置为从机后，CPCTL 寄存器中 MSTR 位被清除为 0，且 SPIF 被置 1，MOSI 和 SPICLK 强制变为输入模式，MISO 强制变为输出模式。要想恢复为主机，必须执行以下操作：

a) 将 MSTR 位置 1，SPIF 位清 0。

b) 将 MOSI , SPICLK , MISO 及 SS 重新恢复为准双向口。

c) 在 a)、b)之前, 需要注意将 B_SS 拉高, 如果其一直为低电平, 即使完成 a)、b) 操作, 也会将 B 机重新设置为从机。

3 在 SPI 总线的使用过程中, 可以通过 DORD (SPI 数据顺序选择位), CPOL (SPI 时钟极性选择位), CPHA (SPI 时钟相位选择位) 控制主 / 从机传输格式。对于本实验, 可以忽略这些位的影响, 但是在使用一些其他 SPI 器件时, 必须根据从器件数据手册的要求, 对 SPI 数据的传输顺序, SPI 的时钟极性, 及 SPI 的时钟相位进行正确的设置。

4 一些 SPI 的应用系统, 由于硬件的设计并不是很合理, 所以有时 SPI 通信不正常 (传输数据出错, 或其他情况), 你可以试着降低 SPI 总线的传输速率, 或者调节一些 SPI 时钟极性及相位, 以使传输稳定。