MAÏSTERRENA Pierre

SEO Cherine

2TD07

Rapport de projet

VHDL

Table des matières

[Présentation 3](#_Toc34342549)

[Schéma fonctionnel 3](#_Toc34342550)

[Algorithme des fonctions séquentielles 4](#_Toc34342551)

[Synthèse 5](#_Toc34342552)

[Présentation fonction par fonction 5](#_Toc34342553)

[Code source et tests 6](#_Toc34342554)

[Bilans 7](#_Toc34342555)

[Conclusion 7](#_Toc34342556)

[Bilan collectif 7](#_Toc34342557)

[Bilans individuels 7](#_Toc34342558)

[Sources 8](#_Toc34342559)

# Présentation

## Schéma fonctionnel

## Algorithme des fonctions séquentielles

# Synthèse

## Présentation fonction par fonction

## Code source et tests

# Bilans

## Conclusion

## Bilan collectif

## Bilans individuels

# Sources

Code pour la clock: <http://www.uqac.ca/ht2bui/7segments_vhdl.pdf>