

#### 베릴로그를 이용한 합성곱 신경망 구현

강보영 성균관대학교 소프트웨어대학

#### Implementation of Convolutional Neural Network using Verilog

Kang Bo Young Sungkyunkwan University

지도 교수: 이강윤 교수님

연구실명: 집적회로 연구실

# e) 개 요

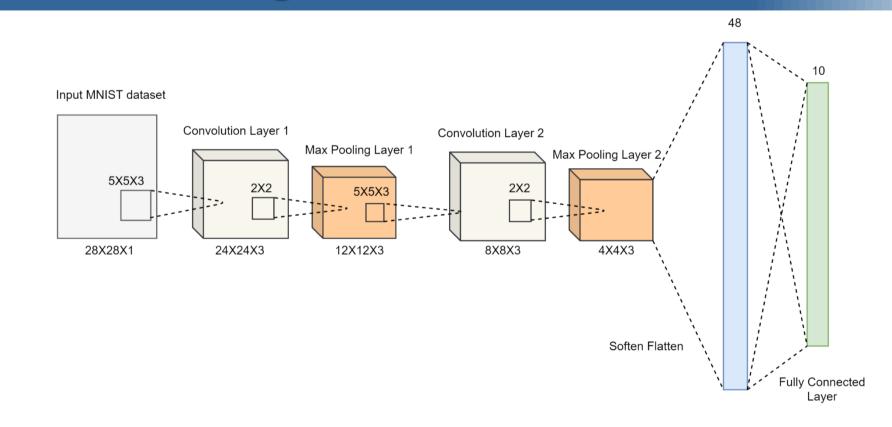
뉴로모픽 기술이란 인간의 뇌 구조를 CMOS 집적회로 기술 기반의 하드웨어로 구현한 것이다. 이는 기존 폰 노이만 구조의 병목 현상 을 해결하며, 초저전력으로 고속 동작이 가능하다.

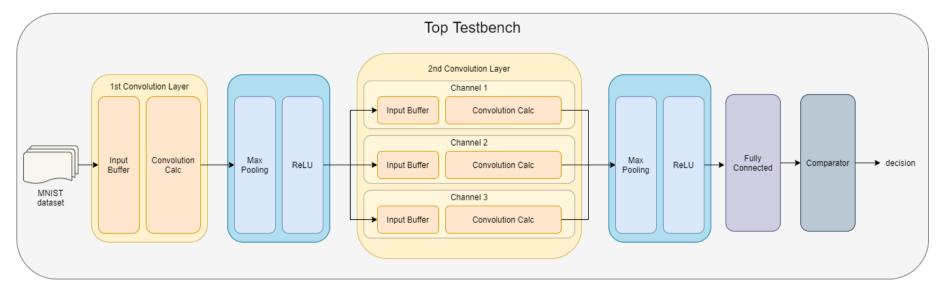
본 연구작품에서는 신경망을 통한 학습 방법 중 하나인 CNN을 verilog 언어를 사용하여 RTL-level 하드웨어 설계를 진행하였다. 설계를 검증하기 위해 MNIST dataset에 대한 학습을 진행하여 인식률 및 소요 시간을 측정하고 분석하였다.

## <sup>일</sup> 설계 Flow

- 1. 최소 94% 이상의 적중률을 가지면서 가능한 적은 layer를 쌓아 용량이 작은 CNN 모델을 채택한다.
- 2. CNN 모델을 사용하여 PyTorch 프레임워크에서 학습을 진행하고, 가중치과 편향값, 입력데이터를 추출한다.
- 3. RTL과 테스트벤치를 설계하고, 시뮬레이션을 통해 검증을 진행한다.

# Block Diagram & Sub Module

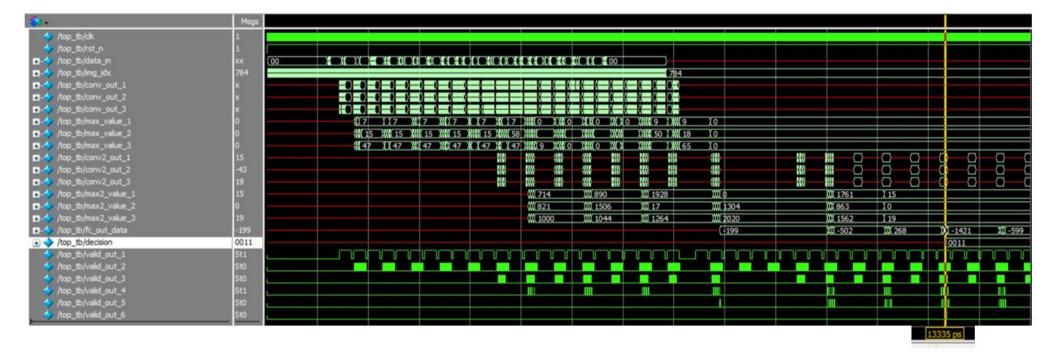




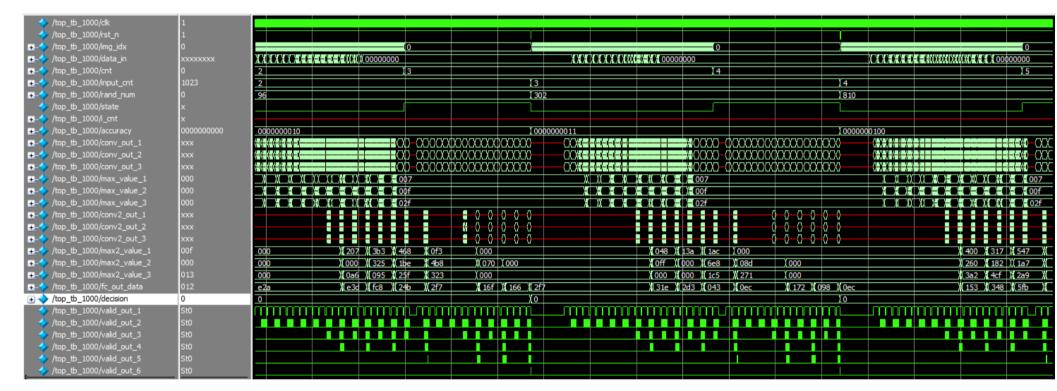
- Convolution Layer: 합성곱 연산을 수행하는 모듈이며, 버퍼와 합성곱 연산 로직으로 구성된다.
- Max Pooling + ReLU: Max pooling과 활성화 함수인 ReLU를 함께 수행하는 모듈이다.
- Fully Connected Layer: 합성곱 연산의 경롸값을 통해 최종적인 class 분류를 위해 1-dimensional 벡터로 변환하는 모듈이다.
- Comparator: 학습 결과값을 결정하는 모듈이다.
- Testbench: 파일 입출력 및 system Verilog 를 통해 MNIST dataset을 입력하고 test input에 대한 결과값과 기댓값을 비교하여 설계를 검증한다.

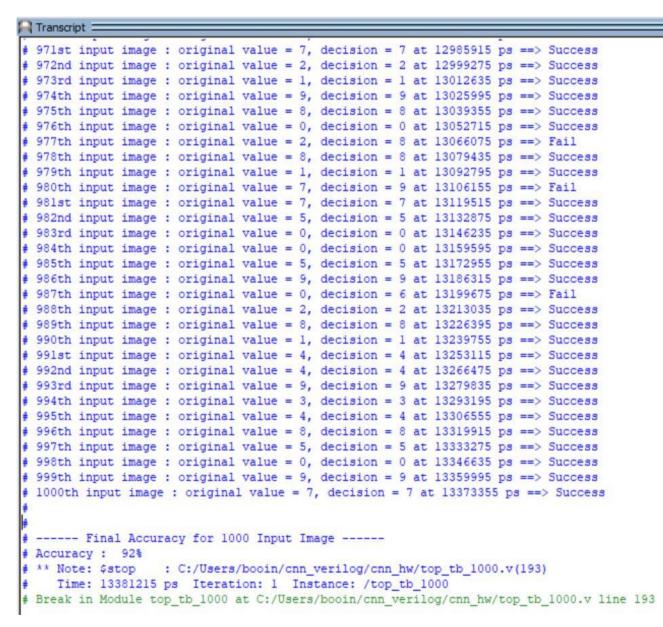
## 일 결 과

• Modelsim 툴에서 시뮬레이션 한 결과 단일 MNIST 입력데이터에 대해 학습을 진행하여 숫자를 인식하는 데에 10MHz 동작 클럭에서 13335ps 가 소요되었다.



 연속적으로 1,000개의 입력데이터를 랜덤으로 입력하였을 때, 920번 인식에 성공하여 92%의 적중률을 갖는다.





#### 의 결 론

본 연구작품에서는 합성곱 신경망을 하드웨어로 구현하기 위한 RTL-level 설계를 진행하였다. PyTorch 프레임워크에서 CNN 모델을 사용하여 MNIST dataset에 대한 학습을 진행하여 추출한 가중치와 편향값을 사용하였다. 두 개의 테스트벤치를 설계하여 디자인에 대한 검증을 진행하였고, 그 결과 합성곱 연산을 통해 학습이 정상적으로 진행되며 해당 디자인이 92%의 적중률을 갖는 것을 확인하였다.