

Архитектура ЭВМ и систем

Лекция № 3

Функциональные узлы
комбинационного и
последовательного типов

План лекции

1. Функциональные узлы последовательного типа.
2. Функциональные узлы комбинационного типа.

Функциональные узлы комбинационного и последовательного типов

Функциональные узлы ВМ выполняют различную обработку групп сигналов (информационных слов).

Принципы работы таких узлов задают базовые элементы, из которых узлы состоят.

Функциональные узлы компьютеров также можно разбить на две группы:

- 1. комбинационного типа ;**
- 2. последовательного типа.**

Функциональные узлы последовательного типа

1. Регистр – функциональный узел для запоминания многоразрядных слов. Большинство регистров строятся на базе *D*-триггеров.

Регистры состоят из разрядных схем, в которых имеются триггеры, а также логических элементов.

Регистры выполняют над словами ряд микроопераций.

Первая группа операций связана с приёмом слова в регистр (установка в нулевое или единичное значение, приём слова в прямом и обратном коде). Принятые данные хранятся в регистре, пока не появится команда на их смену.

Вторая группа операций связана с выдачей слов из регистра в прямом и обратном коде.

Третья группа операций связана с выполнением поразрядных логических операций над несколькими словами.

Четвёртая группа операций связана со сдвигом слов в разрядной сетке (влево или вправо на определённое число разрядов), а также с преобразованием последовательного (разряды передаются друг за другом) кода в параллельный (все разряды передаются одновременно) и, наоборот.

Функциональные узлы последовательного типа

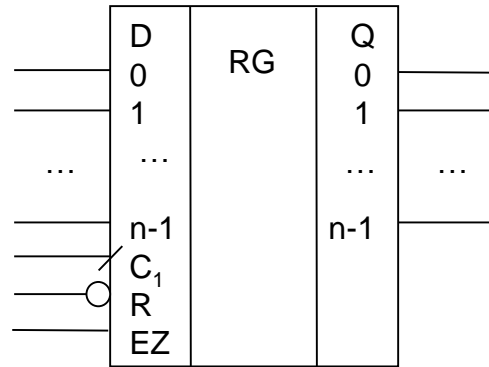
По способу приёма и выдачи данных регистры делятся на три вида:

- **Параллельные (статические).** Приём и выдача слов производится по всем разрядам одновременно. В таких регистрах хранятся слова, которые могут быть подвергнуты поразрядным логическим операциям.
- **Последовательные (сдвигающие).** Слова принимаются и выдаются последовательно, разряд за разрядом. Такие регистры могут быть **нереверсивными** (с однонаправленным сдвигом) или **реверсивными** (с возможностью сдвига в обоих направлениях).
- **Последовательно-параллельные** регистры имеют входы и выходы одновременно последовательного и параллельного типа и могут выполнять взаимные преобразования кодов.

По способу тактирования различают **однотактные** (схемы регистров управляются одной последовательностью синхроимпульсов) и **многотактные** (схемы регистров управляются несколькими последовательностями синхроимпульсов).

По количеству каналов передачи данных различают **однофазные** (данные передаются по одной цепи либо в прямом, либо в обратном коде) и **парафазные** (каждый разряд передаётся и в виде прямого, и в виде обратного кода по двум цепям).

Функциональные узлы последовательного типа



D_i – информационные входы;
 C_1 – сигнал загрузки;
 Q_i – выходы триггеров;
 R – входы сброса (гашения);
 EZ – управляющий сигнал.

Условное обозначение статического регистра

Перед записью информации все триггеры регистра сбрасываются в нулевое значение путём подачи сигнала «1» на вход R . После сигнала загрузки (вход C_1) в регистре формируется слово (входы D_i).

Для чтения из регистра оно передаётся на выходы Q_i . Все операции над словами в регистрах выполняются под управлением специальных сигналов (вход EZ).

Статические регистры состоят из разрядных схем, не связанных между собой и не обменивающихся данными. Общими для разрядов обычно являются цепи управления (тактирования, сброса/установки и т.д.).

Функциональные узлы последовательного типа

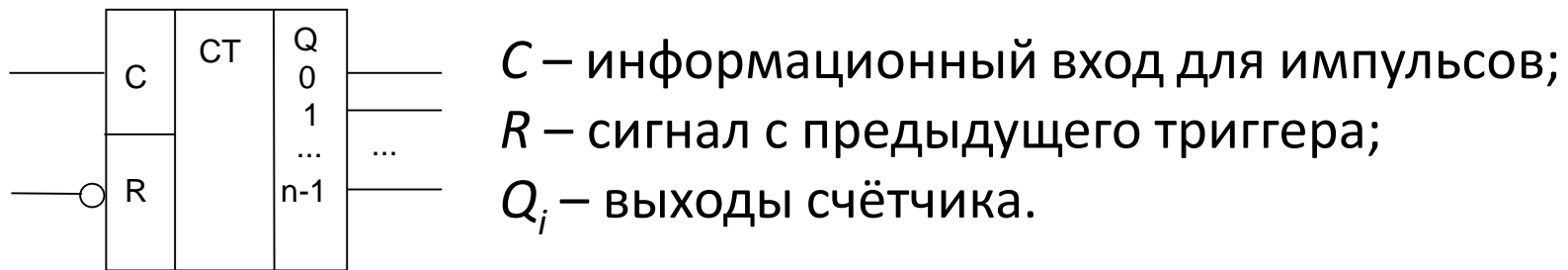
Из статических регистров составляются блоки регистровой памяти. Если дешифрация адреса записи и адреса чтения слов производится независимыми элементами, то возможны одновременно чтение из одного регистра и запись слова в другой регистр. Такие регистры используются также и для образования *сверхоперативной памяти*.

Если имеется один комплекс адресных входов и один дешифратор адреса, которые используются и при записи, и при чтении слов, то созданная на основе таких регистров память представляет собой *память с произвольным доступом*.

Функциональные узлы

последовательного типа

2. Счётчик – это автомат, который под действием входных импульсов переходит из одного состояния в другое, фиксируя тем самым число поступивших на его вход импульсов.



Условное обозначение двоичного счётчика

Каждый поступающий на вход C импульс перебрасывает первый триггер в противоположное состояние.

Сигнал с инверсного выхода предыдущего триггера R является входным сигналом для последующего.

Таким образом, комбинация Q_0, Q_1, \dots, Q_{n-1} будет соответствовать числу поступивших на вход счётчика импульсов, представленному в двоичном коде.

Функциональные узлы последовательного типа

Максимальное количество импульсов, которое может зарегистрировать счётчик, называется **ёмкостью** счётчика.

После поступления на счётчик максимального числа входных сигналов счётчик перезапускается.

Счётчики обычно строятся на основе каскадного включения триггеров, каждый из которых выполняет операцию деления на 2. Ёмкость счётчика, состоящего из m триггеров, будет равна 2^m , поскольку возможно 2^m различных дискретных состояний.

Специфической для счётчиков операцией является изменение их содержимого на единицу. Прибавление единицы соответствует операции *инкрементации*, вычитание единицы – операции *декрементации*.

Кроме того, счётчики могут выполнять дополнительные операции: сброс, установку, хранение, выдачу слов и т.д.

Режимы работы счётчиков:

1. *Регистрация поступивших входных сигналов.* В счётчике фиксируется его содержимое (цифровой код).
2. *Режим деления частоты.* Выходными сигналами являются импульсы переполнения счётчика.

Функциональные узлы последовательного типа

По направлению счёта счётчики делятся на:

1. **суммирующие** (прямого счёта);
2. **вычитающие** (обратного счёта);
3. **реверсивные** (с изменением направления счёта).

Счётчики строятся из разрядных схем, имеющих межразрядные связи. По способу организации этих связей различают:

1. **счётчики с последовательным переносом** – в них каждый триггер переключается выходным сигналом предыдущего;
2. **счётчики с параллельным переносом** – содержат разрядные триггеры с конъюкторами и при поступлении входного сигнала переключаются только те триггеры, для которых все предыдущие были в единичном состоянии (для сложения) или нулевом (для вычитания).

Функциональные узлы последовательного типа

Вход	Выходы				Шаг
	Q_0	Q_1	Q_2	Q_3	
1	0	0	0	0	1
1	0	0	0	1	2
1	0	0	1	0	3
1	0	0	1	1	4
1	0	1	0	0	5
1	0	1	0	1	6
1	0	1	1	0	7
1	0	1	1	1	8
1	1	0	0	0	9
1	1	0	0	1	10
1	1	0	1	0	11
1	1	0	1	1	12
1	1	1	0	0	13
1	1	1	0	1	14
1	1	1	1	0	15
1	1	1	1	1	16

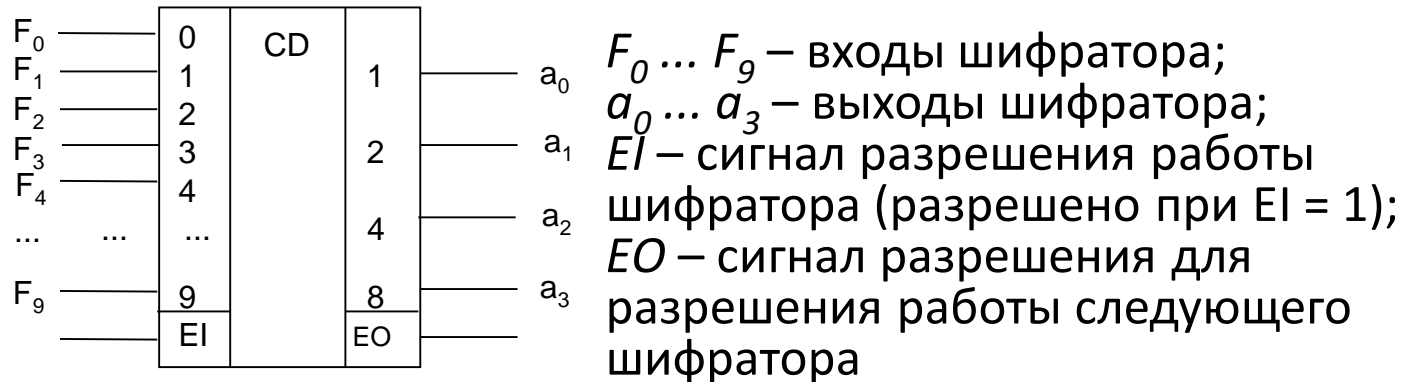
Схема работы суммирующего счётчика

После регистрации 16 импульсов, следующий импульс вызовет переполнение счётчика.

Функциональные узлы комбинационного типа

1. Шифратор – это логическая схема, вырабатывающая на выходе определённое двоичное значение длиной n бит в зависимости от того, на каком из её 2^n входов присутствует логическая 1.

Полный шифратор имеет 2^n входов и n выходов. Шифратор преобразует код «1 из N» в двоичный.



Условное обозначение шифратора (на примере шифратора 10×4)

Если логическая единица может присутствовать на нескольких входах, то применяется **приоритетный шифратор**, реагирующий на самый старший разряд входного слова.

Функциональные узлы комбинационного типа

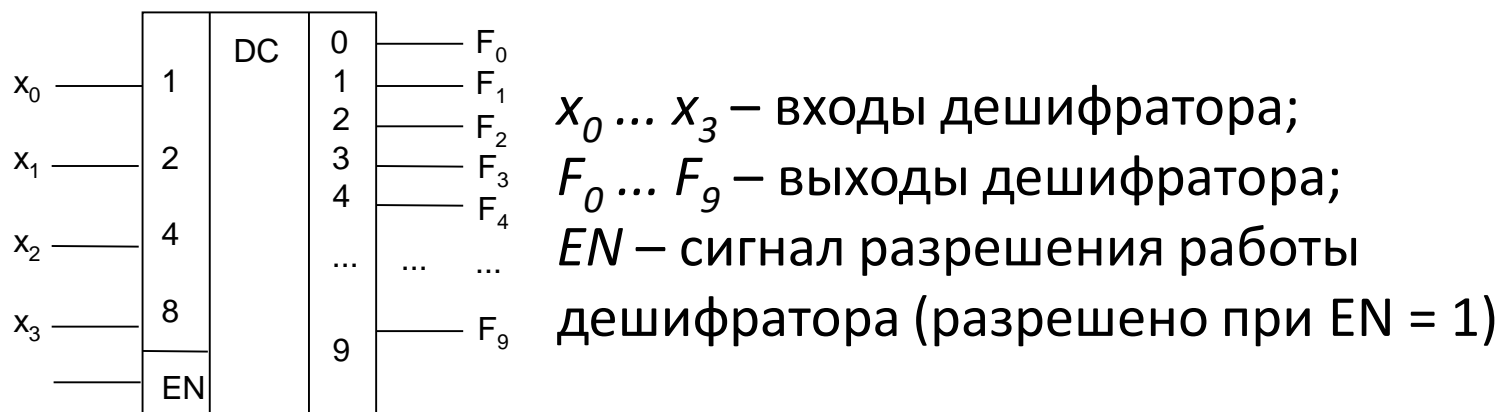
Активный вход	Выход			
	a_0	a_1	a_2	a_3
F_0	0	0	0	0
F_1	0	0	0	1
F_2	0	0	1	0
F_3	0	0	1	1
F_4	0	1	0	0
F_5	0	1	0	1
F_6	0	1	1	0
F_7	0	1	1	1
F_8	1	0	0	0
F_9	1	0	0	1

*Принципы функционирования шифратора
(на примере шифратора 10×4)*

Функциональные узлы комбинационного типа

2. Дешифратор – это логическая схема, которая при подаче на её вход n - разрядного двоичного числа переводит один из своих 2^n выходов в активное состояние (логической 1).

Полный дешифратор имеет n входов и 2^n выходов. Дешифратор преобразует двоичный код в код «1 из N».



*Условное обозначение дешифратора
(на примере дешифратора 4×10)*

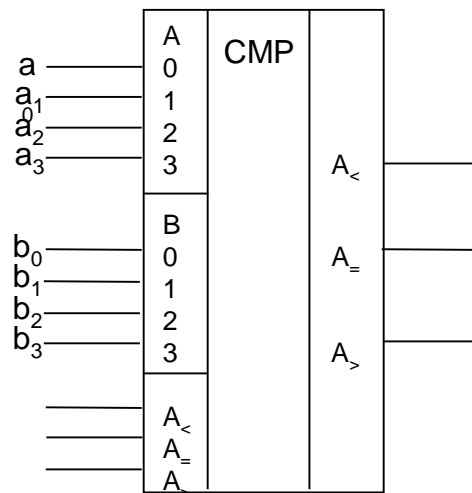
Шифраторы и дешифраторы используются в функциональных блоках и устройствах, где требуются преобразования кодов. Например, шифратор клавиатуры, дешифратор адресов памяти и т.д.

Функциональные узлы комбинационного типа

3. Компараторы – устройства сравнения, определяющие отношения между двумя словами.

Функции, вырабатываемые компараторами, определяются следующим образом: они принимают единичное значение (истинны), если соблюдается условие, указанное в индексе обозначения функции.

Обычно выпускаются компараторы с тремя выходами «>», «<», «=».



$a_0 \dots a_3$ – входы для первого слова;
 $b_0 \dots b_3$ – входы для второго слова;
 $A_{<}, A_{=}, A_{>}$ – контакты для
наращивания разрядности
компаратора (с левой стороны) и
выходы компаратора (с правой
стороны)

*Условное обозначение компаратора с тремя
выходами*

Функциональные узлы комбинационного типа

Каждая операция сравнения вычисляется в соответствии с логической формулой над двоичными переменными.

Операции сравнения над многоразрядными словами выполняются на основе поразрядных операций над одноимёнными разрядами обоих слов.

A	B	$A > B$
0	0	0
0	1	0
1	0	1
1	1	0

Вычисление функции $A > B$

Функциональные узлы комбинационного типа

4. Сумматор – устройство, выполняющее арифметическое сложение кодов.

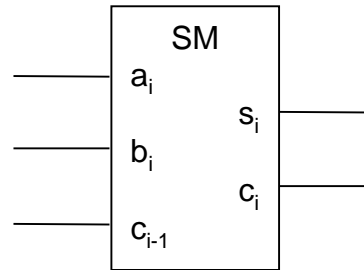
При этом выполняются также дополнительные операции: учёт знаков слагаемых, порядков слагаемых и т.д.

Сумматоры применяются и как самостоятельные устройства, так и входящими в состав арифметико-логических устройств (АЛУ).

По числу входов различают следующие виды сумматоров:

- **Полусумматоры** – имеют два входа (по одному для каждого слагаемого) и два выхода (один – для суммы, второй – для единицы переноса). Такие сумматоры не учитывают при сложении текущих разрядов единицу переноса из соседнего младшего разряда.
- **Полные одноразрядные сумматоры** – имеют три входа (по одному на каждое слагаемое и ещё один – для единицы переноса из соседнего младшего разряда) и два выхода (как в полусумматорах).
- **Многоразрядные сумматоры** – состоят из нескольких полусумматоров или полных сумматоров и используются для сложения многоразрядных слов.

Функциональные узлы комбинационного типа



a_i, b_i – входы для i -х разрядов слагаемых;
 c_{i-1} – вход для единицы переноса из соседнего младшего разряда;
 s_i – выход для суммарного значения i -х разрядов;
 c_i – выход для единицы переноса i -го разряда

*Условное обозначение сумматора
(на примере полного одноразрядного сумматора)*

Функциональные узлы комбинационного типа

a_i	b_i	c_{i-1}	s_i	c_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Таблица истинности для полного одноразрядного сумматора

Функциональные узлы комбинационного типа

Многоразрядные сумматоры делятся на **последовательные** и **параллельные**.

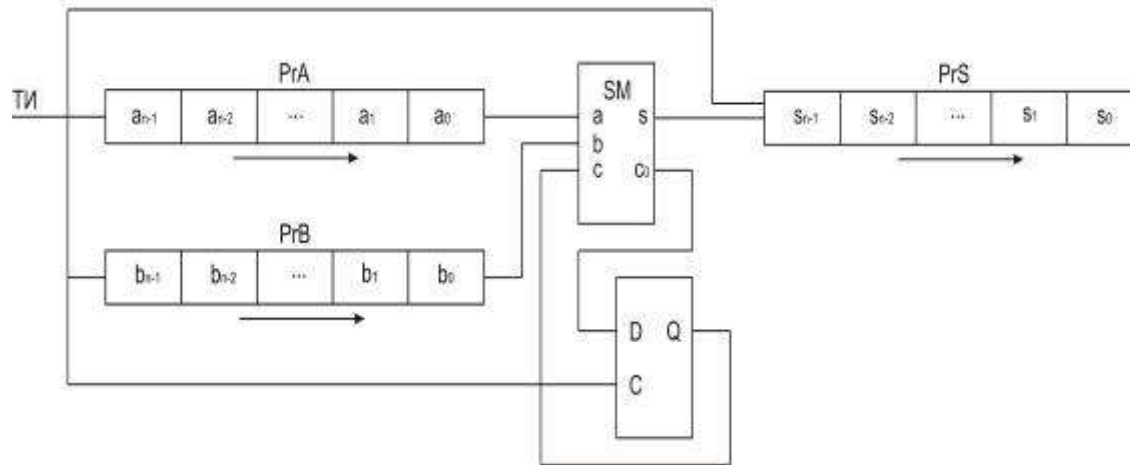
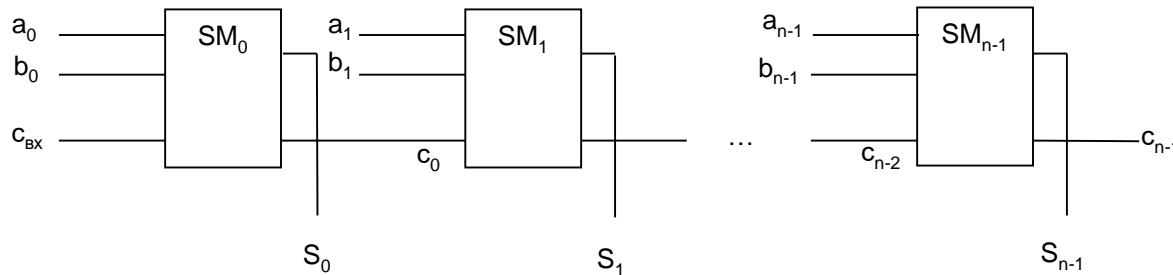


Схема
последовательного
многоразрядного
сумматора

В **последовательных** сумматорах обработка данных ведётся разряд за разрядом, начиная с младшего, на одном и том же оборудовании. В схему сдвигающие регистры слагаемых (PrA, PrB) и суммы (PrS), а также триггер для запоминания переноса. Регистры и триггер тактируются импульсами $ТИ$. Сложив младшие разряды, сумматор вырабатывает сумму для младшего разряда и перенос, который запоминается на один такт. В следующем такте складываются следующие разряды слагаемых с учётом переноса из младшего разряда и т.д. Последовательные сумматоры относятся к узлам комбинированного типа.

Функциональные узлы комбинационного типа



*Схема
параллельного
многоразрядного
сумматора с
последовательным
переносом*

В **параллельных** сумматорах слагаемые обрабатываются одновременно по всем разрядам, и для каждого разряда используется своё оборудование. В устройстве применяется принцип «сквозного переноса»: бит переноса, формируемый на каждой стадии процесса сложения должен передвигаться через все последующие стадии до получения окончательного результата.

Поэтому такой параллельный сумматор называют параллельным сумматором с последовательным переносом.