

AQUARIUS

Лекция 3. FPGA.



AQUARIUS

Часть 1. Устройство FPGA.

Устройство FPGA

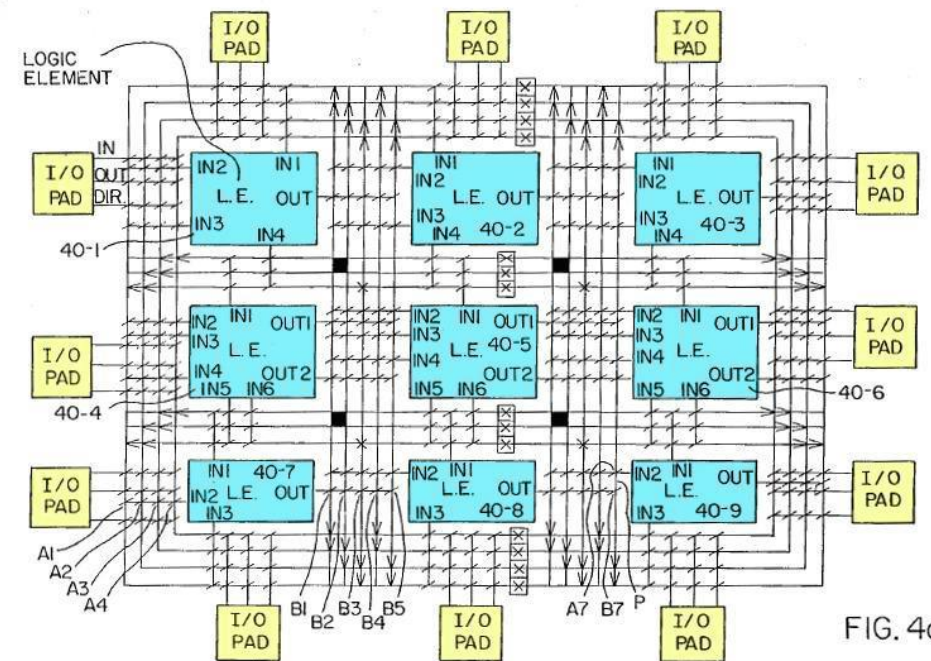
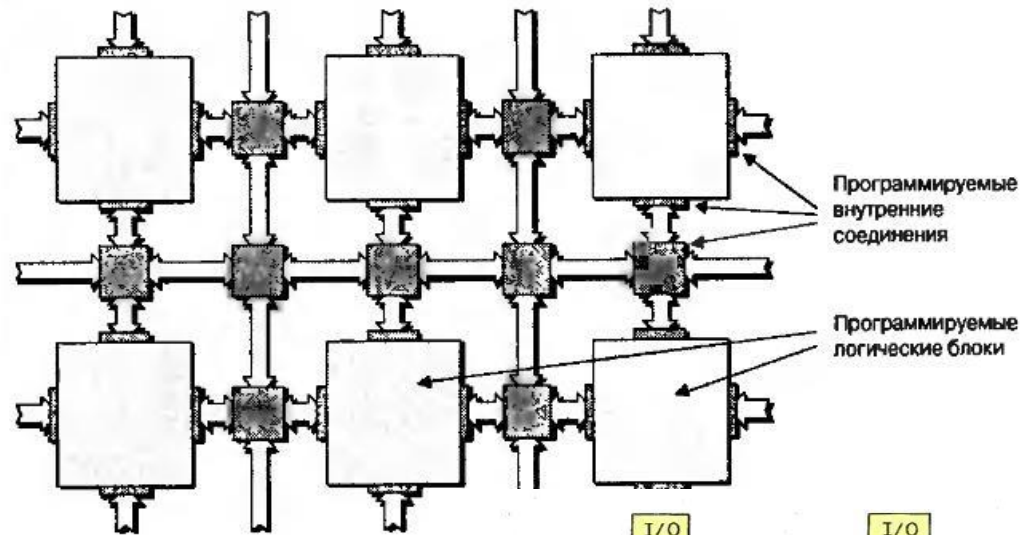
Основные элементы FPGA:

- Logic cell
 - LUT – Look Up Table
 - Регистры
 - Мультиплексоры
 - Цепи переноса
- Сеть межсоединений (interconnect)
- Блочная и распределенная память
- Порты ввода-вывода
- Блоки генерации частоты (ФАПЧ, PLL)
- Блоки обработки цифрового сигнала
- Опционально
 - Аппаратные специализированные блоки
 - Высокоскоростные трансиверы

FPGA – Field Programmable Gate Array

ПЛИС – Программируемая логическая интегральная схема

(Помимо FPGA существовали PAL, GAL, CPLD)



Устройство LUT

- LUT - это базовая строительная единица для реализации логических функций.
- LUT представляет собой небольшую память, хранящую таблицу истинности для заданной логической функции, и мультиплексор, выбирающий выходное значение на основе входных сигналов.
- Таблицы истинности конфигурируются в момент прошивки FPGA
- Отличают LUT с разным количеством входных линий.

X0	Y
0	1
1	0

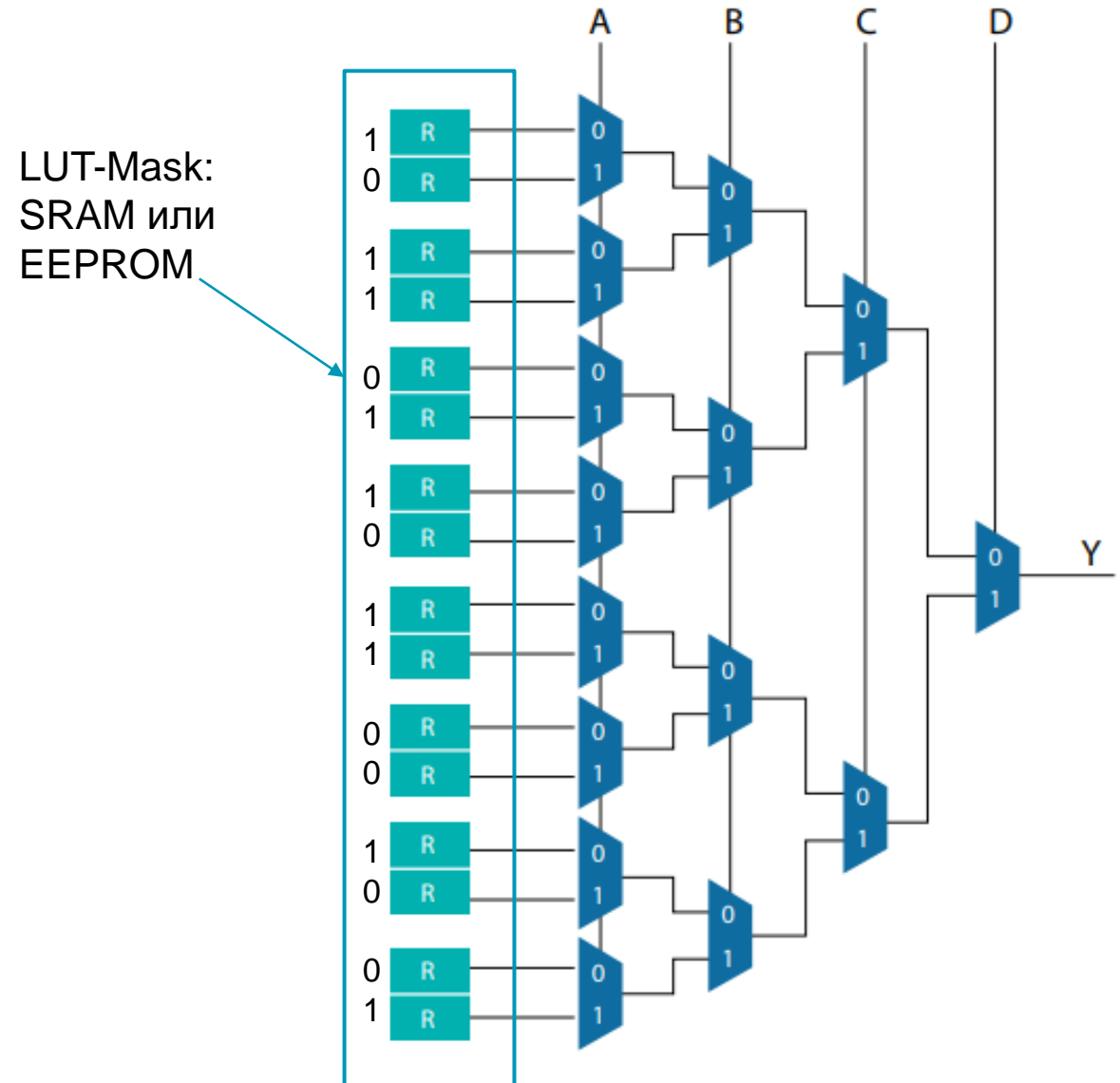
LUT1

X1	X0	Y
0	0	0
0	1	1
1	0	1
1	1	1

LUT2

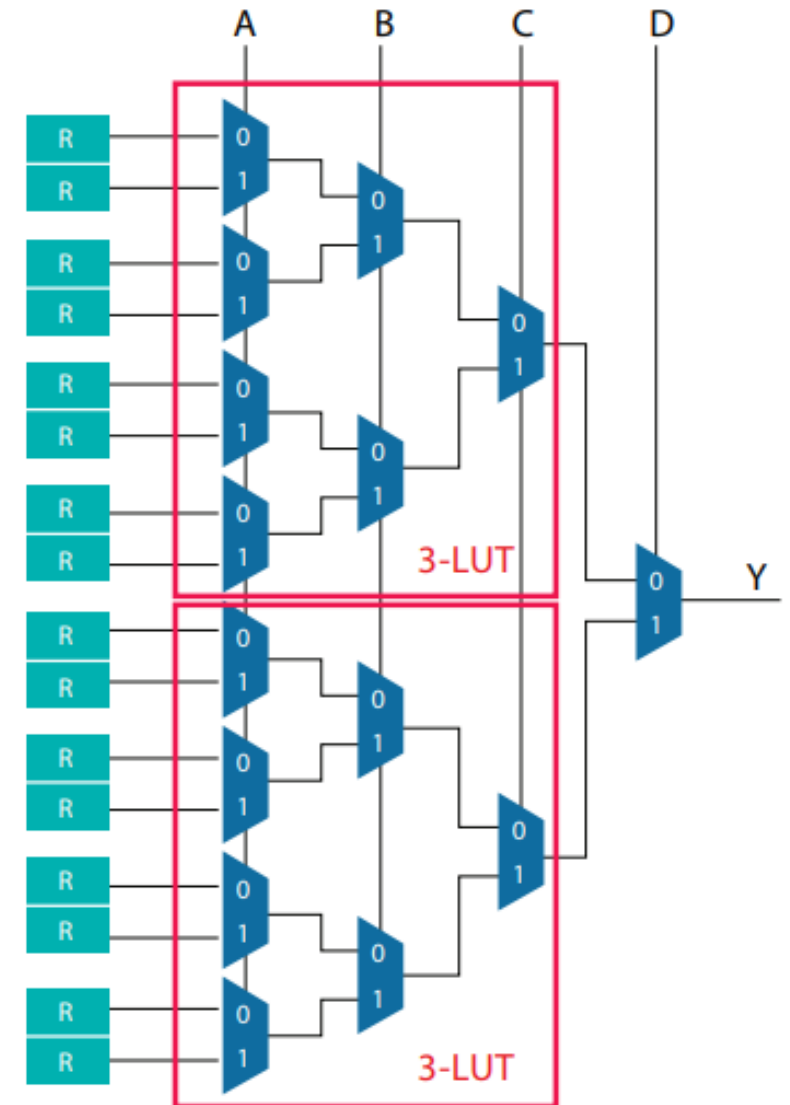
Пример LUT4

- A, B, C, D – входы
- Y – выход
- LUT-Mask – таблица истинности хранится в памяти (для типовой FPGA память SRAM)
- Выбор элемента таблицы производится мультиплексированием таблицы истинности



Каскадирование LUT

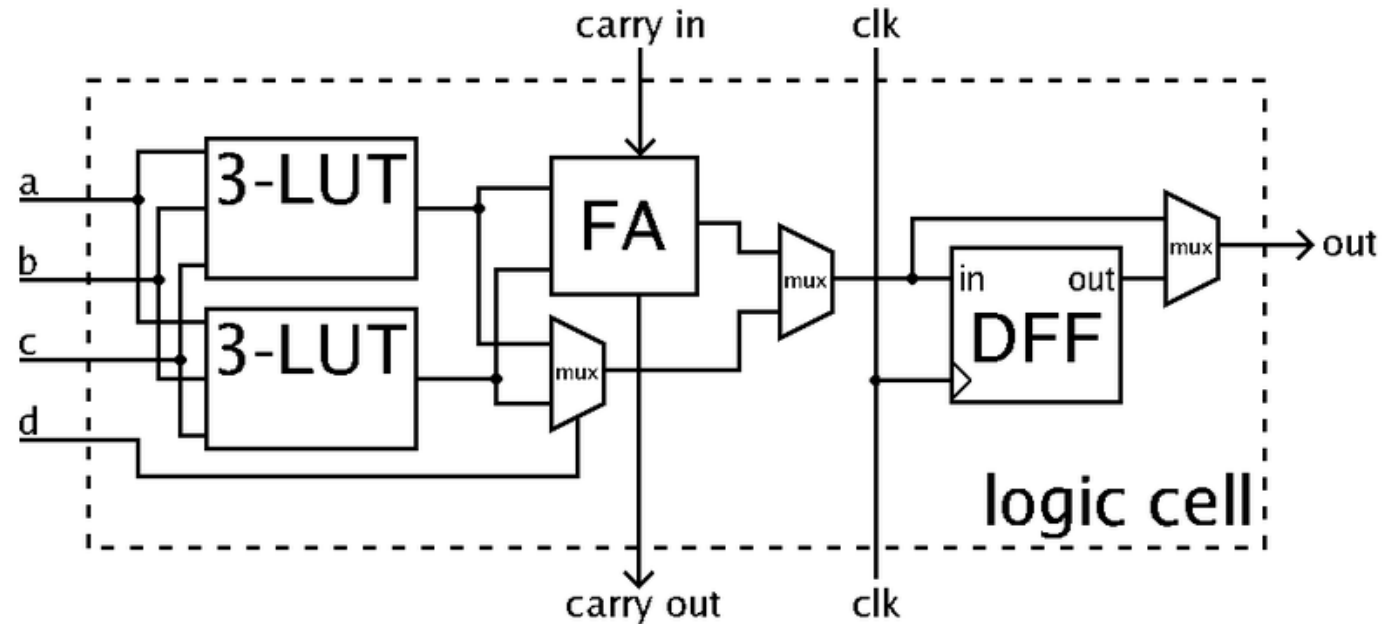
- LUT является регулярной структурой
- LUT можно каскадировать, получая многовходовые LUT
- Из LUT3 и одного мультиплексоора можно получить LUT4



Состав простейшего Logic cell

Простейший блок логики (logic cell) FPGA состоит из:

- Ячеек LUT
- Мультиплексоров (MUX)
- Цепочки переноса (Carry chain)
- Регистра (D-flip-flop, DFF)

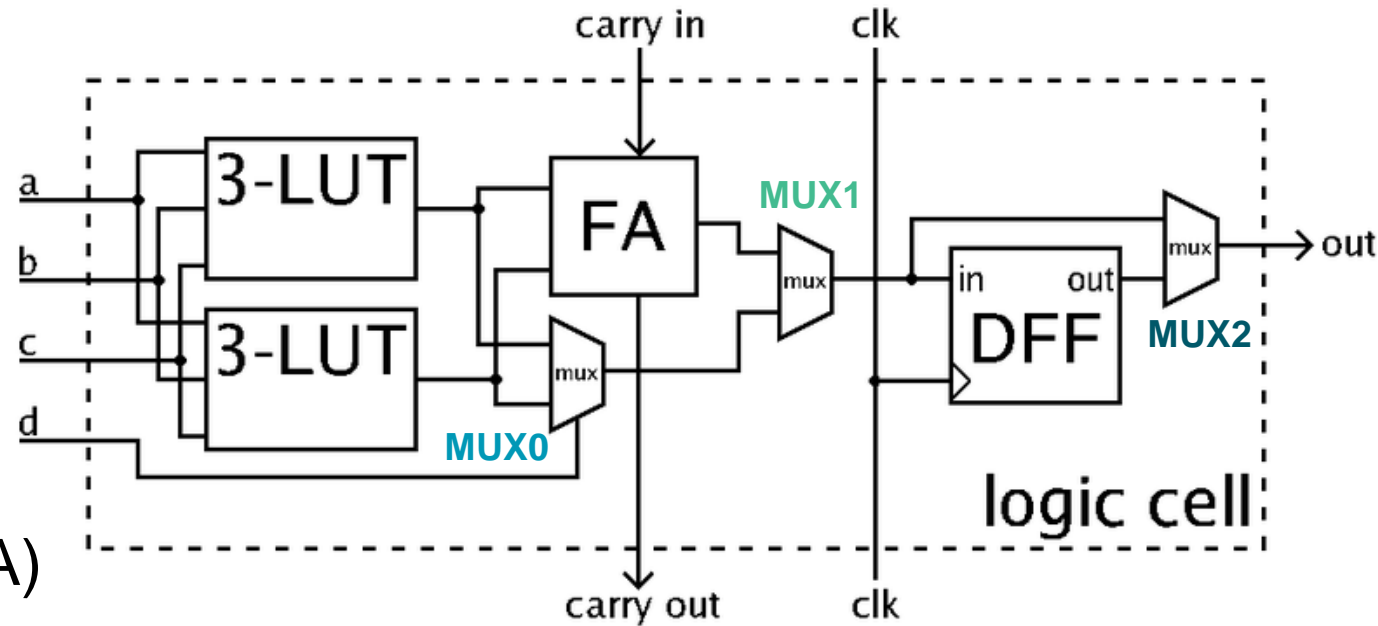


- FA – full adder
- DFF – D flip-flop

Мультиплексоры в Logic cell

- **MUX0** в совокупности с двумя LUT3 используется как LUT 4 со входами a, b, c, d.
- **MUX1** – выбирает режим работы logic cell:
 - Логический (с выхода MUX0)
 - Арифметический (с выхода FA)

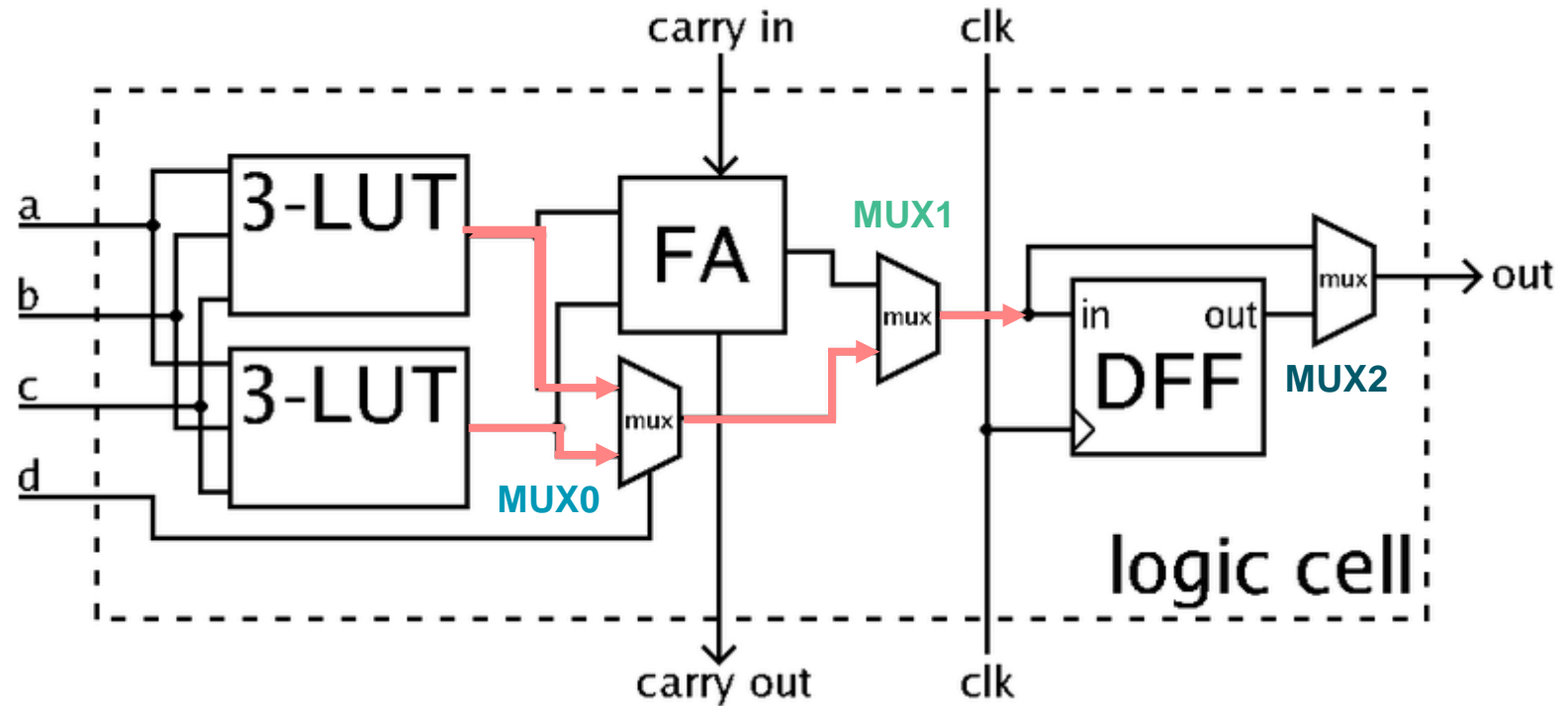
[вход **d** не используется]
- **MUX2** – определяет тип логики:
 - Последовательностная
 - Комбинационная



- FA – full adder
- DFF – D flip-flop

Логический режим

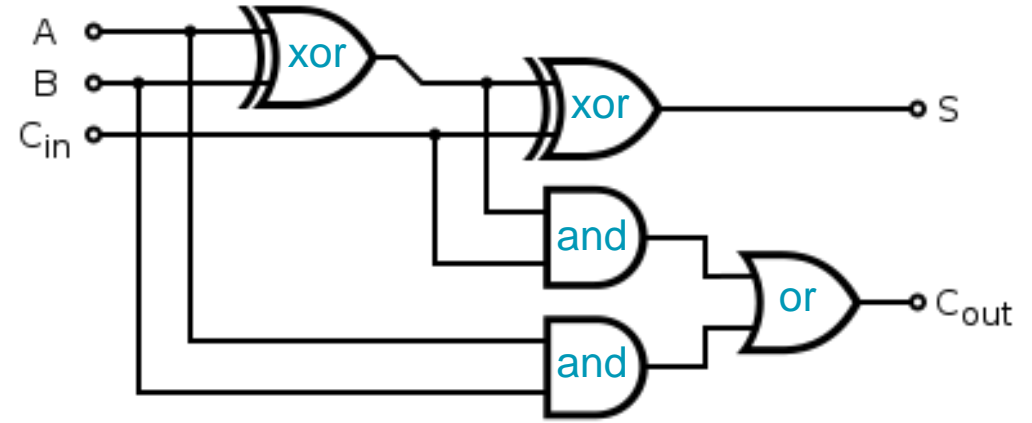
- **MUX0** в совокупности с двумя LUT3 используется как LUT 4 со входами a, b, c, d.
- Данные через цепь переноса не идут



- FA – full adder
- DFF – D flip-flop

Полный сумматор

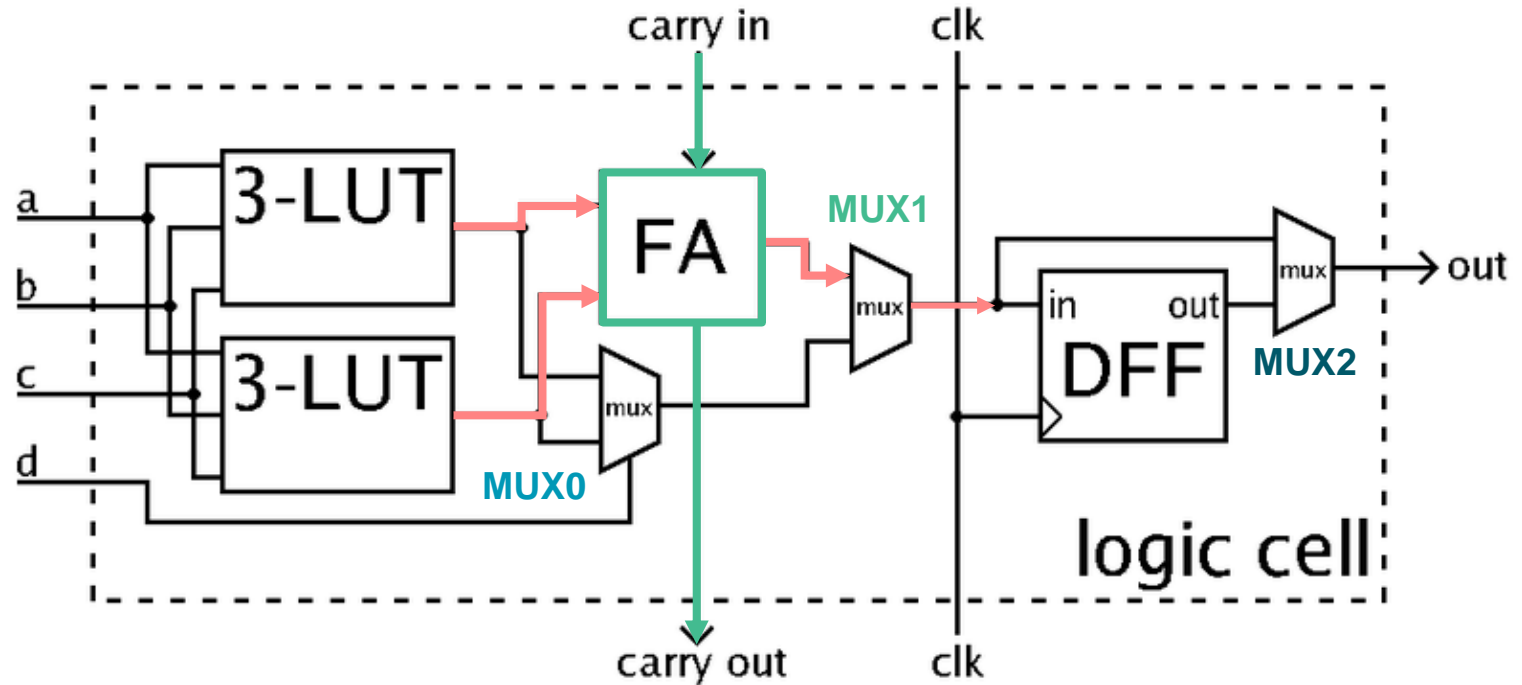
- Блок однобитного сумматора с входным (carry in) и выходным (carry out) битами переноса
- $SUM = A \oplus B \oplus C_{in}$
- $C_{out} = AB + (A \oplus B)C_{in}$



A	B	C _{in}	SUM	C _{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Арифметический режим

- Выход MUX0 игнорируется.
- Вход d не используется.
- Данные с двух LUT3 идут через цепь переноса
- Цепь переноса сокращает критический путь



- FA – full adder
- DFF – D flip-flop

Подробнее

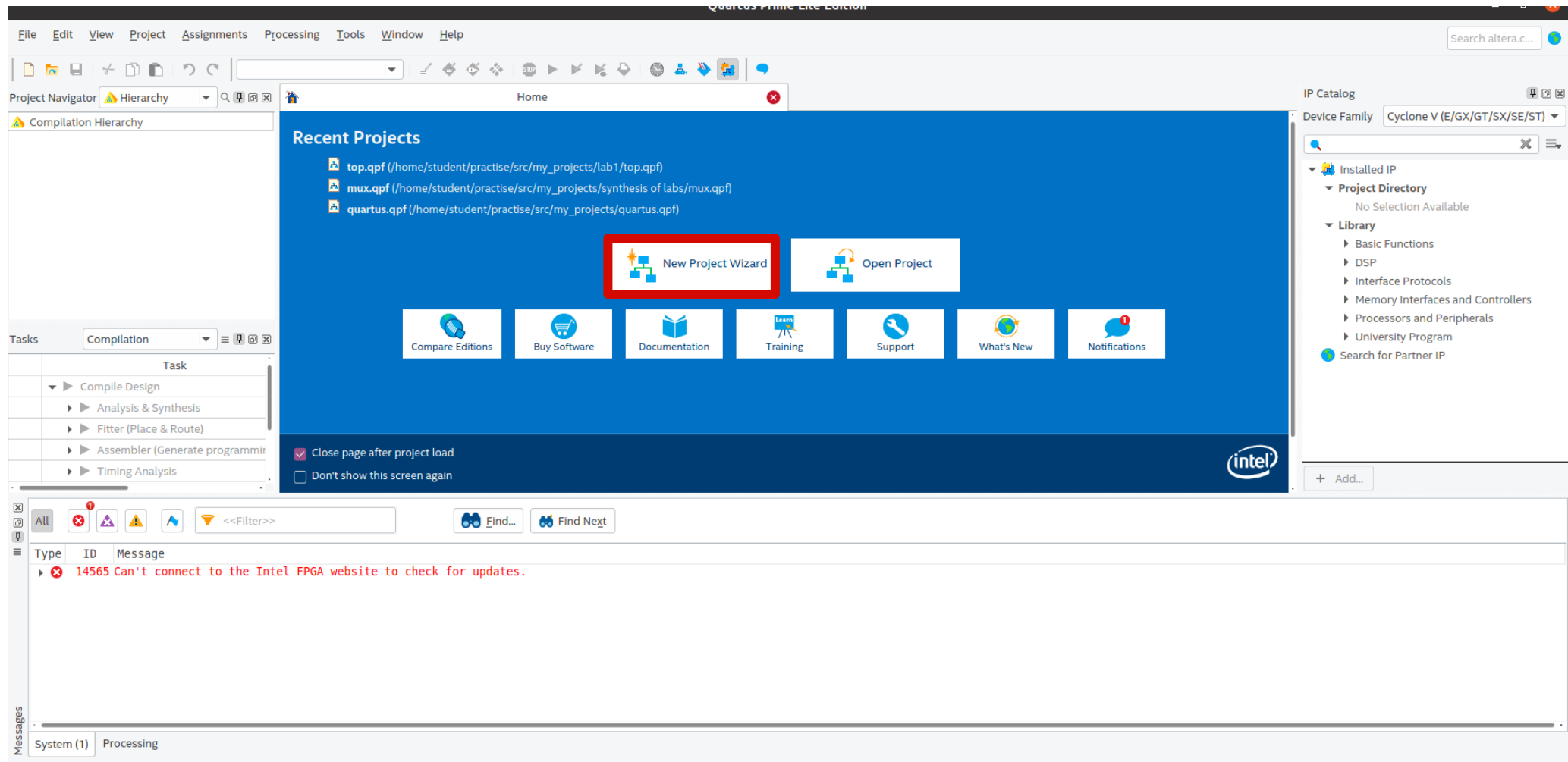
[Школа синтеза цифровых схем](#)

[Altera FPGA Architecture White Paper.](#)

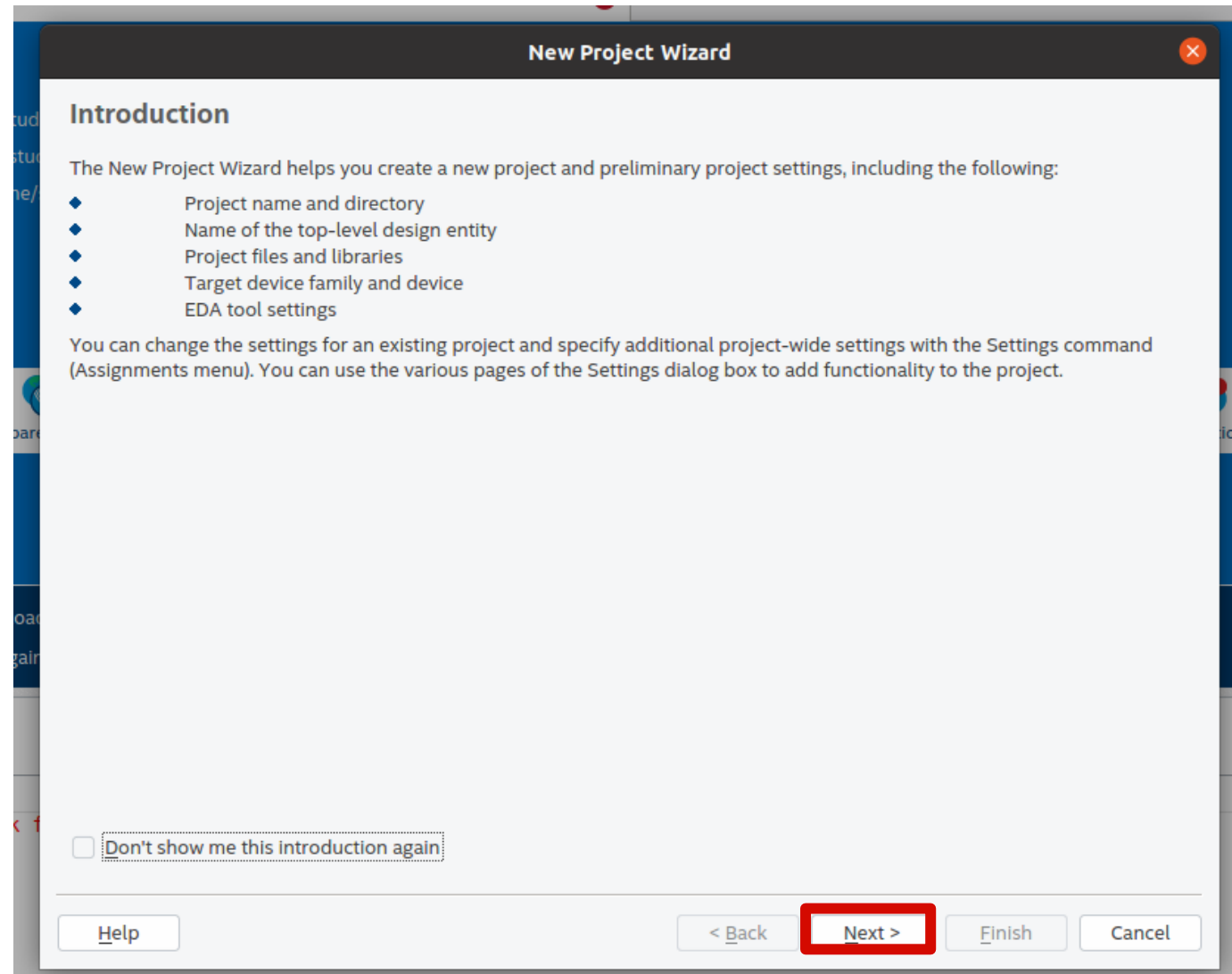
AQUARIUS

Часть 2. Quartus. FPGA.

Создание проекта



Создание проекта



Создание проекта

New Project Wizard

Directory, Name, Top-Level Entity

What is the working directory for this project?

/home/student/IntelFPGA_lite/20.1

What is the name of this project?

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

Use Existing Project Settings...

Help < Back Next > Finish Cancel

Создание проекта

New Project Wizard

Directory, Name, Top-Level Entity

What is the working directory for this project?

C:/Users/User/practice/my_projects_quartus

What is the name of this project?

lab1

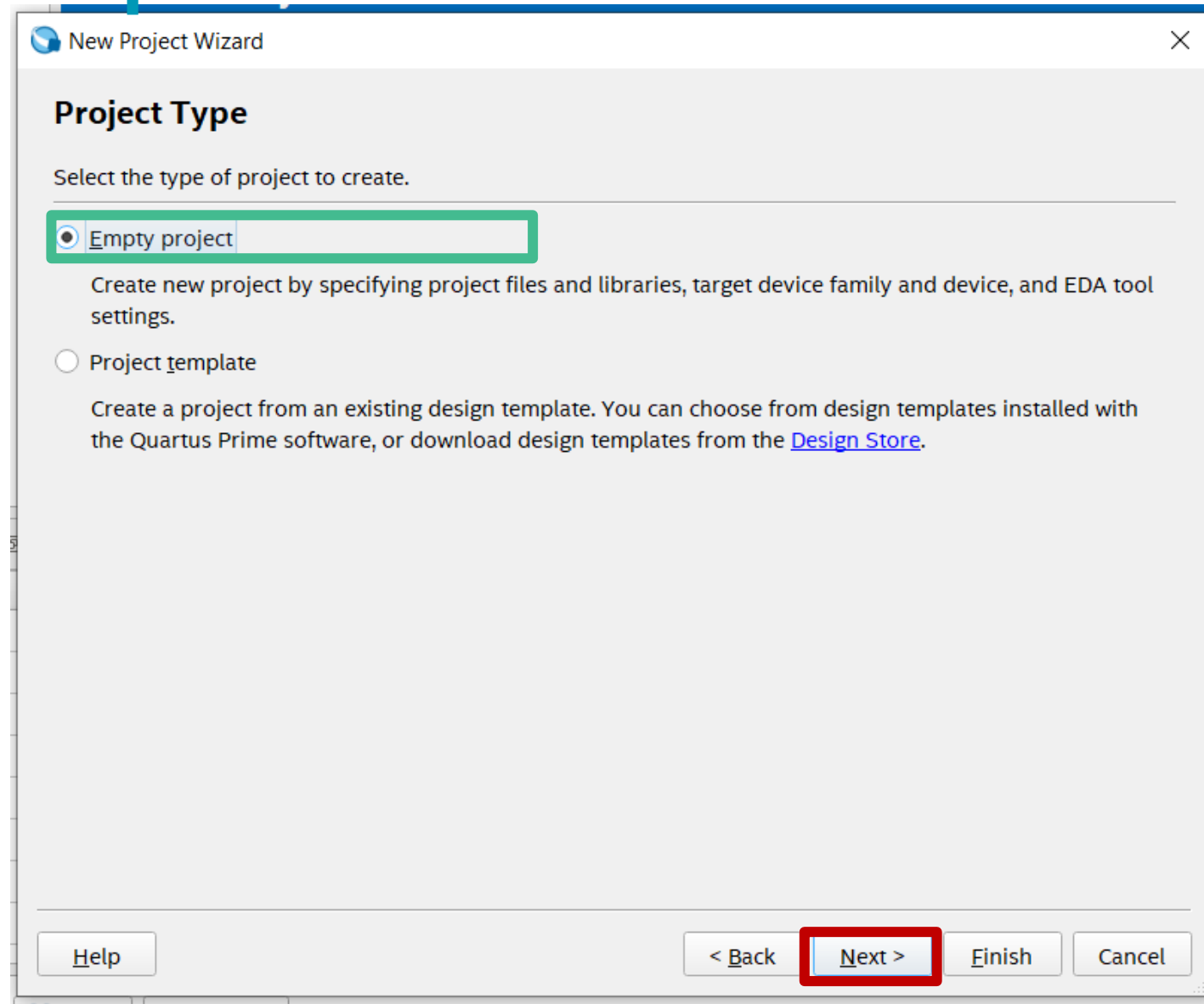
What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

lab1

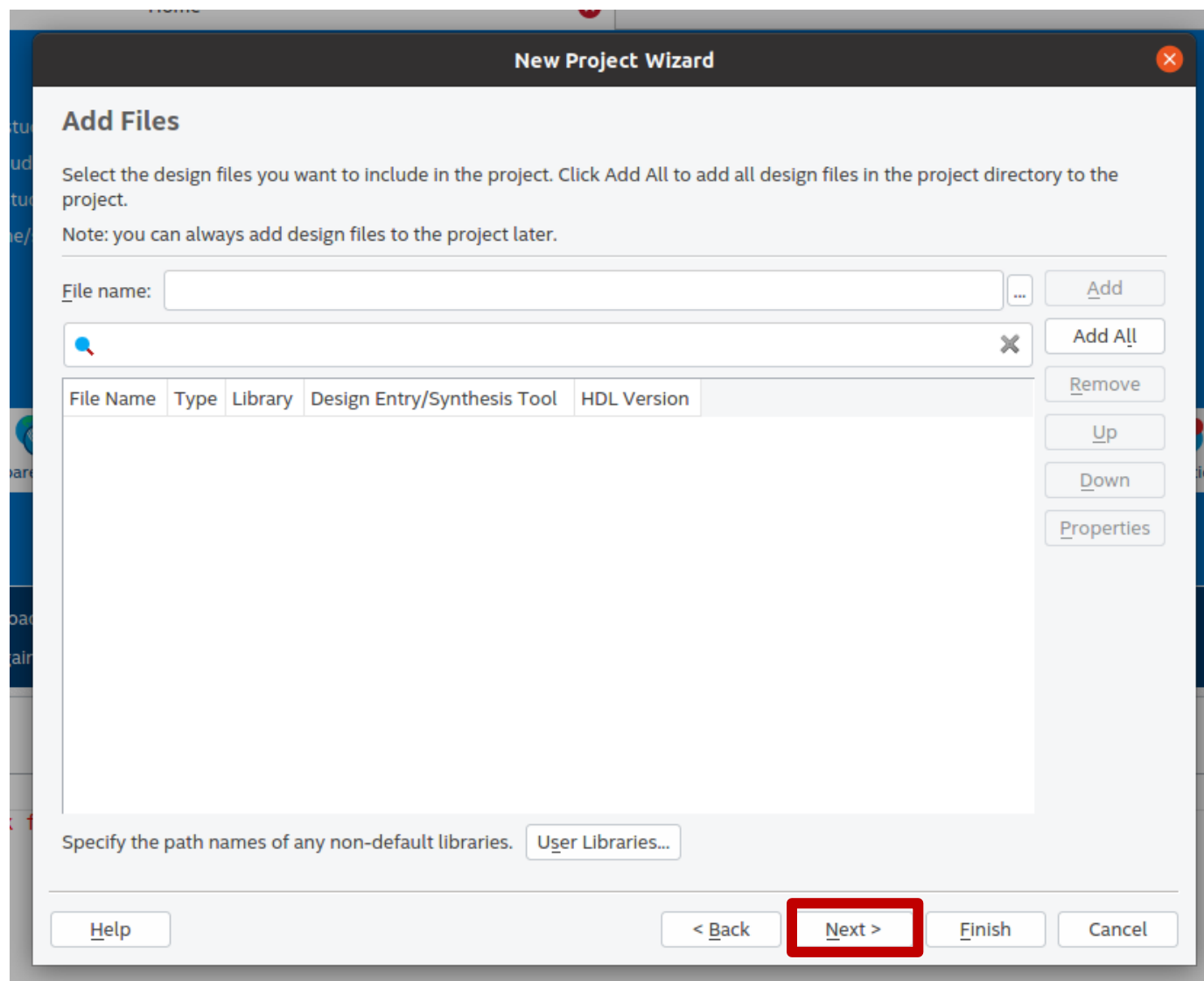
Use Existing Project Settings...

Help < Back Next > Finish Cancel

Создание проекта



Создание проекта



Создание проекта

Part 1: FPGA Development Board Introduction

The AX4010 development board uses ALTERA's Cyclone IV series FPGA, the model is EP4CE10F17C8, and a 256-pin FBGA package. The resources of this FPGA are shown below:

New Project Wizard

Family, Device & Board Settings

Device Board

Select the family and device you want to target for compilation.
You can install additional device support with the Install Devices command on the Tools menu.

To determine the version of the Quartus Prime software in which your target device is supported, refer to the [Device Support List](#) webpage.

Device family

Family: Cyclone IV E
Device: All

Target device

☐ Auto device selected by the Fitter
☒ Specific device selected in 'Available devices' list
☐ Other: n/a

Show in 'Available devices' list

Package: FBGA
Pin count: 256
Core speed grade: Any
Name filter:
☒ Show advanced devices

Available devices:

Name	Core Voltage	LEs	Total I/Os	GPIOs	Memory Bits	Embedded multiplier 9-bit elements	PLLs
EP4CE10F17C6	1.2V	10320	180	180	423936	46	2
EP4CE10F17C7	1.2V	10320	180	180	423936	46	2
EP4CE10F17C8	1.2V	10320	180	180	423936	46	2
EP4CE10F17I7	1.2V	10320	180	180	423936	46	2
EP4CE15F17A7	1.2V	15408	166	166	516096	112	4
EP4CE15F17C6	1.2V	15408	166	166	516096	112	4

Help < Back Next > Finish Cancel

Создание проекта

New Project Wizard

EDA Tool Settings

Specify the other EDA tools used with the Quartus Prime software to develop your project.

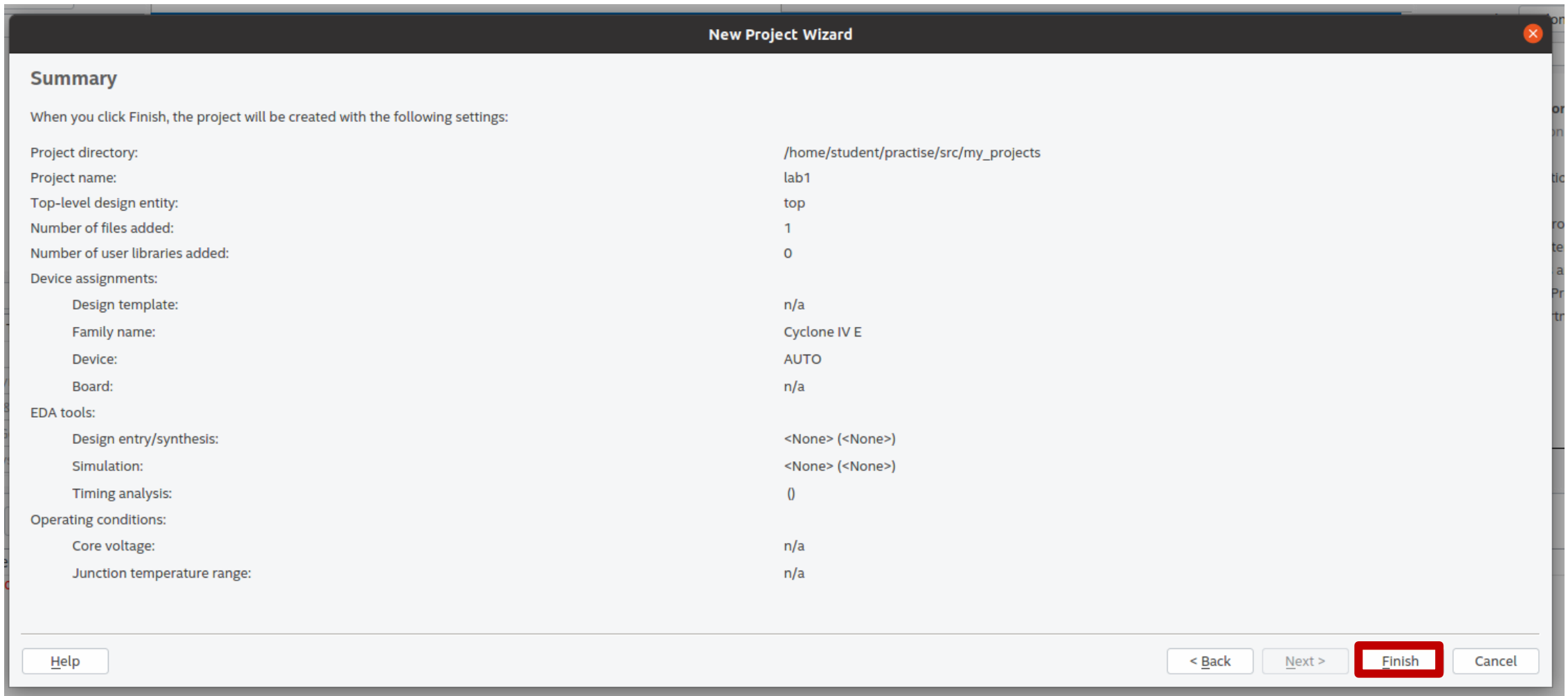
EDA tools:

Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entry/Synthesis	<None>	<None>	<input type="checkbox"/> Run this tool automatically to synthesize the current design
Simulation	<None>	<None>	<input type="checkbox"/> Run gate-level simulation automatically after compilation
Board-Level	Timing	<None>	
	Symbol	<None>	
	Signal Integrity	<None>	
	Boundary Scan	<None>	

На ПК не установлен симулятор Modelsim

Help < Back **Next >** Finish Cancel

Создание проекта (ИСПРАВИТЬ)



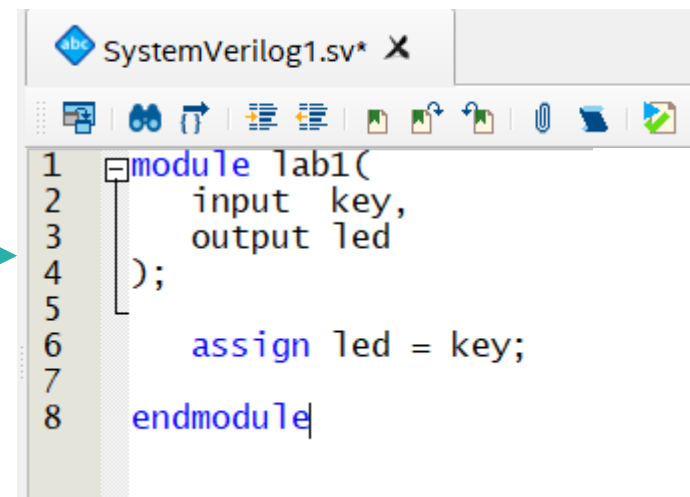
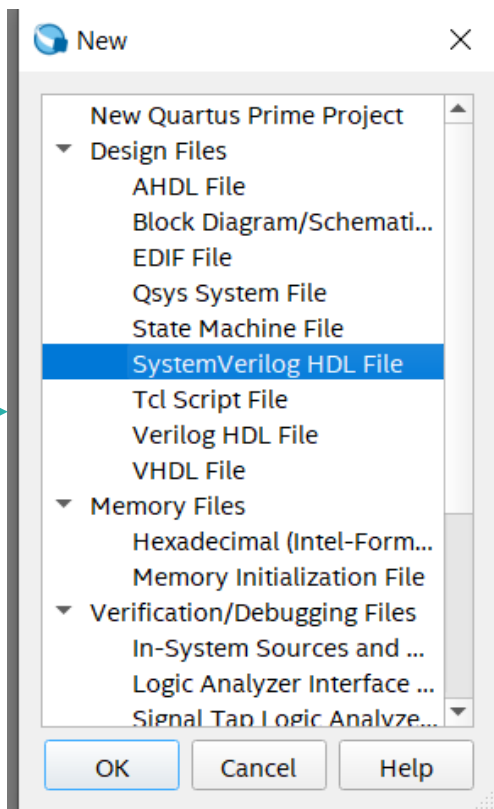
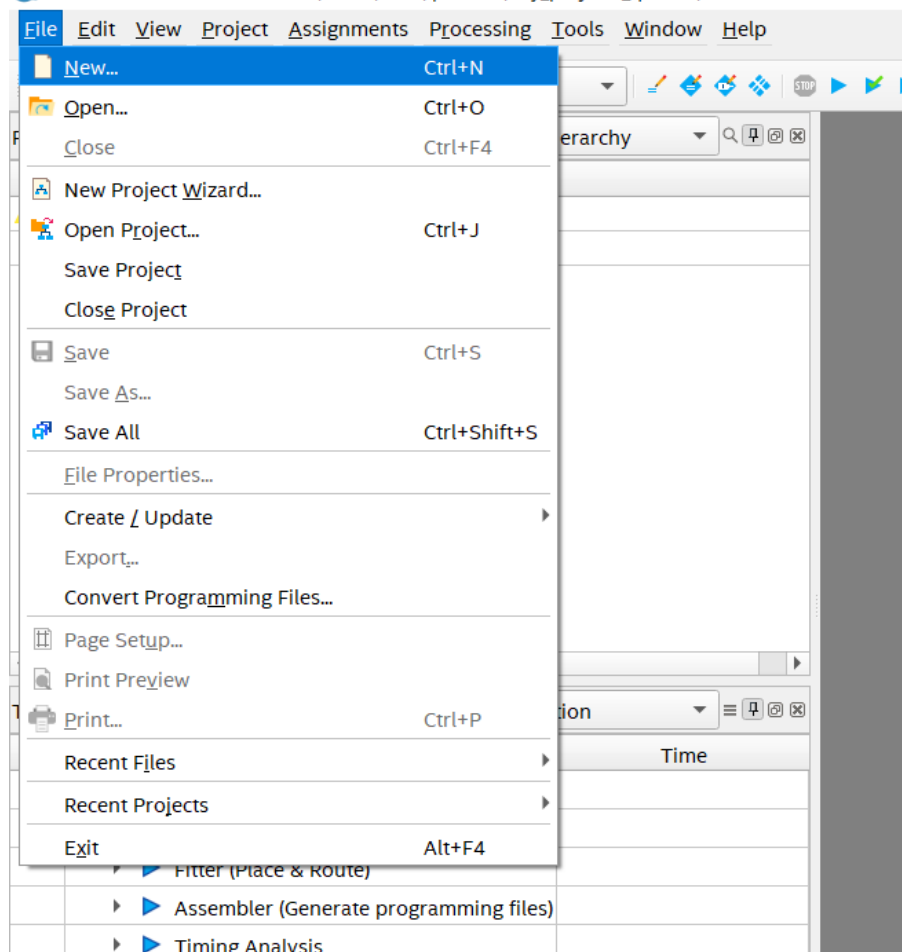
The image shows a 'New Project Wizard' window with a 'Summary' tab. It lists various project settings that will be applied when the 'Finish' button is clicked. The 'Finish' button is highlighted with a red rectangle.

Summary	
When you click Finish, the project will be created with the following settings:	
Project directory:	/home/student/practise/src/my_projects
Project name:	lab1
Top-level design entity:	top
Number of files added:	1
Number of user libraries added:	0
Device assignments:	
Design template:	n/a
Family name:	Cyclone IV E
Device:	AUTO
Board:	n/a
EDA tools:	
Design entry/synthesis:	<None> (<None>)
Simulation:	<None> (<None>)
Timing analysis:	()
Operating conditions:	
Core voltage:	n/a
Junction temperature range:	n/a

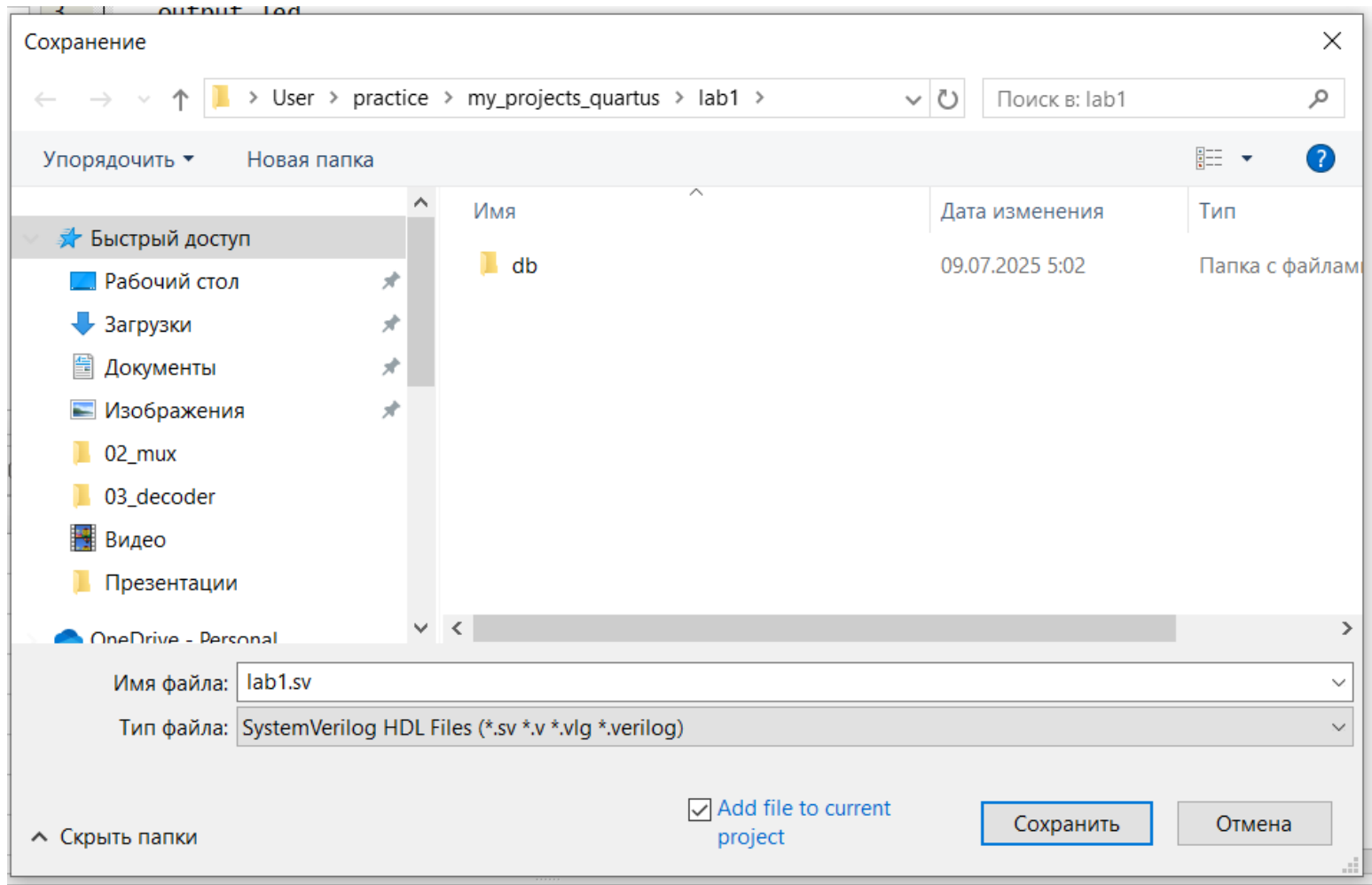
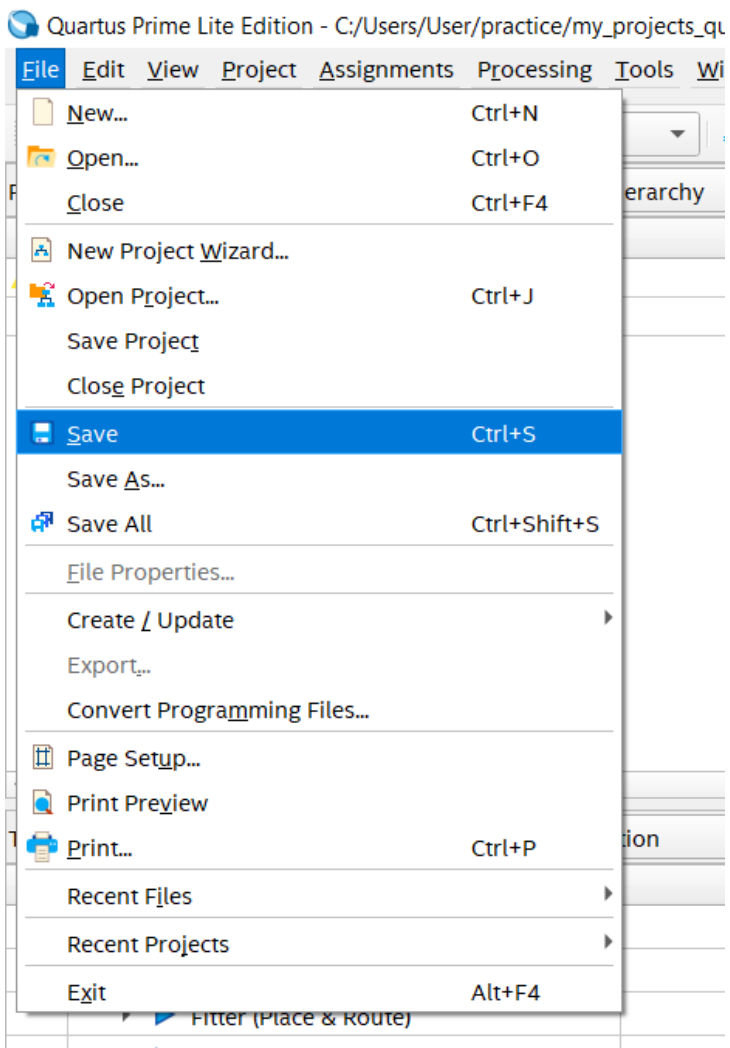
Buttons: Help, < Back, Next >, **Finish**, Cancel

Описание логики

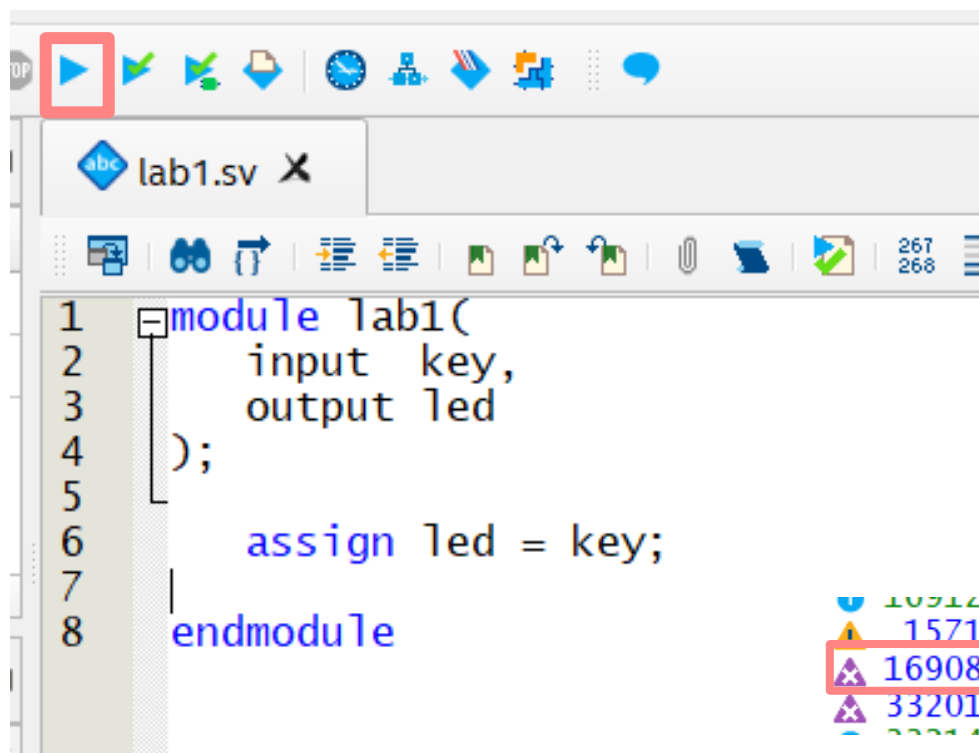
Quartus Prime Lite Edition - C:/Users/User/practice/my_projects_quartus/lab1 - lab1



Подключение



Подключение к сигналам платы

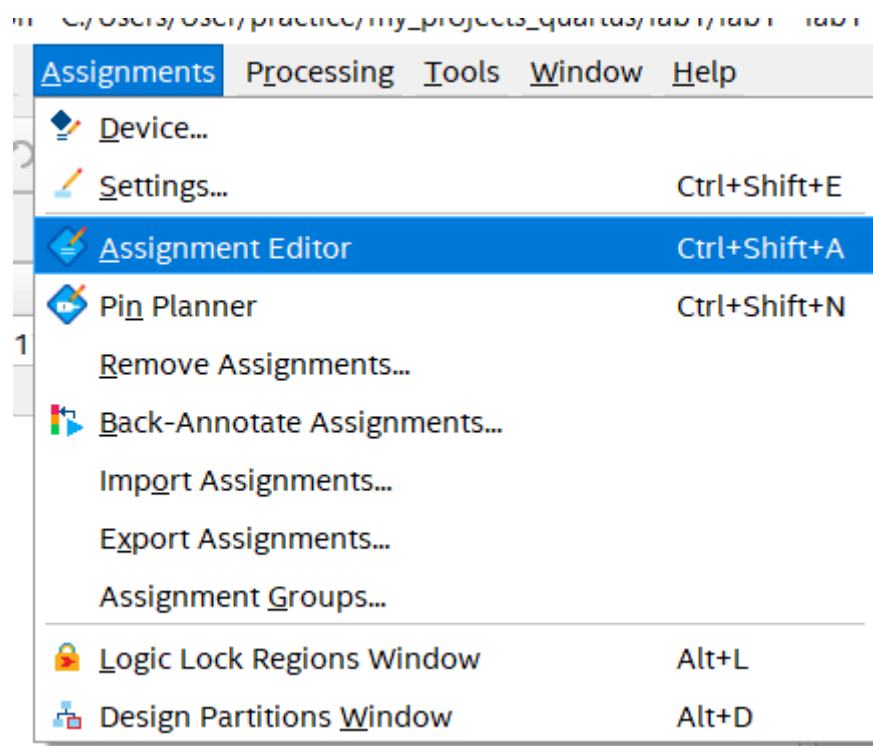


The screenshot shows the Aquarius IDE interface. At the top, a toolbar contains several icons, with the first icon (a blue play button) highlighted by a red square. Below the toolbar, a tab labeled 'lab1.sv' is open. The main editor area displays the following Verilog code:

```
1 module lab1(  
2     input  key,  
3     output led  
4 );  
5  
6     assign led = key;  
7  
8 endmodule
```

At the bottom right, a console window displays compilation messages. The message '169085 No exact pin location assignment(s) for 2 pins of 2 total pins. For th' is highlighted with a red rectangle.

Подключение к сигналам платы



Part 13: User Keys

Keys Pin assignment:

Key Name	FPGA Pin	Key Number
RESET	N13	RESET
KEY1	M15	KEY 1
KEY2	M16	KEY 2
KEY3	E16	KEY 3

LEDs pin assignment:

Pin Name	FPGA Pin
LED0	E10
LED1	F9
LED2	C9
LED3	D9

Подключение к сигналам платы

lab1.sv X Assignment Editor X

<<new>> ☒ Filter on node names: *

tatu	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1 ✓		in key	Location	PIN_M15	Yes			
2 ✓		out led	Location	PIN_E10	Yes			
3	<<new>>	<<new>>	<<new>>					

LEDs pin assignment:

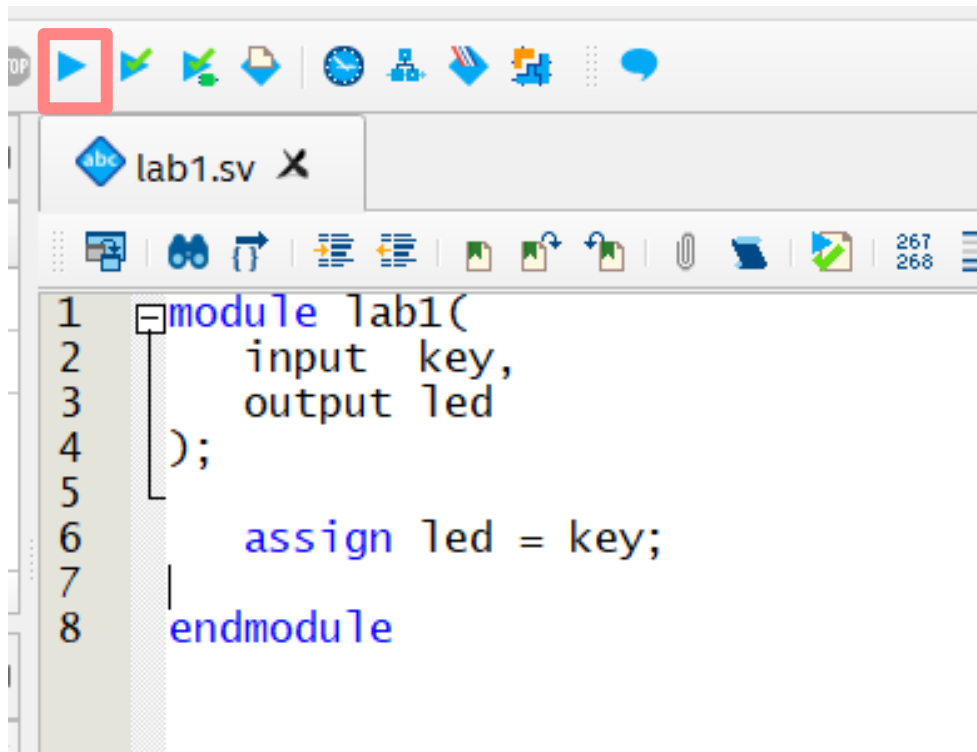
Pin Name	FPGA Pin
LED0	E10
LED1	F9
LED2	C9
LED3	D9

Keys Pin assignment:

Key Name	FPGA Pin	Key Number
RESET	N13	RESET
KEY1	M15	KEY 1
KEY2	M16	KEY 2
KEY3	E16	KEY 3

Не забудьте сохранить файл Assignment editor

Подключение к сигналам платы



Проверка оборудования

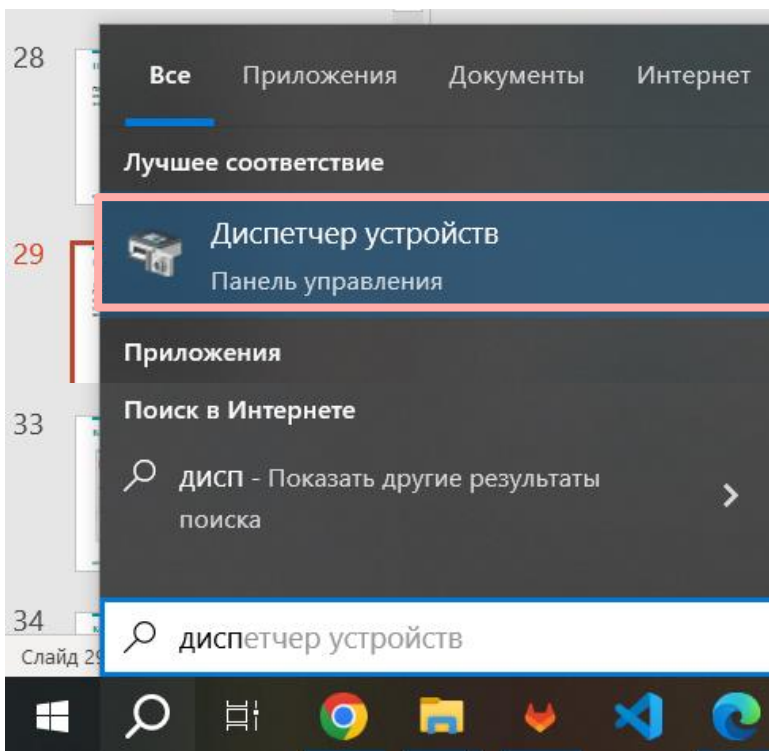
1. Подключите программатор.

2. Запустите диспетчер устройств.

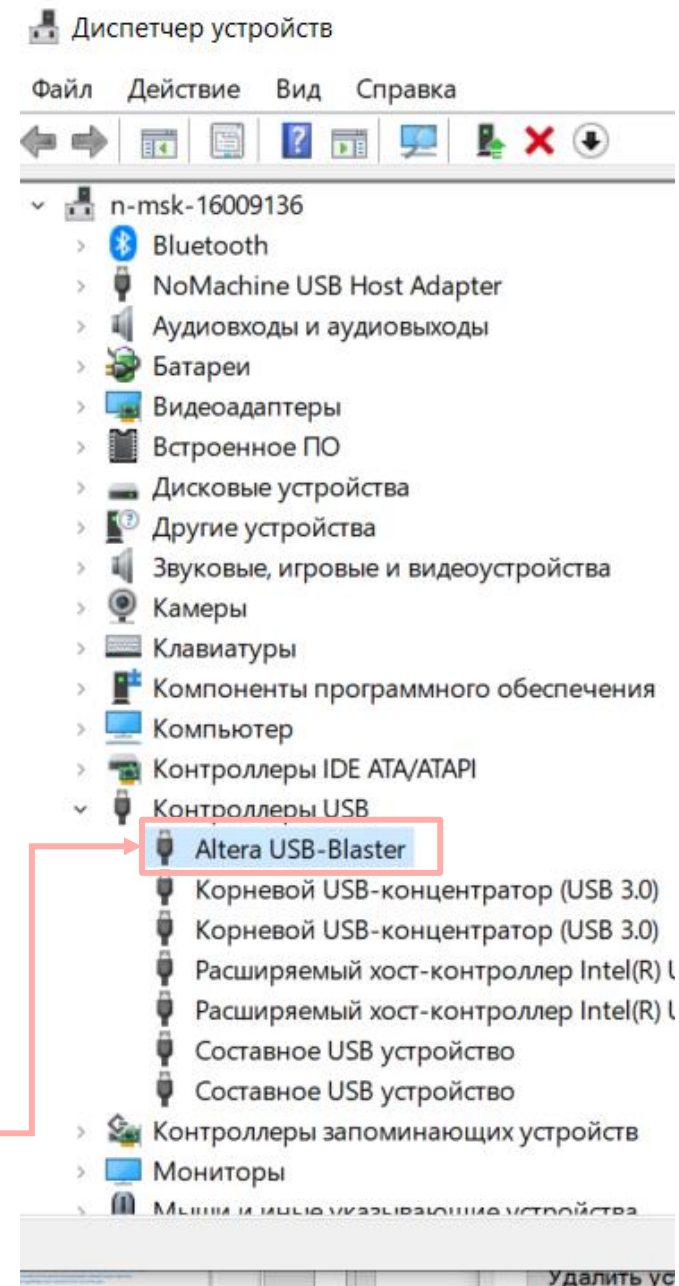
3. Проверьте отображение программатора.

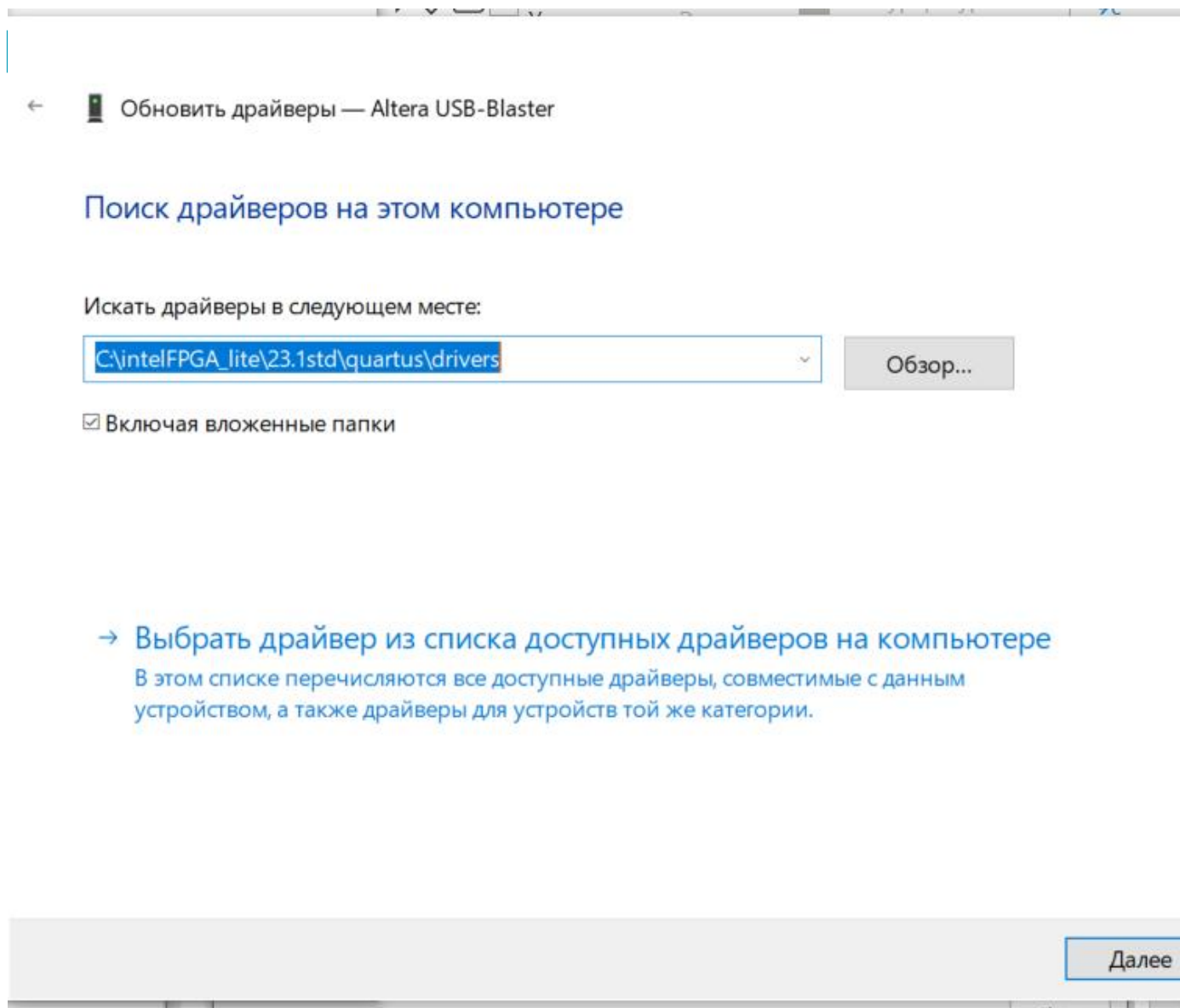
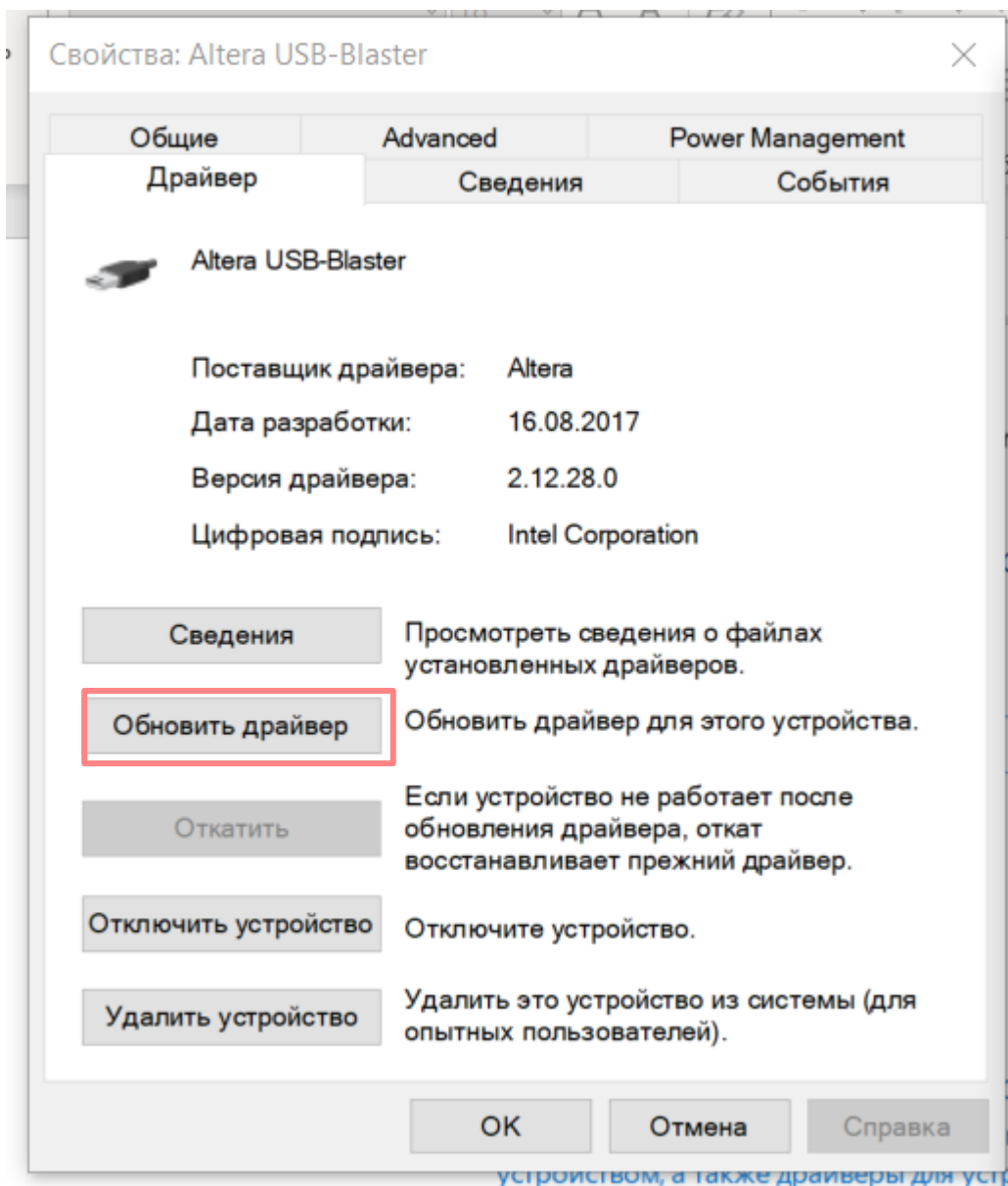
Он может распознаться как «**другие устройства**».

4. В случае, если программатор некорректно отображается, выполнить обновление драйвера. (процедура описана дальше)

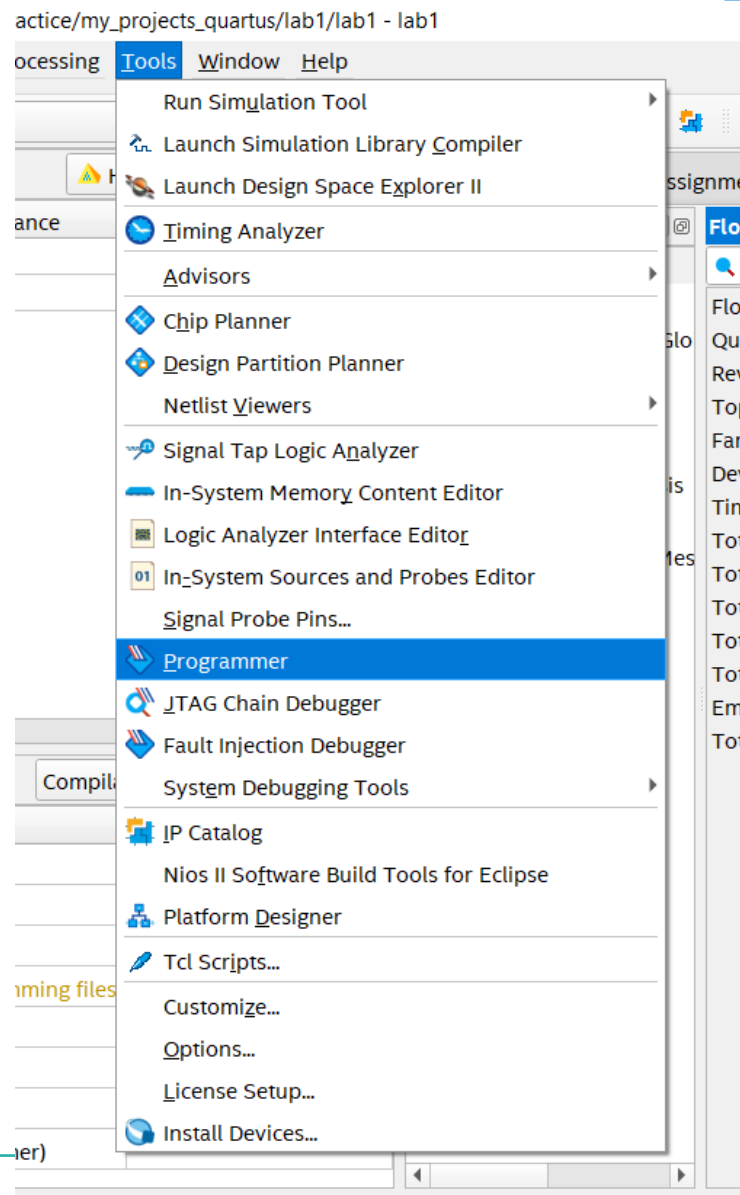
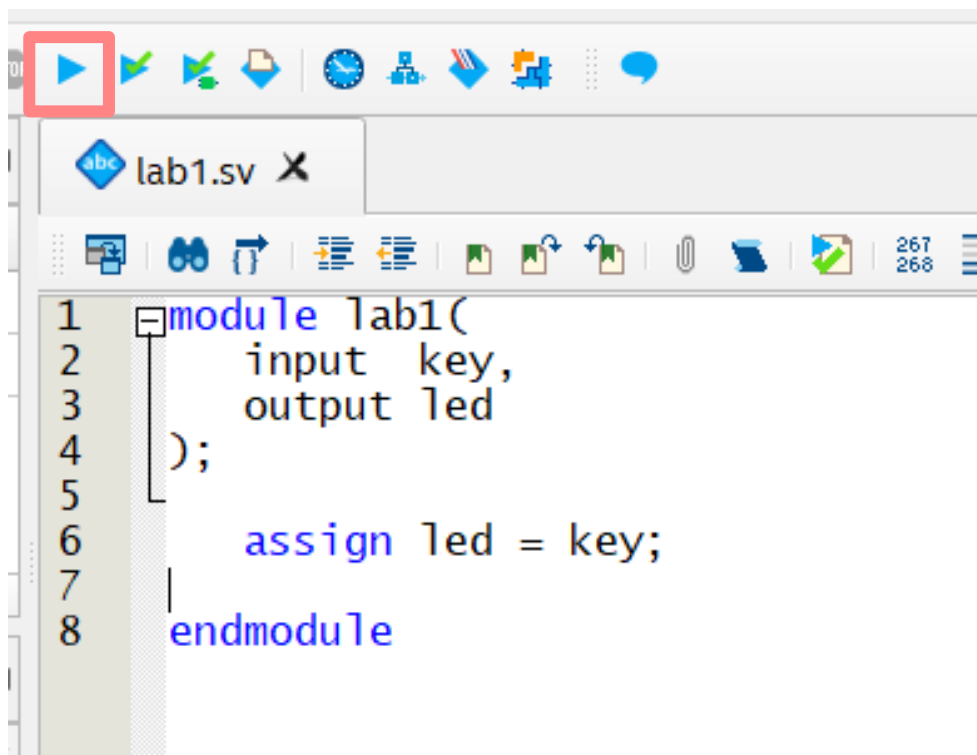


Программатор должен отображаться как **Altera USB-Blaster**
В группе контроллеров USB

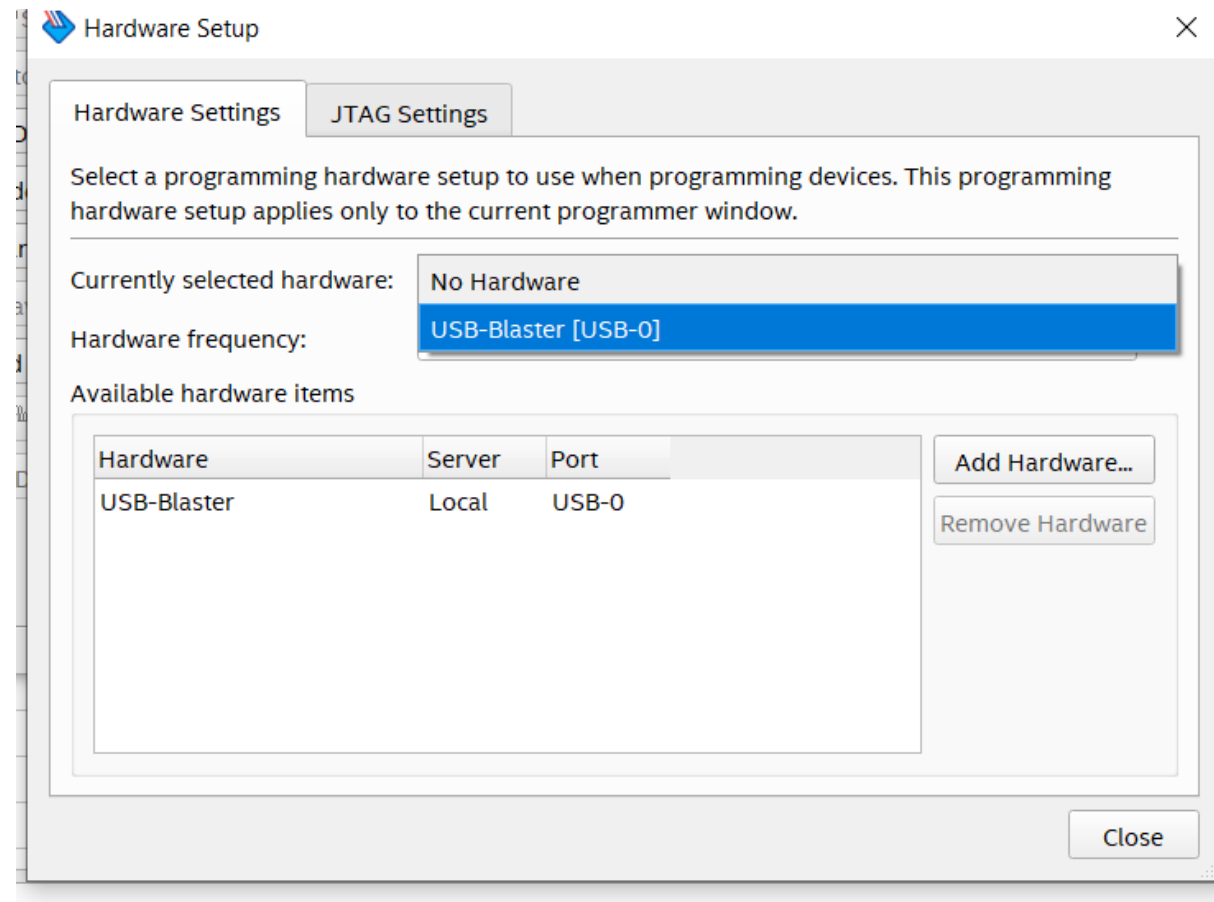
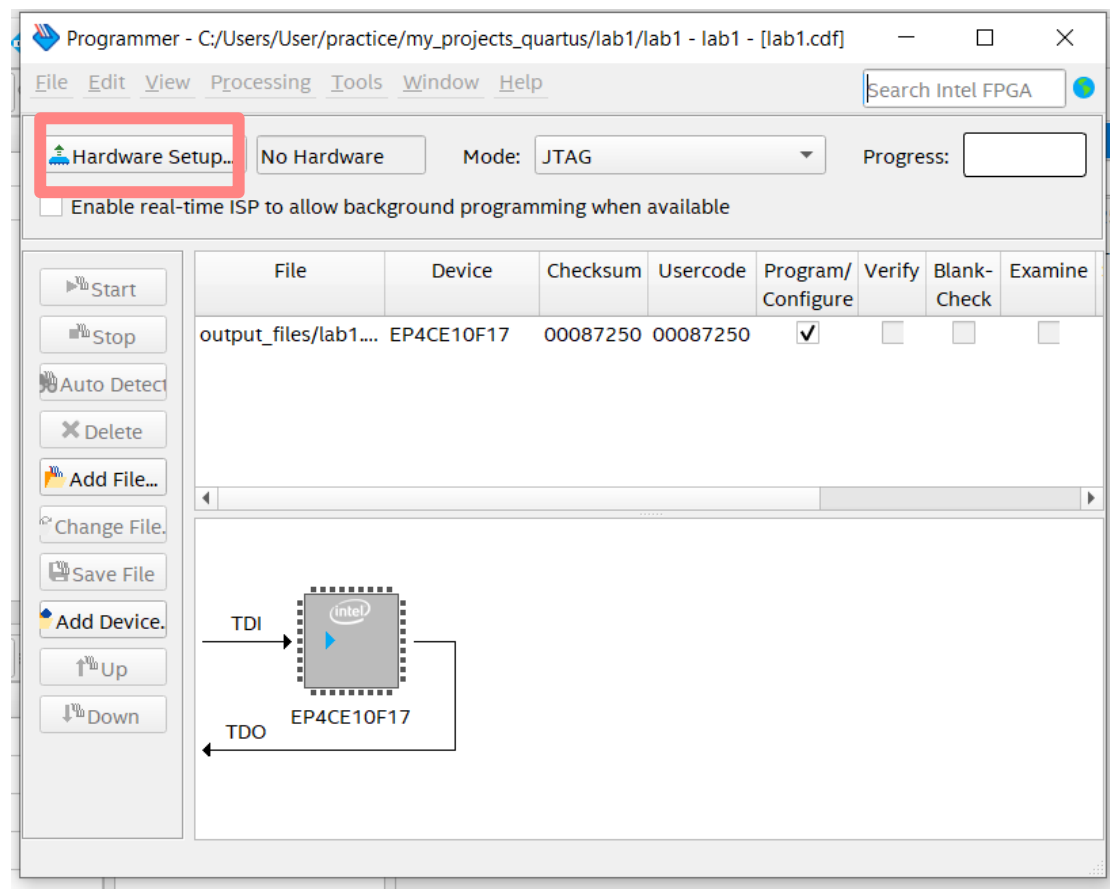




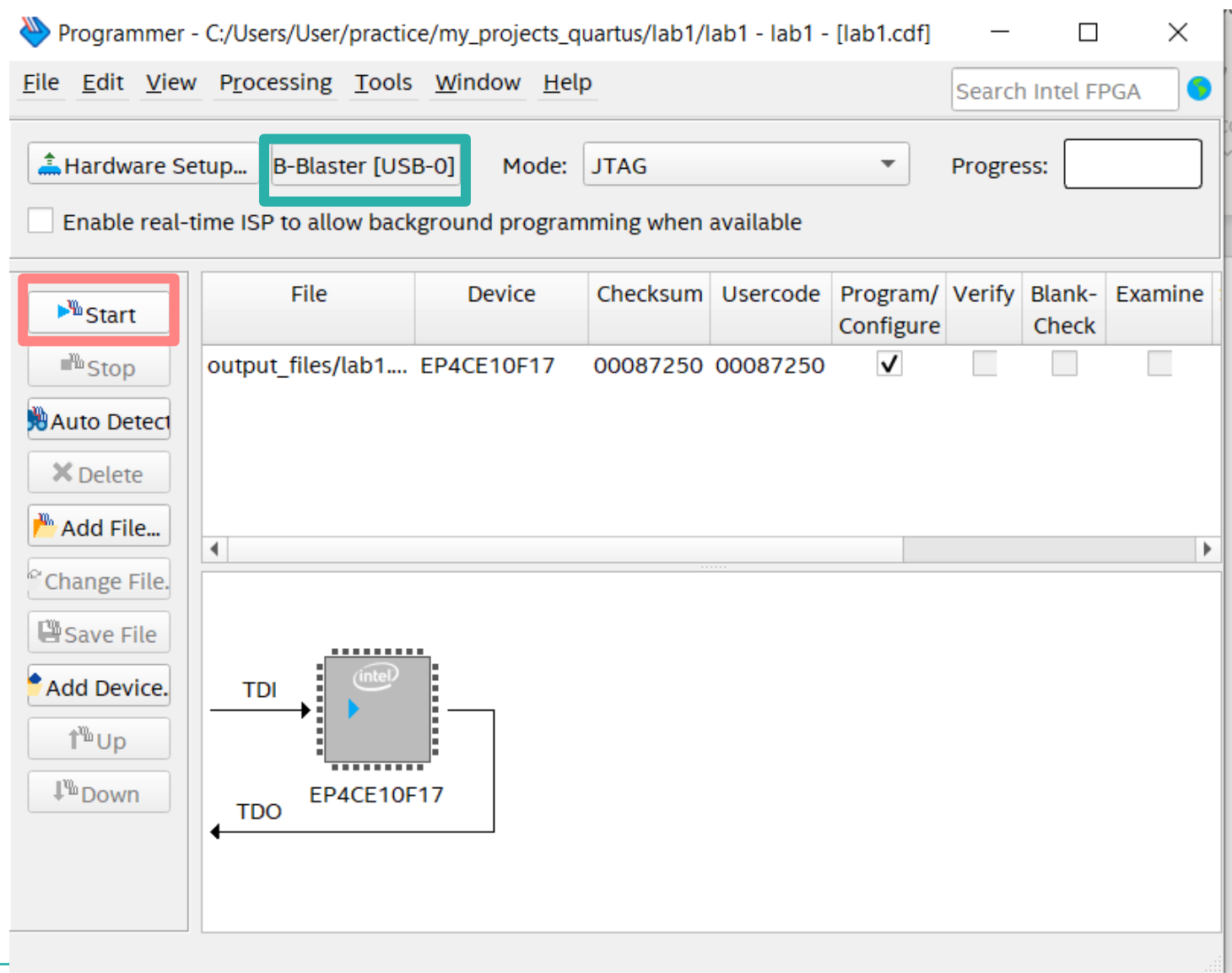
Компиляция и прошивка



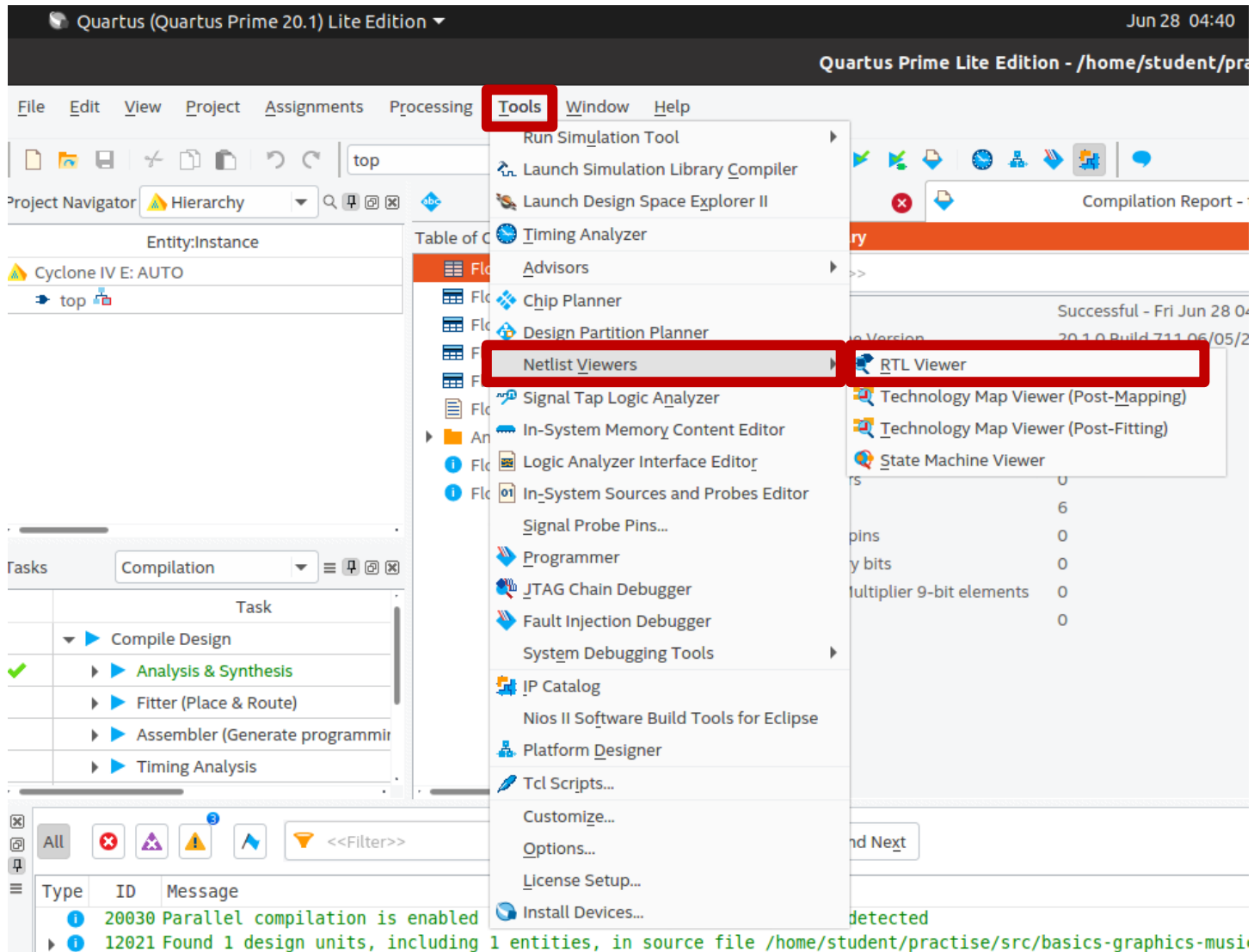
Компиляция и прошивка



Компиляция и прошивка



Синтез



Netlist - список соединений примитивов. Результат синтеза.

key  led

Файл подключений qsf

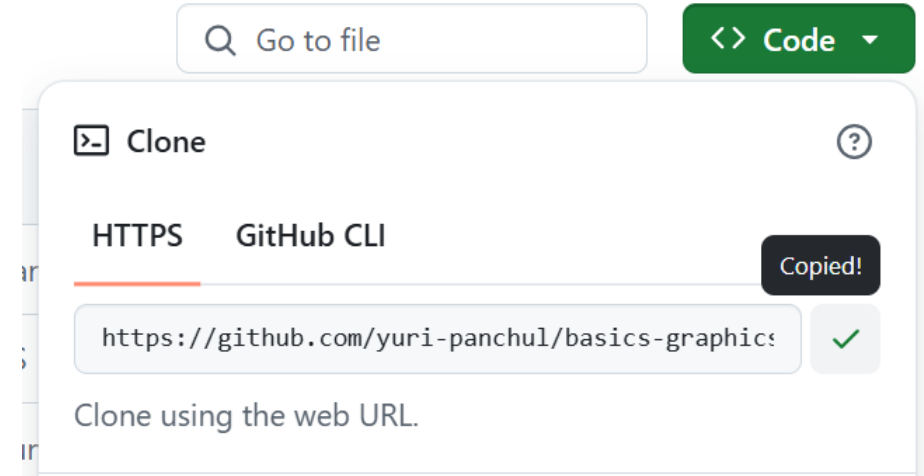
Откройте сгенерированный файл, содержащий перечень соединений:
`C:\Users\<your_name>\practice\my_projects_quartus\lab1\lab1.qsf`

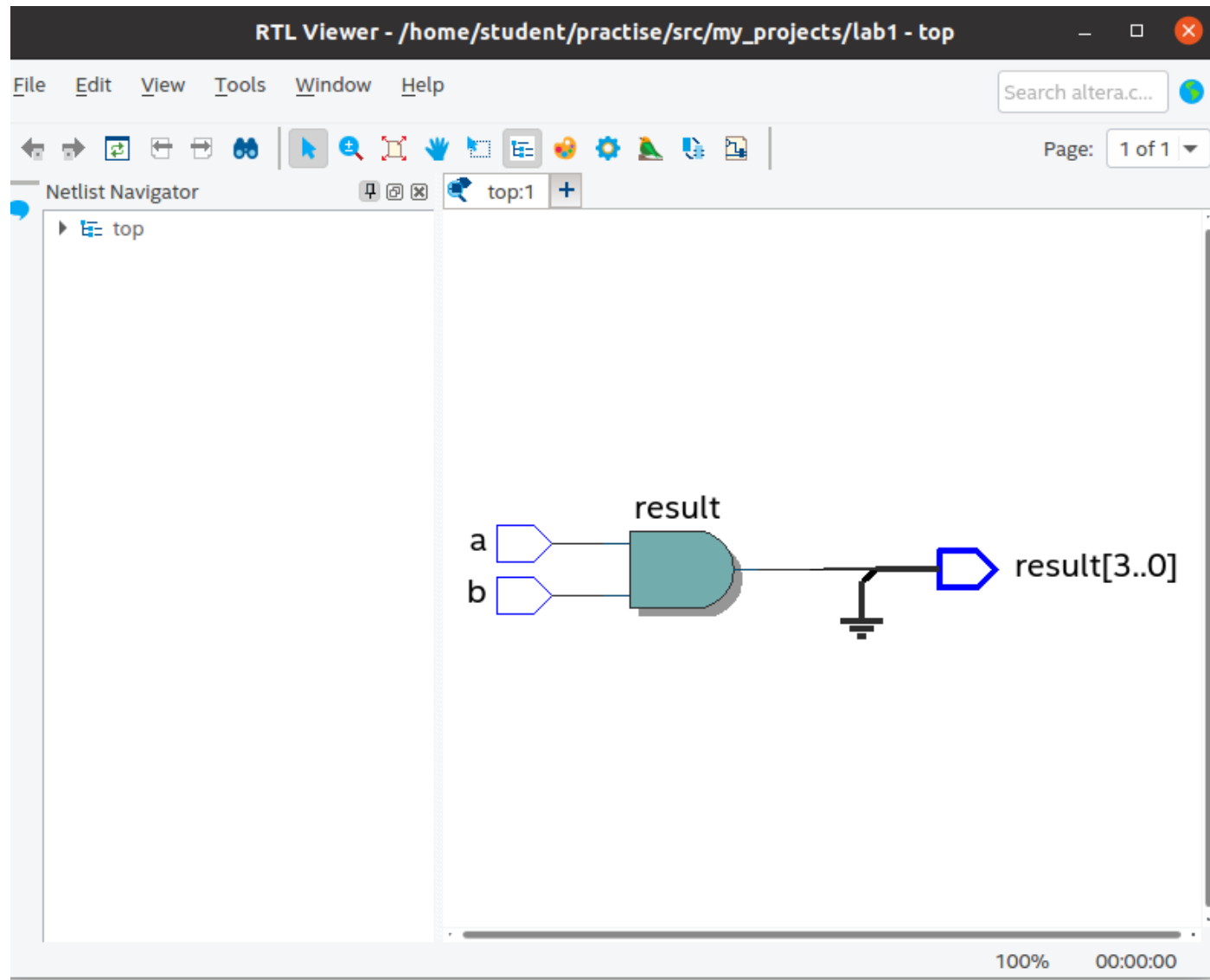
Ознакомьтесь с содержимым.

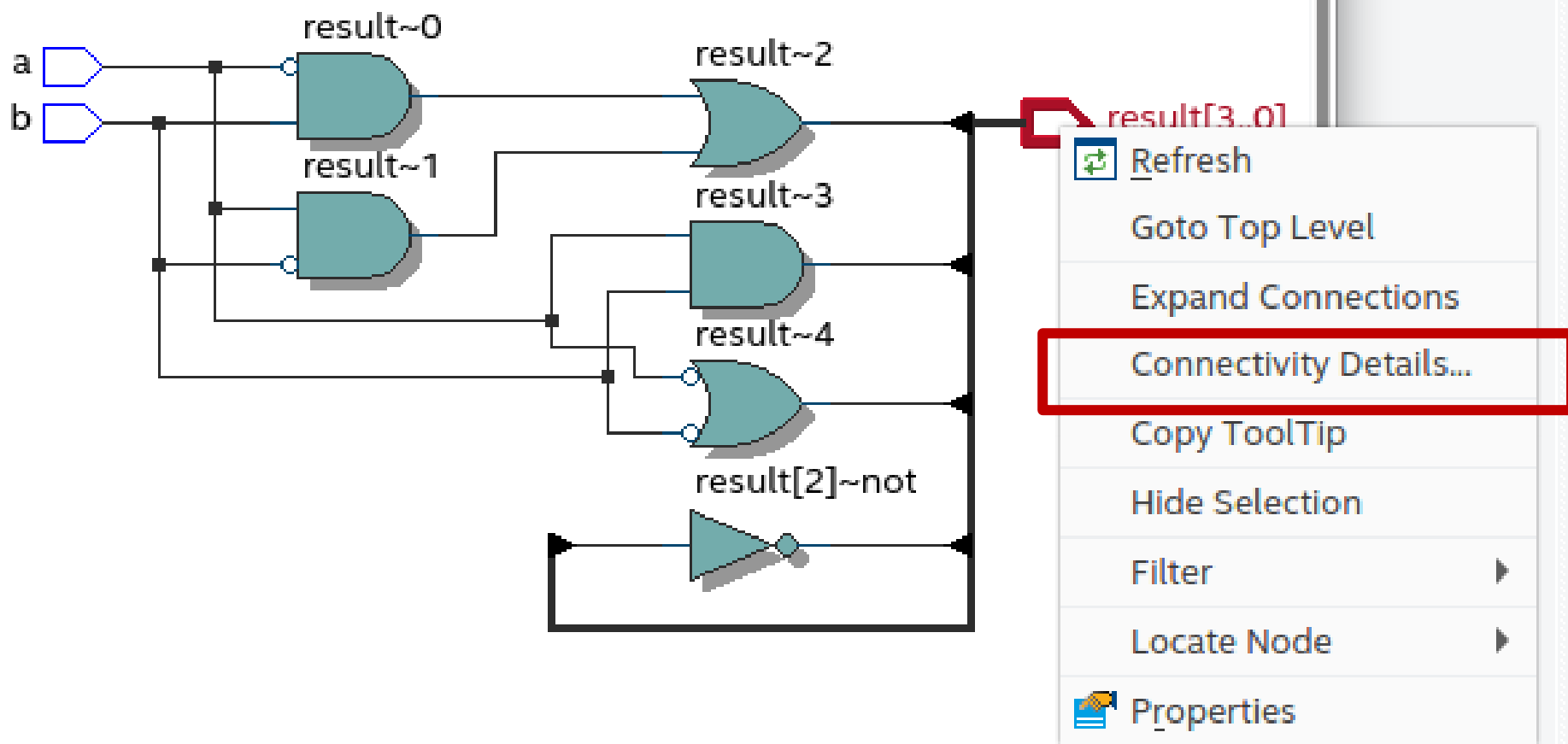
```
set_location_assignment PIN_M15 -to key  
set_location_assignment PIN_E10 -to led
```

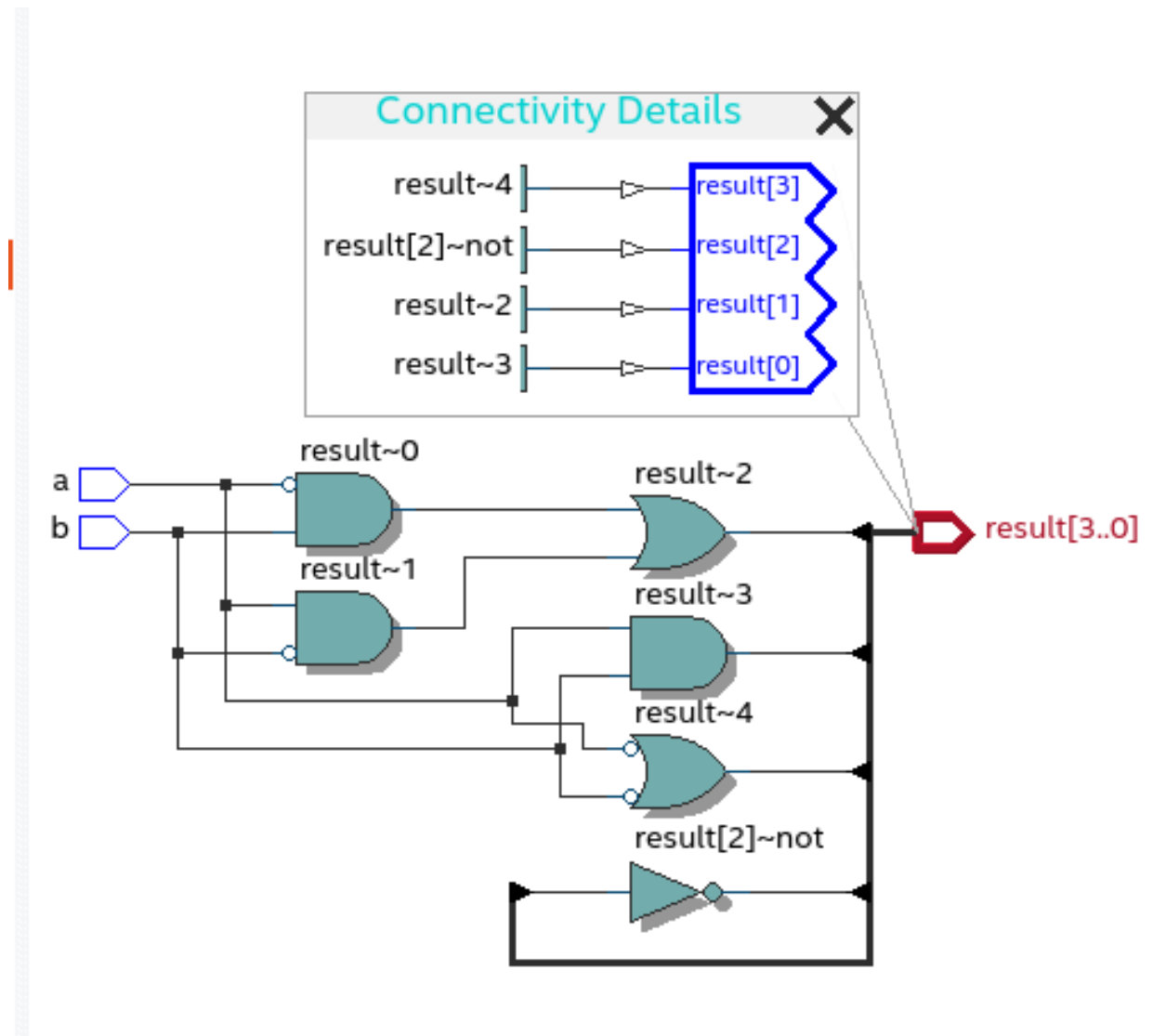
Выполнение заданий

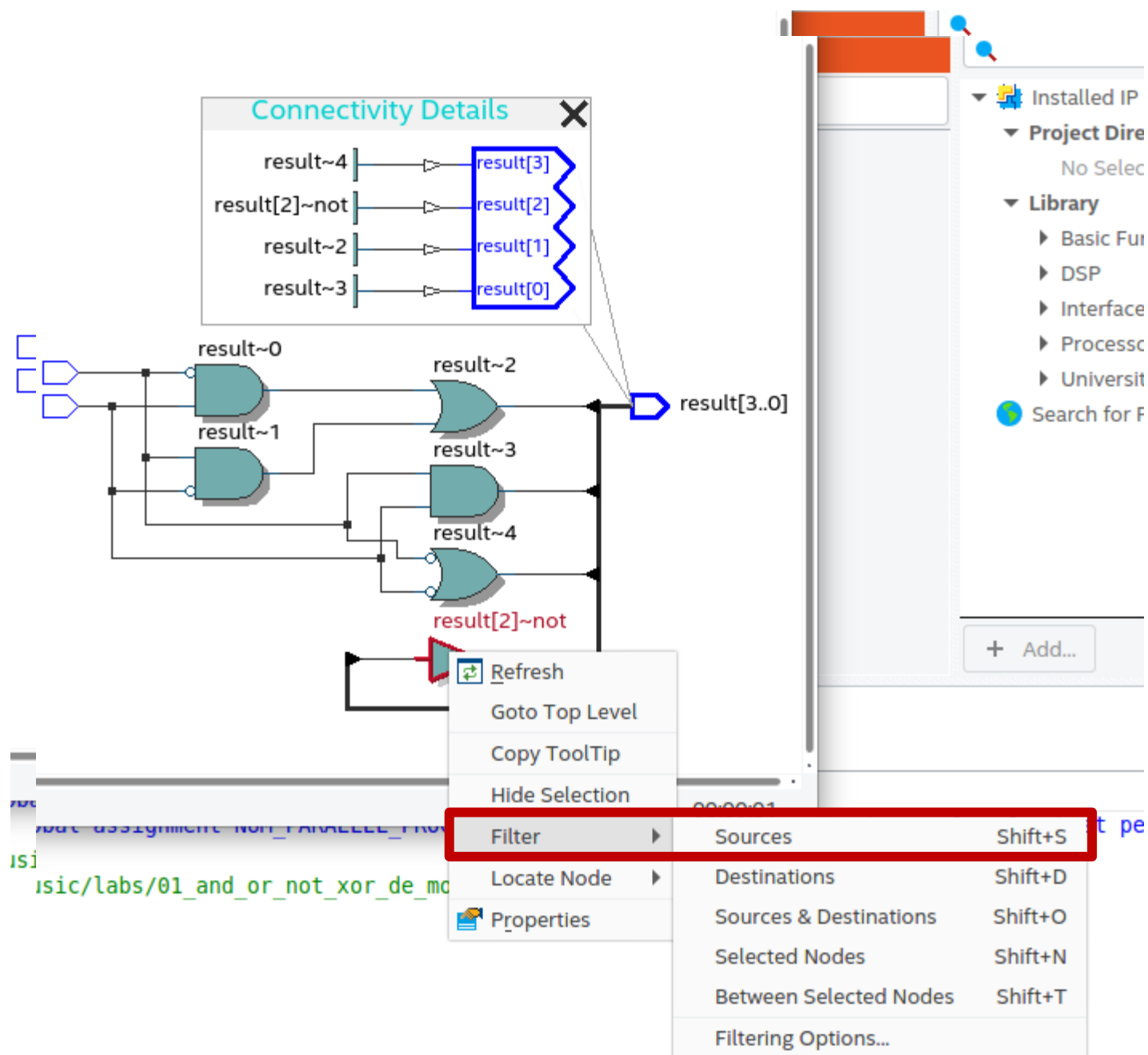
1. Найдите репозиторий [basics-graphics-music](https://github.com/yuri-panchul/basics-graphics-music) в браузере.
2. Скопируйте ссылку в выпадающем окне “Code”
3. В терминале перейдите в домашнюю папку. `cd ~`
4. Склонируйте репозиторий в домашнюю папку.
`git clone https://github.com/yuri-panchul/basics-graphics-music.git`
5. В терминале перейдите в первую лабораторную работу
`cd ./basics-graphics-music/labs/1_basics/1_01_and_or_not_xor_de_morgan/`
6. Подключите USB BLASTER и питание к FPGA. Включите питание.
7. Выполните синтез `bash 03_synthesize_for_fpga.bash`
8. Запустите GUI `bash 05_run_gui_for_fpga_synthesis.bash`
9. Проведите синтез, запустите Netlist viewer. Во что синтезируется схема?
10. Откройте VS Code и выполните задание лабораторной.
11. Выполните все задачи, начиная с 05 лабораторной.

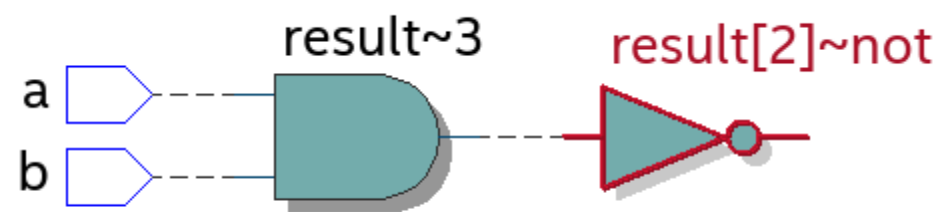










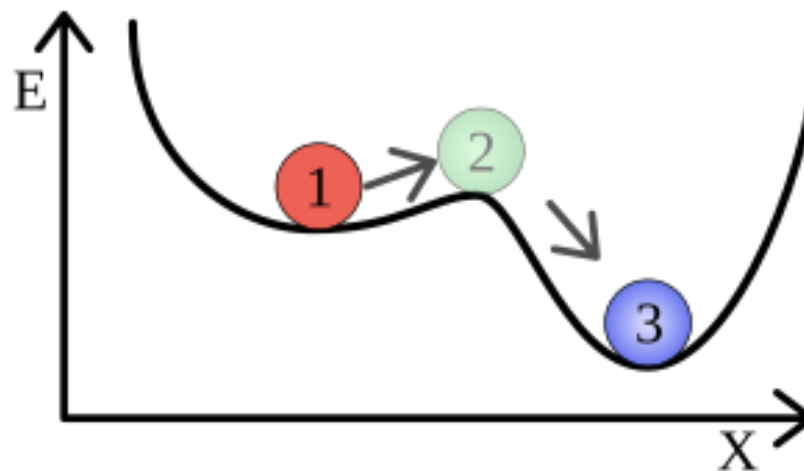
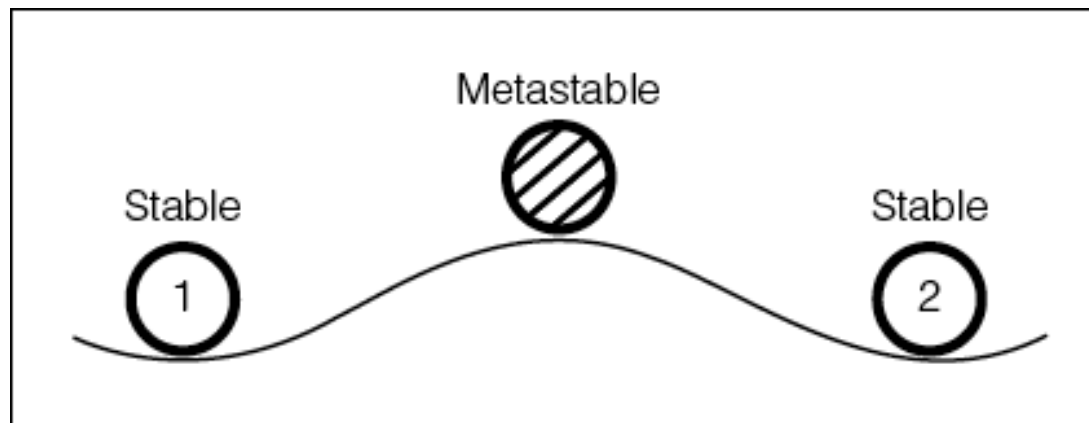


AQUARIUS

**Часть 3.
Асинхронные
события.
Метастабильность.**

Природа метастабильности

Метастабильное состояние — состояние квазиустойчивого равновесия физической системы, в котором система может находиться длительное время.

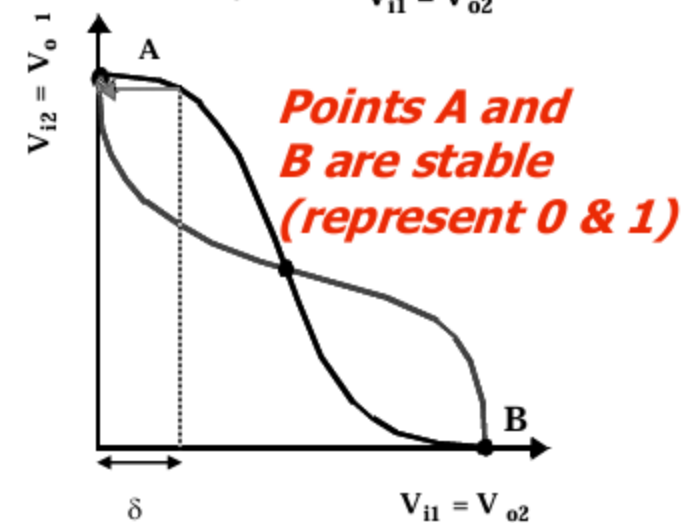
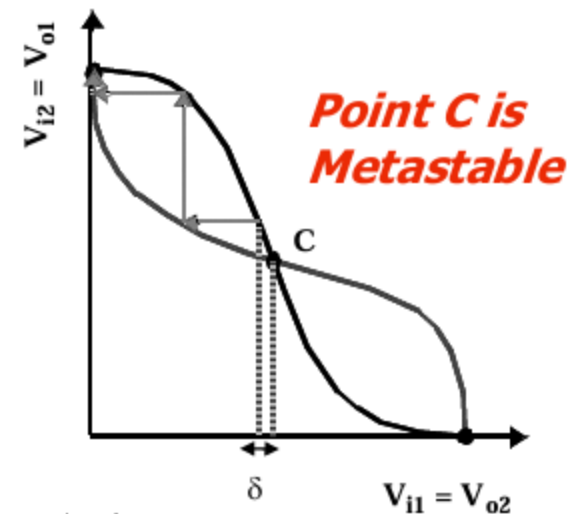
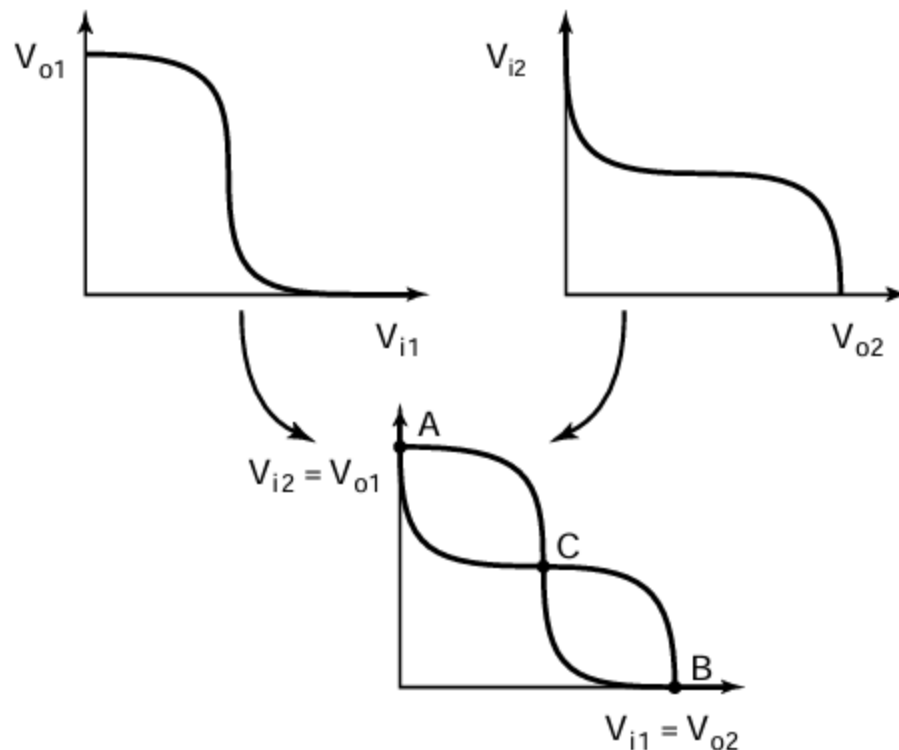
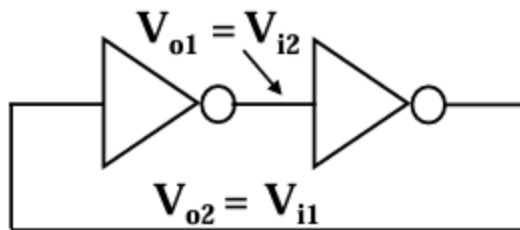


Природа метастабильности в электронике

На рисунке представлен Кольцевой генератор частоты и его переходные характеристики.

V_o – напряжение на выходе

V_i – напряжение на входе



Природа метастабильности в электронике

Метастабильное состояние триггера наступает при нарушении временных параметров триггера

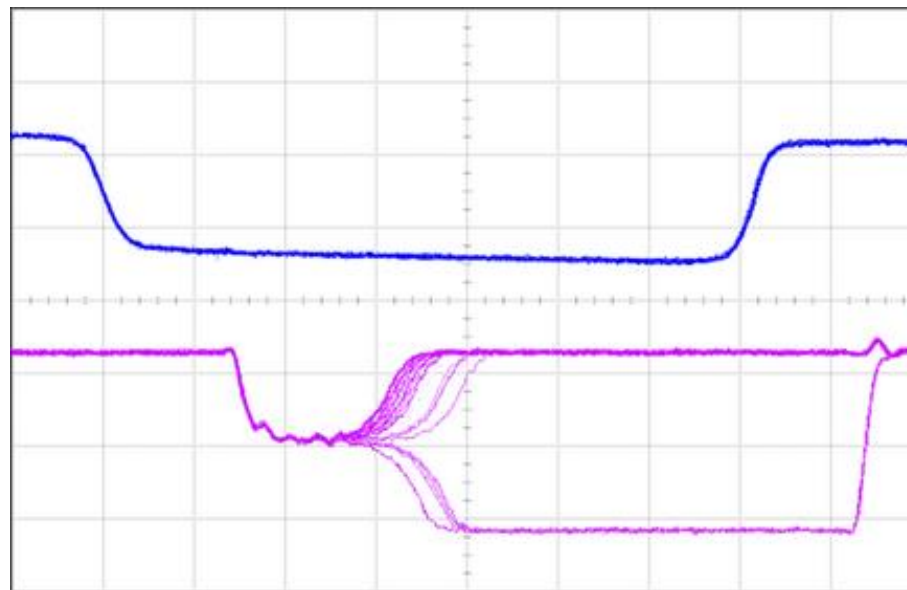
Вероятность того, что триггер будет находиться в метастабильном состоянии более заданного времени, убывает экспоненциально с увеличением времени.

Триггер выходит из метастабильного состояния в зависимости от множества внешних и внутренних факторов (шумов)

D

Осциллограмма триггера при нарушении временных параметров триггера

Q



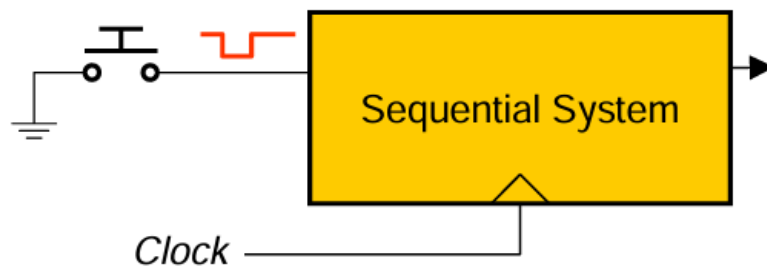
Частота поломок

$$\text{MTBF} = \frac{e^{(t_{\text{res}} / t_{\text{ff}})}}{K_{\text{ff}} \cdot F_{\text{event}} \cdot F_{\text{clk}}}$$

MTBF (*Mean Time Between Failures*) – время между «поломками».

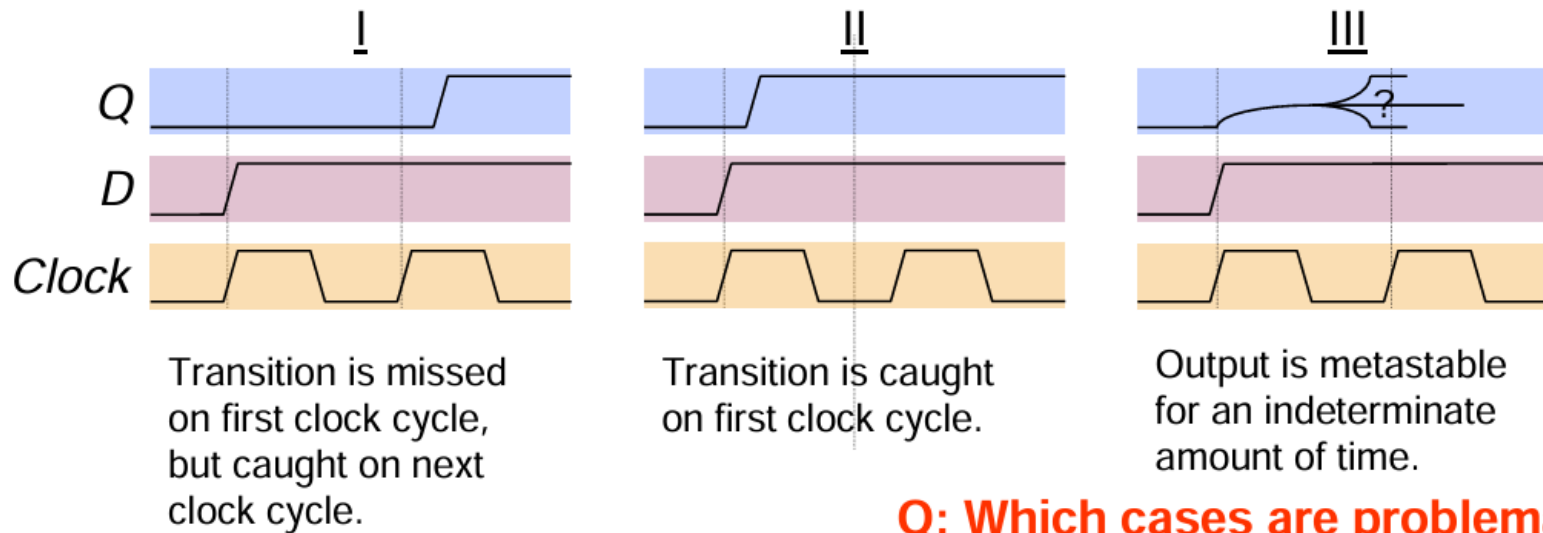
- F_{event} – частота входных событий.
- F_{clk} – тактовая частота на триггере.
- t_{res} – время выхода триггера из метастабильного состояния (*resolution time*), зависит от технологии изготовления микросхемы.
- t_{ff} и K_{ff} – так же коэффициенты связанные с технологией изготовления логических элементов и триггеров в микросхеме.

Внешние входные сигналы



*Can't guarantee
setup and hold
times will be met!*

When an asynchronous signal causes a setup/hold violation...

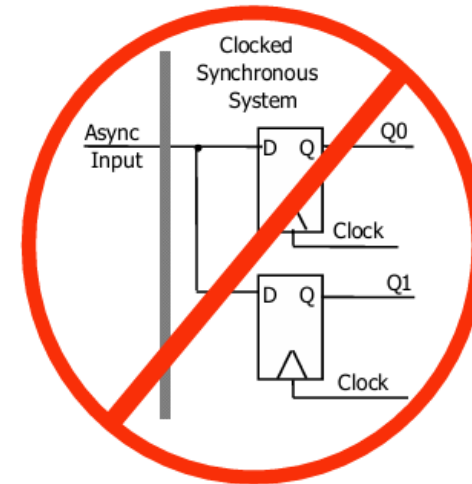
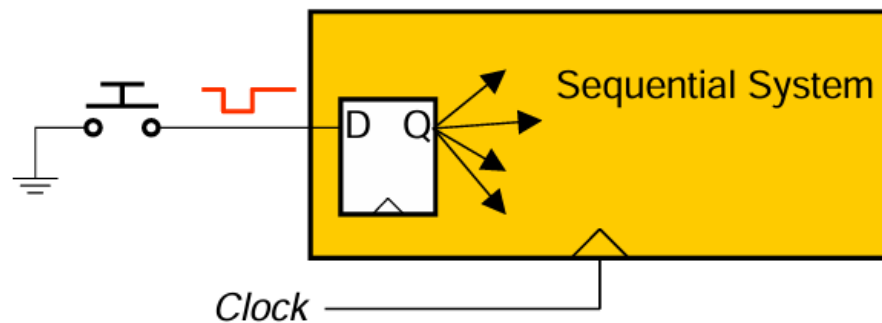


Q: Which cases are problematic?

Внешние входные сигналы

All of them can be, if more than one happens simultaneously within the same circuit.

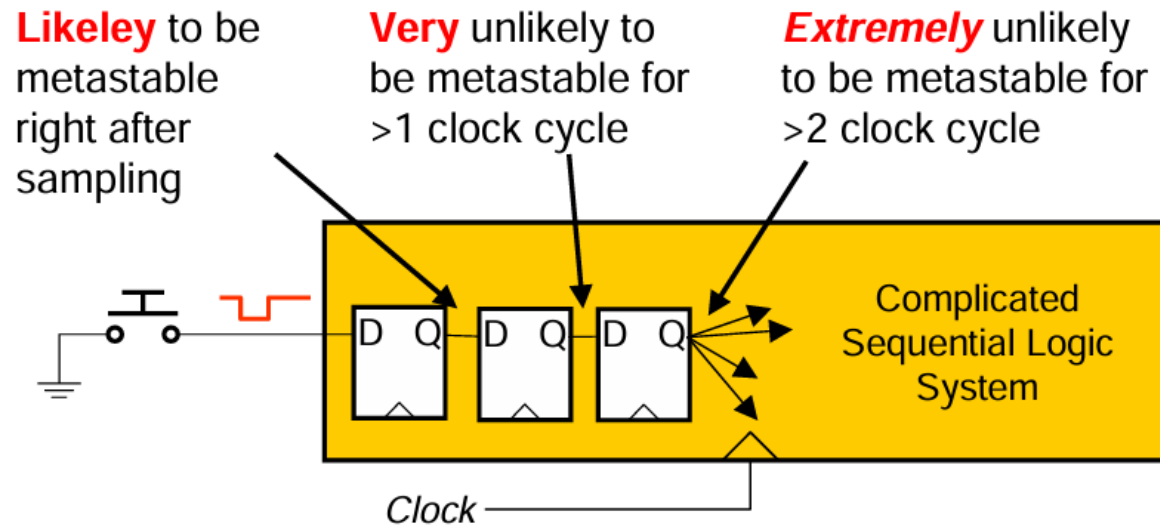
*Idea: ensure that external signals directly feed **exactly one** flip-flop*



This prevents the possibility of I and II occurring in different places in the circuit, but what about metastability?

Внешние входные сигналы

- Preventing metastability turns out to be an impossible problem
- High gain of digital devices makes it likely that metastable conditions will resolve themselves quickly
- Solution to metastability: allow time for signals to stabilize



How many registers are necessary?

- Depends on many design parameters(clock speed, device speeds, ...)
- In 6.111, one or maybe two synchronization registers is sufficient