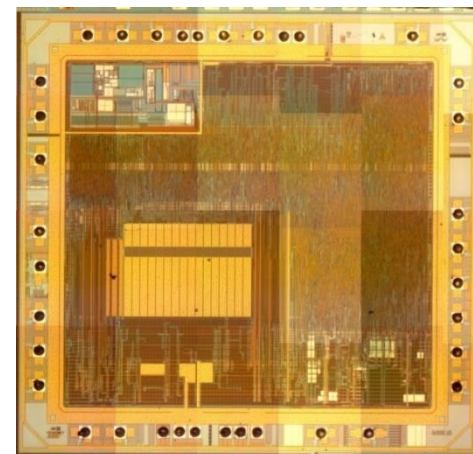
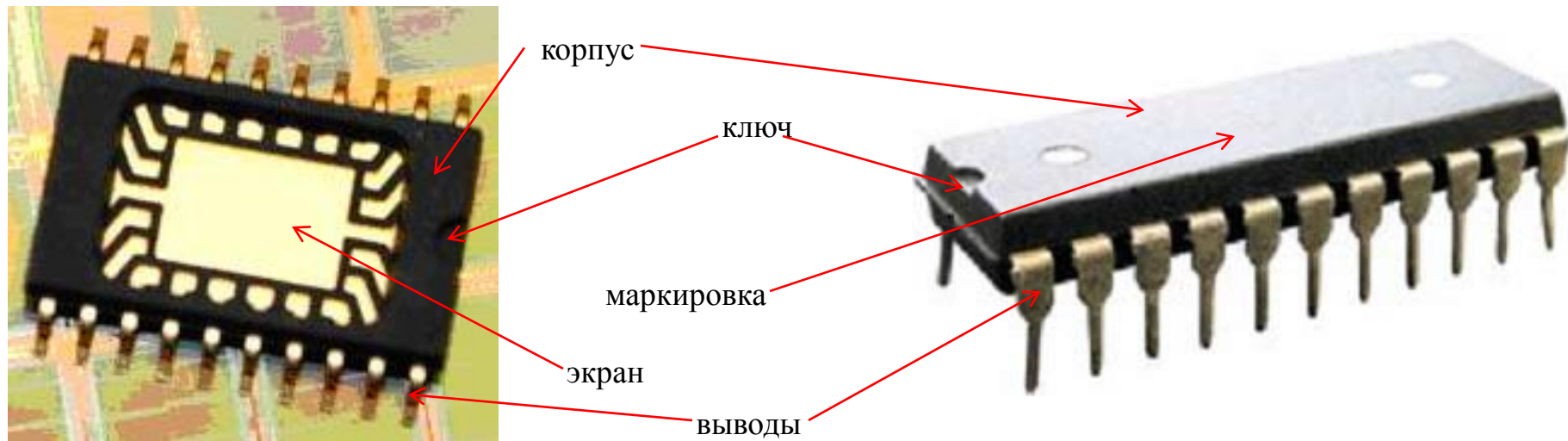


Где в процессоре транзисторы

## Основные конструктивные элементы интегральной схемы



# Основные конструктивные элементы интегральной схемы



## Основные конструктивные элементы интегральной схемы





2000  
по 2004 г.

LC-TB-BGA



VSI



Многоуровневые  
модули



Sy-CSP



Чип в полимере

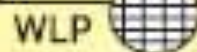


Polytronic

ULC-CSP



Многоуровневый CSP



WLP

Тонкий кремний

Flex-Sys

COF/FCOB



CSP



FC-MCM



MC-BGA



TB-BGA



1998 г.

1999 г.

BGA



SQFP



PGA



QFP



CCC



VSO



MCM  
COB

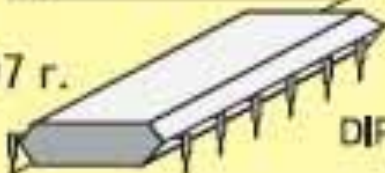


FC



1997 г.

DIP



SO



SOJ



TFP



VTFP



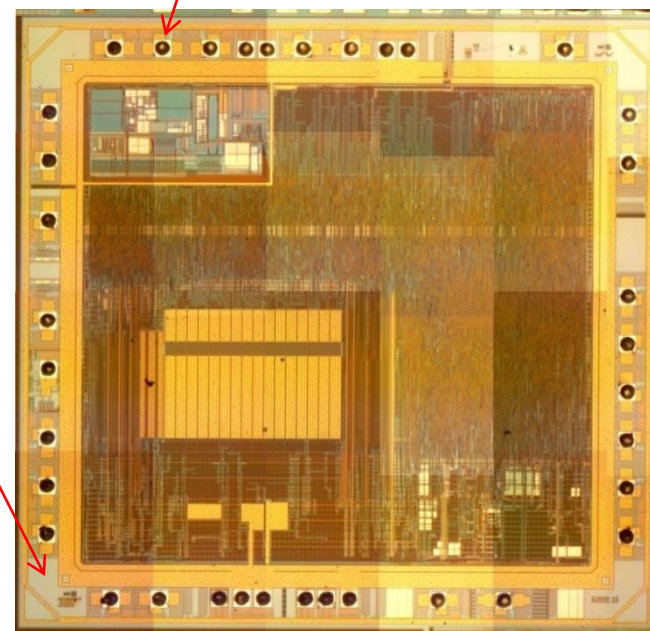
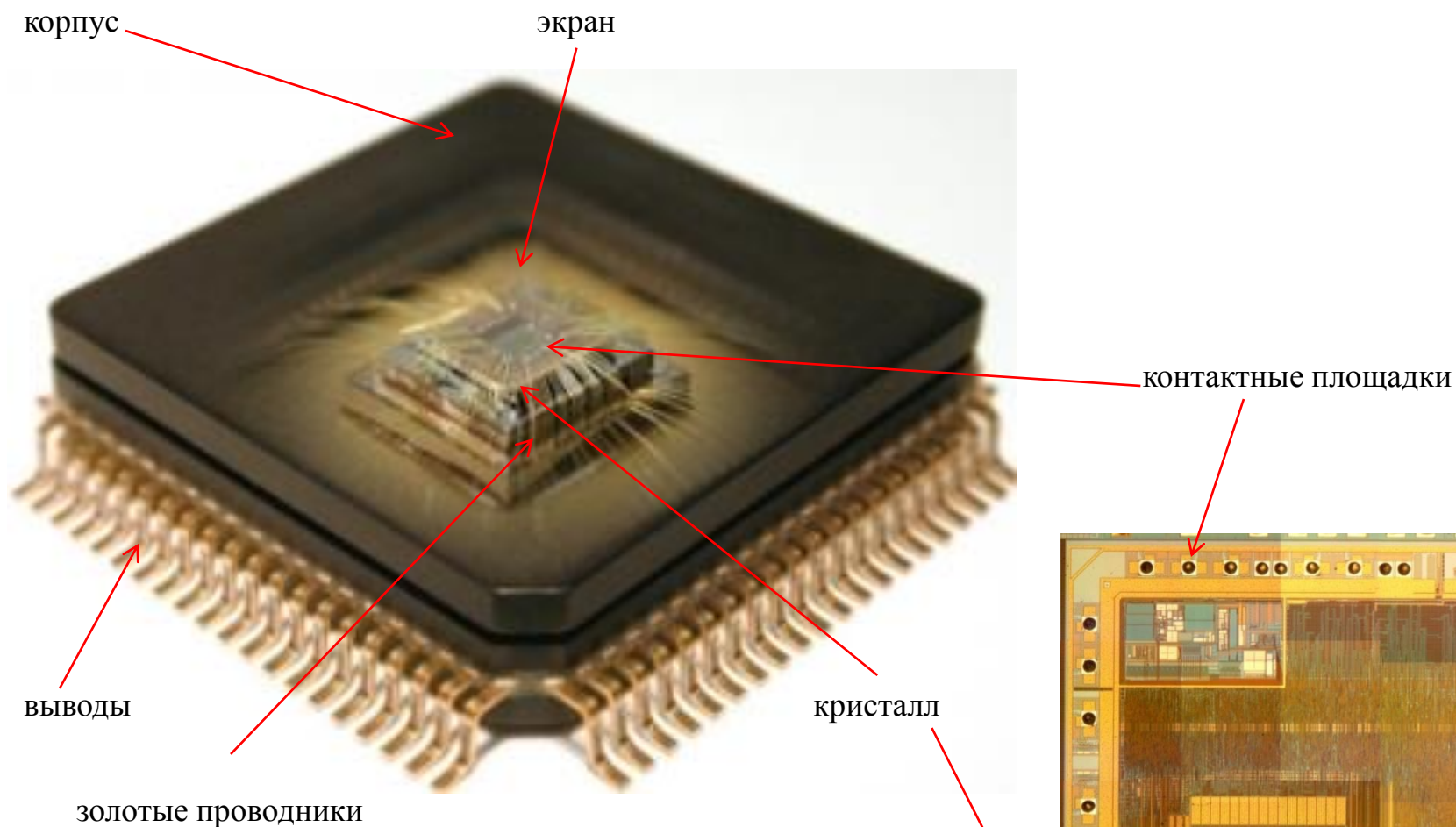
V-PAK



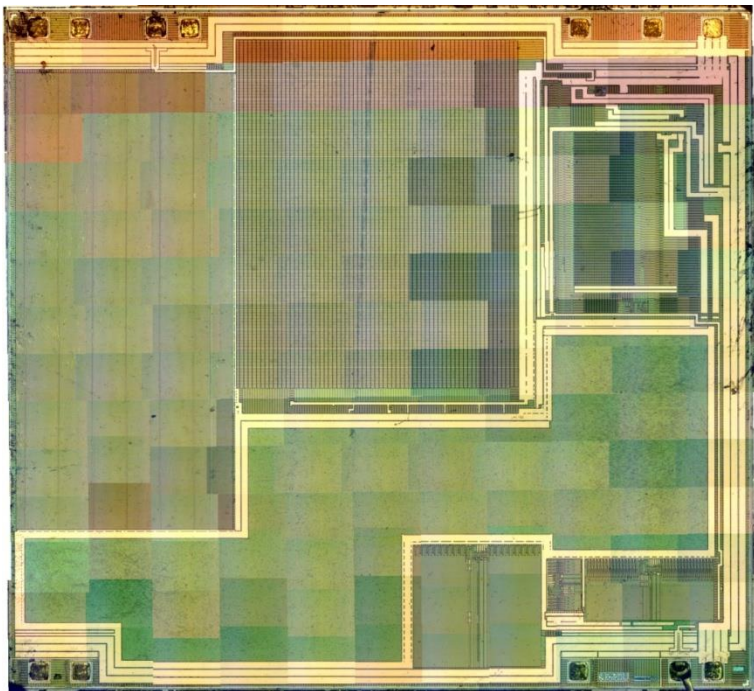
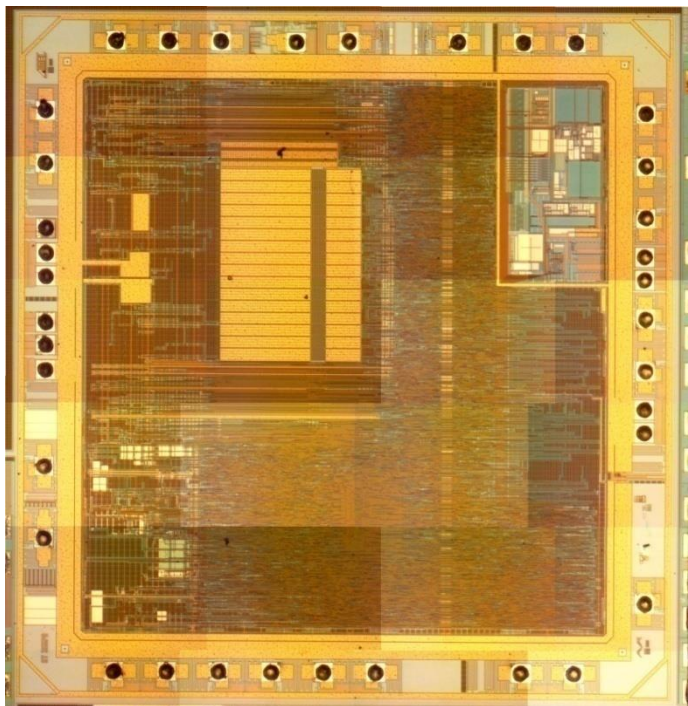
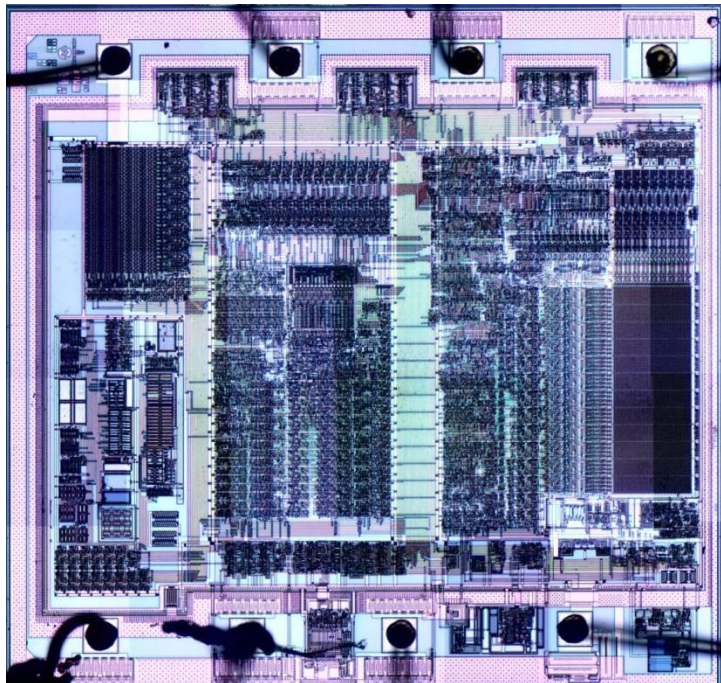
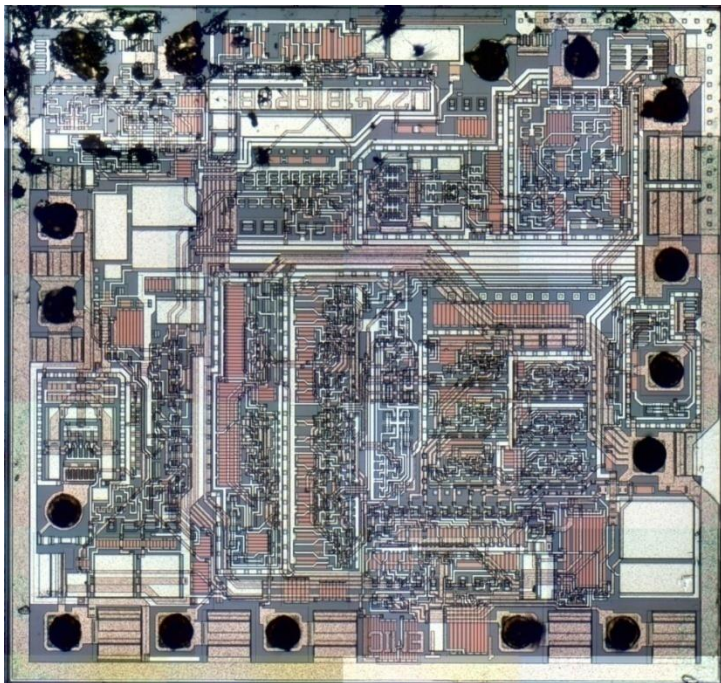
Многоуровневые  
чипы



# Основные конструктивные элементы интегральной схемы







Ток через МОП-транзистор пропорционален отношению его ширины к длине, а значит мы можем сохранять один и тот же ток, пропорционально уменьшая оба этих параметра. Более того, уменьшая размеры транзистора, мы уменьшаем еще и емкость затвора (пропорциональную произведению длины и ширины канала), делая схему еще быстрее.

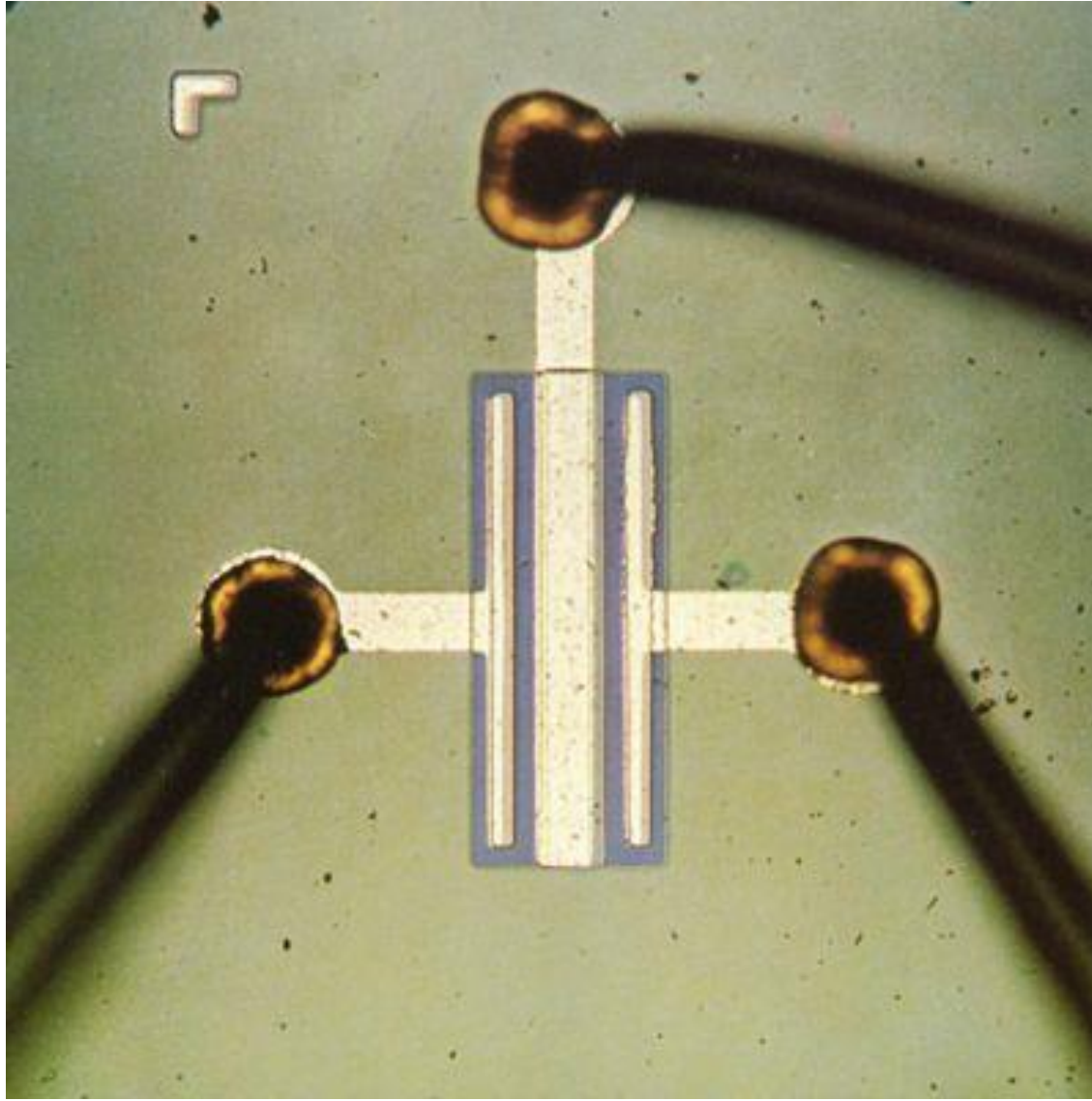
Именно поэтому длина канала всегда была самым маленьким размером в топологии микросхемы, и самым логичным обозначением проектных норм.

У технологов и топологов существует так называемая  $\lambda$ -система типовых размеров топологии.

- На ее примере удобно посмотреть на типовые размеры элементов в микросхеме. Принципы в основе  $\lambda$ -системы очень просты: если сдвиг элементов на двух разных фотолитографических масках имеет катастрофические последствия (например, короткое замыкание), то запас размеров для предотвращения несостыковок должен быть не менее двух лямбд;
- если сдвиг элементов имеет нежелательные, но не катастрофические последствия, запас размеров должен быть не менее одной лямбды;
- минимально допустимый размер окон фотошаблона — две лямбды.

Из третьего пункта следует, в частности, то, что лямбда в старых технологиях — половина проектной нормы (точнее, что длина канала транзистора и проектные нормы — две лямбды).

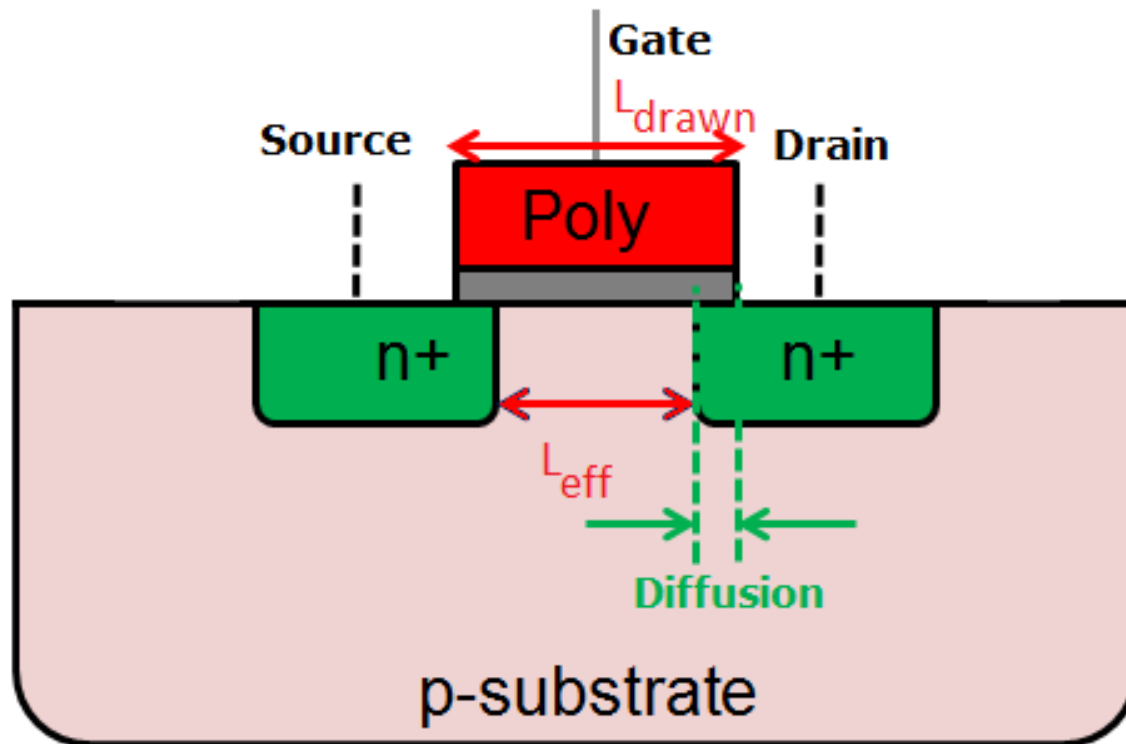


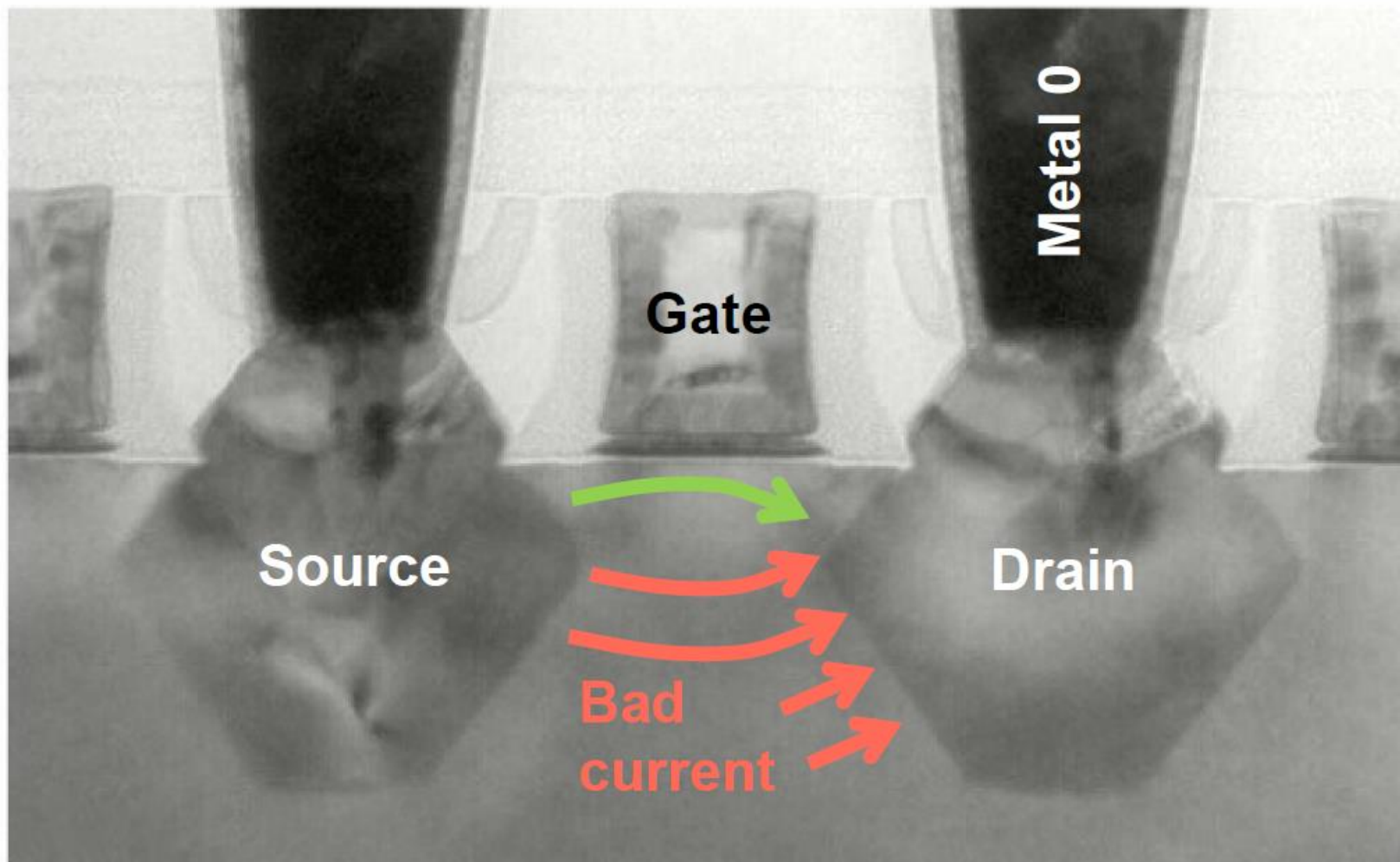


Но с ростом конкуренции и количества транзисторов на чипе фабрики стали стремиться сделать топологию немного компактнее.

Появилась прямая связь «проектные нормы = длина канала транзистора», которая успешно существовала до тех пор, пока размеры транзисторов не достигли десятков нанометров.

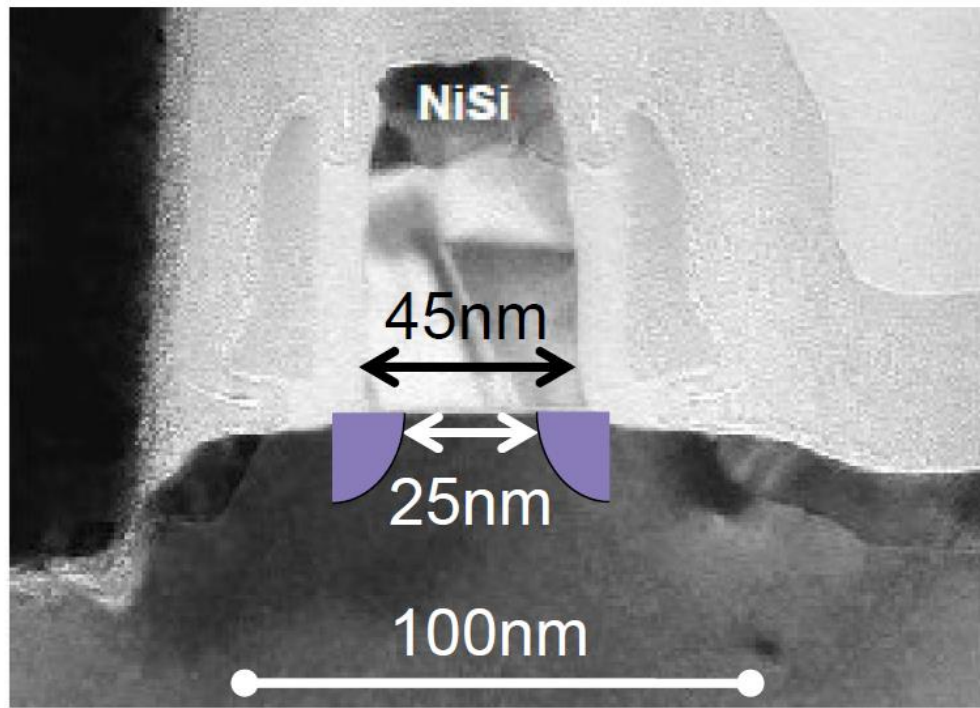
Появление понятия эффективной длины канала.



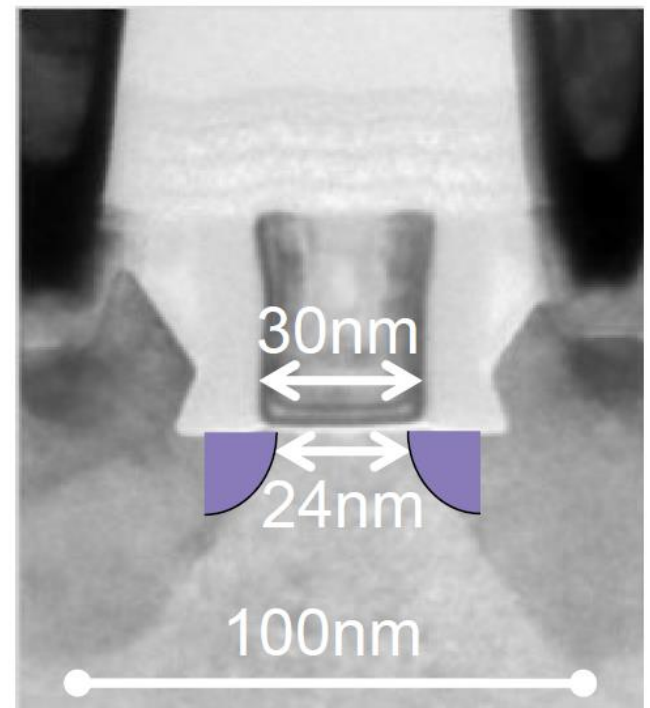


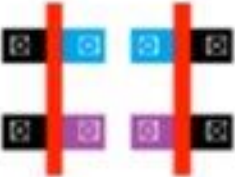
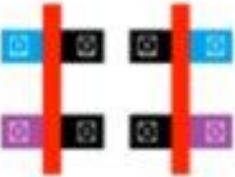
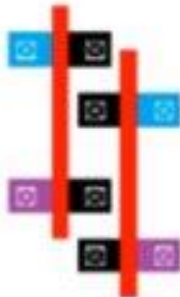
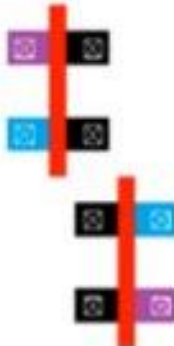
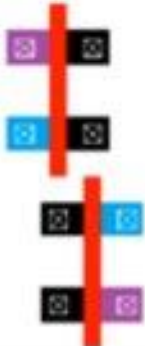
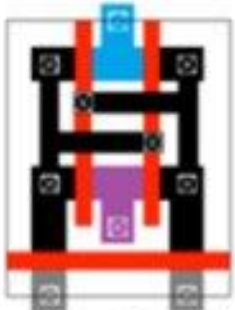
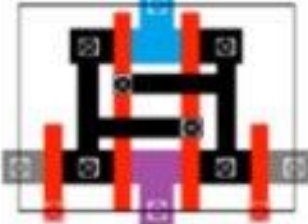
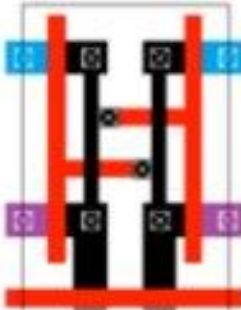
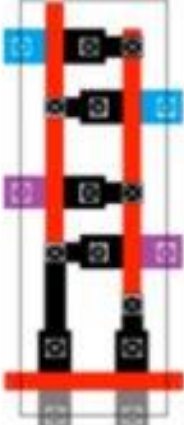
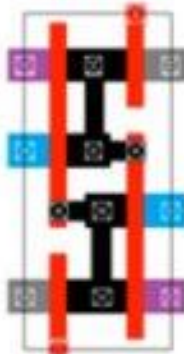
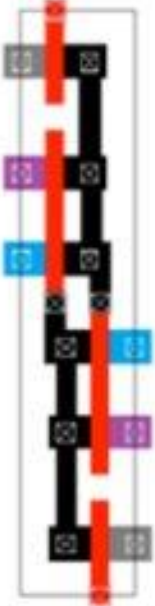


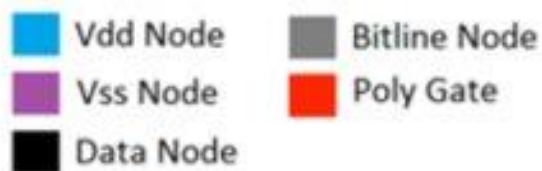
90 nm node



32 nm node



	Category 1	Category 2	Category 3	Category 4	Category 5
Layouts of Inverters					
Layouts of SRAM Cells	 Type-1a cell  Type-1b cell	 Type-2 cell	 Type-3 cell	 Type-4 cell	 Type-5 cell



То есть “раньше у нас была длина канала 65 нм и площадь ячейки памяти  $X$ , а теперь длина канала 54 нм, но мы ужали металлизацию, и теперь площадь ячейки стала  $X/5$ , что примерно соответствует переходу от 65 до 28 нм.

Но дальше начались пляски с FinFET транзисторами, у которых ключевые размеры никак не связаны с разрешением литографии, скорости миниатюризации транзисторов и всего остального окончательно разошлись, и единственной нормальной цифрой осталась площадь ячейки памяти, на основе которой нам сейчас и сообщают про “10”, “7” и “5” нанометров.

3D-интеграцию

