TAREAS	MAYO								JUNIO				JULIO				AGOSTO				SEPTIEMBRE			
Fase Final	L	М	I	J	v	s	D	L																
	13	14	15	16	17	18	19	20																
Verilog - Santiago Rafael Gomez Brisuela																								
Diseño e implementación del "single datapath" de MIPS de 32 bits.																								
Desarrollo de los módulos necesarios para ejecutar instrucciones tipo R, tipo I y tipo J.																								
Desarrollo del programa en ensamblador MIPS para ser ejecutado por el diseño en Verilog.																								
Decodificacion Python - Alan Emmanuel Marin Lemus																								
Propuesta de algoritmo para el decodificador en Python.																								
Trabajar con el decodificador de lenguaje ensamblador a código binario																								
Generación del archivo de carga en la memoria de instrucciones y, si es necesario, del archivo de inicialización del Banco de Registro.																								
Documentacion - Ferran Prado Roesner																								
Redacción y descripción del desarrollo de los módulos que tienen el datapath.																								
Redacción de los elementos nuevos para instrucciones tipo I.																								
Administrador - Denice Estefania Rico Morones																								
Cronograma de actividades																								
Presentacion																								