

	Abril									Mayo																			
	L	M	X	J	V	S	D	L	M	X	J	V	S	D	L	M	X	J	V	S	D	L	M	X	J	V	S	D	L
	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34
Fase 1																													
Codificación Verilog																													
Codificación de módulos individuales																													
Codificación de módulo principal																													
Codificación de Test Bench																													
Documentación del código																													
Decodificación																													
Investigación de seccionado de instrucciones																													
Actualización de Interfaz																													
Edicion de archivos en Python																													
Documentación																													
Investigación																													
Escritura de documentación																													
Administrador																													
Cronograma de actividades																													
Presentacion																													

Verilog: Denice Estefania Rico Morones

Decodificación: Ferran Prado Roesner

Documentación: Santiago Rafael Gomez Brisuela

Administrador: Alan Emmanuel Marin Lemus