



DEPARTAMENTO DE ELECTRÓNICA
2^{do} cuatrimestre de 2024

TALLER DE DISEÑO DE CIRCUITOS ELECTRÓNICOS (TA138)
CHECKPOINT 5 - ENTREGA FINAL

Grupo	Alumno	Padrón	Mail
5	Diógenes Cornejo Zuviría	106413	dcornejoz@fi.uba.ar
	Sebastián Ezequiel García	103780	sebgarcia@fi.uba.ar
	Joaquín Mellibovsky	103815	jmellibovsky@fi.uba.ar
	Denise Oriana Viltes	106943	dviltes@fi.uba.ar

Índice

1. Diseño del circuito LDO	4
1.1. Especificaciones generales	4
1.2. Análisis de bloques	5
1.2.1. Par diferencial	5
1.2.2. Etapa de potencia	6
1.2.3. Bloque realimentador de tensión	8
1.2.4. Muestreo de corriente	11
1.2.5. Referencia de tensión	12
1.2.6. Comparador y sumador	13
1.3. Tensión de salida respecto a la carga	14
1.4. Tensión de salida respecto de la tensión de entrada	16
1.5. Ganancia de lazo	17
1.6. Análisis del margen de fase y compensación	20
1.6.1. Lazo de tensión	23
1.6.2. Lazo de corriente	26
2. Análisis Térmico del LDO	29
3. Diseño del PCB del LDO	31
4. Ensamble del LDO	36
4.1. PCB	36
4.2. Componentes	38
4.3. Carga Electrónica	39
5. Mediciones del LDO	40
6. Fuente Conmutada Buck	49
6.1. <i>Gate Driver</i>	53
6.2. Simulación	55
6.3. Armado del Inductor	57
6.3.1. Cálculo de parámetros	57
6.3.2. Ensamble del inductor	60
6.4. PCB y CEM	61
6.5. Mediciones	62
6.5.1. Recta de Carga	62
6.5.2. Recta de Línea	63

7. PWM	65
7.1. Diseño	65
7.2. PCB	70
8. Bloque <i>Support</i>	71
8.1. Tensión de referencia	72
8.2. Tensión - <i>VPOSA</i>	72
8.3. Tensión de <i>enable</i>	73
8.4. PCB	75
9. Lazo cerrado: <i>PWM + buck</i>	75

1. Diseño del circuito LDO

1.1. Especificaciones generales

La premisa principal del Trabajo Práctico es diseñar un circuito que se alimente con un amplio rango de tensiones de entrada pero que la salida sea de 5 V o 3,3 V según se seleccione. Además de este requisito para la tensión de salida, la corriente debe encontrarse siempre entre los 500 mA y los 750 mA. Las demás especificaciones se presentarán a medida que se desarrolle el circuito para cumplirlas.

En la figura 1 se muestra el diagrama en bloques del circuito a diseñar. En un principio se hace foco en el diseño y el esquemático del PCB del bloque LDO.

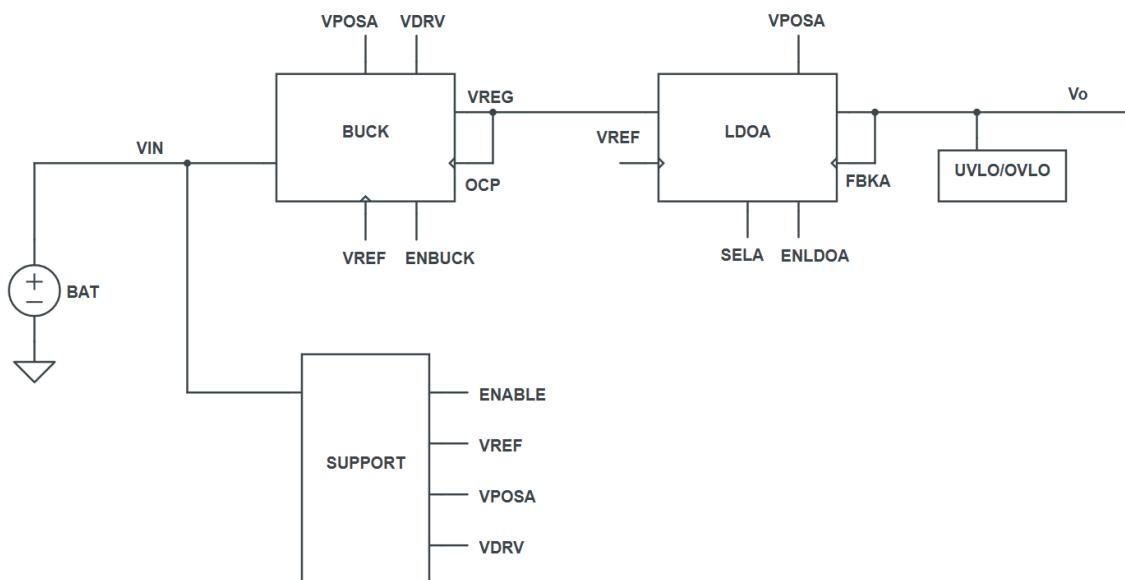


Figura 1: Diagrama en bloques funcionales del circuito a diseñar.

El bloque LDO recibe siete tensiones:

- V_{reg} : Tensión de alimentación de los transistores del par diferencial, carga activa, fuente espejo y de paso.
- V_{ref} : Tensión de entrada al par diferencial.
- $+VPOSA$ y $-VPOSA$: Tensiones de alimentación de los amplificadores operacionales.

- *SELA*: Tensión de selección de la salida. Cuando está encendida, la salida es de 5 V, mientras que cuando está apagada es de 3,3 V.
- *FBKA*: Realimentación mediante la implementación de un *foldback*.
- *ENLDOA*: Tensión de encendido del bloque LDO.

El diagrama en bloques del LDO se muestra en la figura 2. En este dibujo los bloques de Muestreo de Corriente, Sumador y Comparador corresponden al *foldback*. A su vez, éstos y el *feedback* son todos juntos la realimentación.

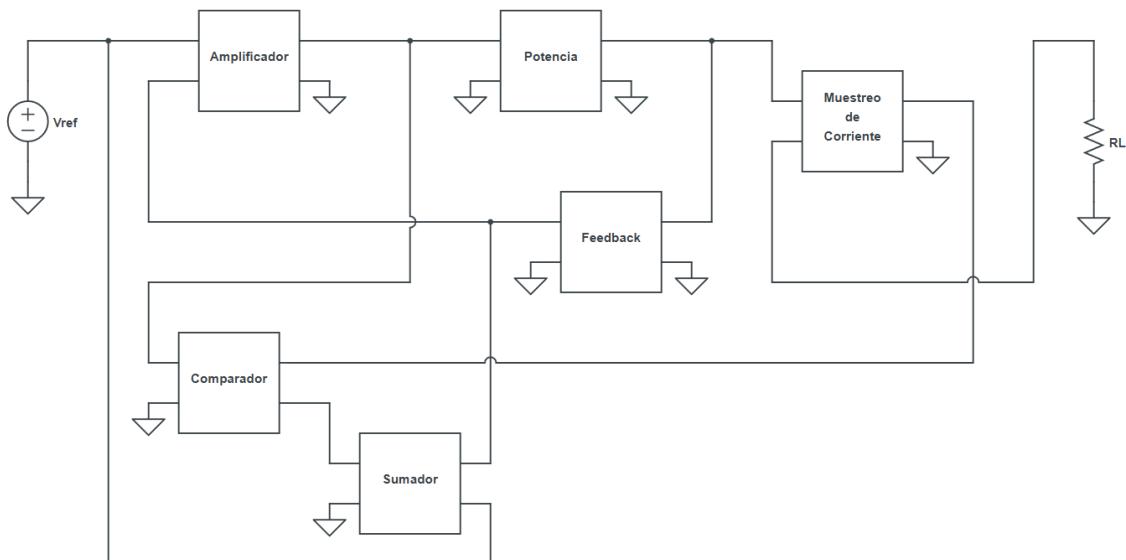


Figura 2: Diagrama en bloques del LDO.

1.2. Análisis de bloques

1.2.1. Par diferencial

En esta etapa se busca obtener un circuito estable con desapareamientos mínimos, logrando a su vez la mayor amplificación posible. En principio se parte de la idea de tener los transistores perfectamente apareados por lo que al momento de elegir los transistores, se buscan complementarios *npn-pnp*.

Ya que la siguiente etapa (1.2.2) tiene como máximo una ganancia unitaria, se busca maximizar la ganancia en esta etapa. Para lograr esto, en vez de utilizar

carga resistiva en cada rama del diferencial, se opta por agregar una carga activa, en este caso, una fuente espejo simple. Con esta modificación se logra aumentar la resistencia de salida del par diferencial, e incluso, mejorar el apareamiento del circuito al imponer la misma corriente en ambas ramas. Teniendo esto en cuenta, se buscan transistores con una V_A alta (mejorando así la r_o), y un β grande para lograr maximizar la amplificación del par diferencial para la configuración elegida.

Siguiendo la misma línea de pensamiento, con el fin de obtener un circuito más estable, se polariza el diferencial con una fuente de corriente. Utilizando una fuente espejo simple que implica una mayor impedancia, se logra que mejore la relación de rechazo de modo común, sin afectar la ganancia del diferencial.

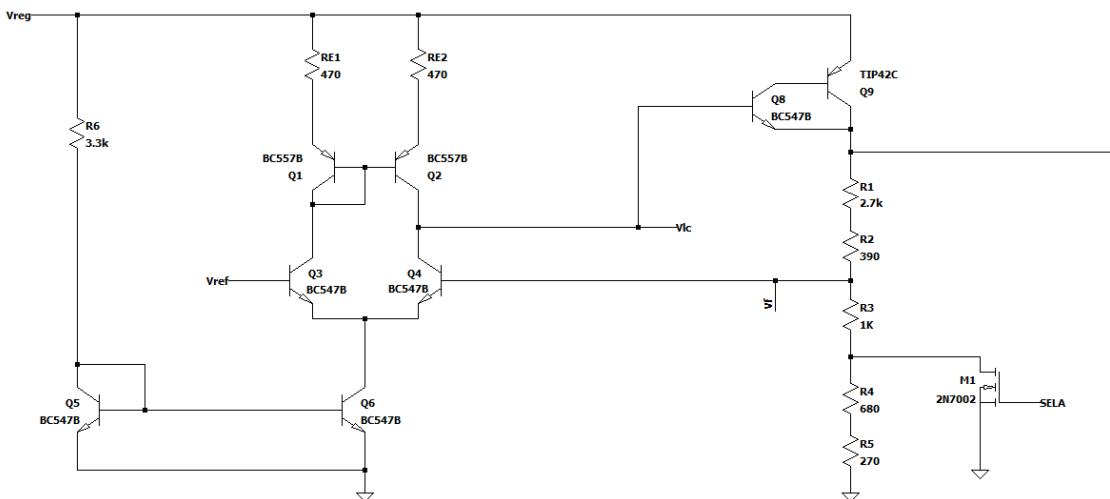


Figura 3: Bloque amplificador del circuito.

1.2.2. Etapa de potencia

A la salida *single ended* del par diferencial se conecta un par de transistores de paso en configuración par *Sziklai*. Para esta etapa se utiliza un transistor *npn* **BC547** y uno *pnp* **TIP42**. Este ultimo tiene la ventaja de tener una tensión de *Early* (V_A) muy alta, lo cual implica que la tensión V_{CE} varía muy poco con la corriente como se ve en la figura 4, permitiendo entregarle la corriente necesaria a la carga sin variar la tensión de salida.

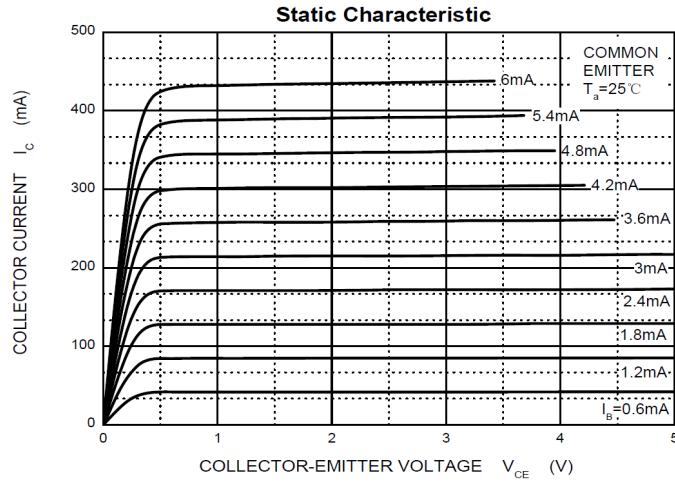


Figura 4: Curva de I_C respecto de V_{CE} para un transistor TIP42.

En cuanto a la configuración, se opta por un par *Sziklai* ya que a la salida de este regulador se espera una corriente de trabajo máxima de 750 mA, pero en la salida del par diferencial se obtiene una corriente mucho menor. Esta configuración permite aumentar la corriente de salida del par diferencial en base al siguiente factor:

$$\beta_{BC547} \cong 520 \quad \beta_{TIP42} \cong 50$$

$$\beta_{Sziklai} = \beta_{BC547} \cdot \beta_{TIP42} \cong 26000$$

Si bien el **TIP42** tiene un factor de ganancia de corriente mucho menor que el **BC547**, se elige a éste como transistor de salida debido a que, al ser un transistor de potencia, soporta corrientes de colector más altas. Esto permite extender el rango de corrientes de salida del LDO.

Por otro lado, se verifica que el transistor de potencia se encuentre trabajando en MAD para los distintos valores de tensión de salida, variando la resistencia de carga entre sus valores máximos y mínimos para cada caso. Los valores obtenidos en la simulación se vuelcan en la siguiente tabla:

Zona Segura					
V_o [V]	R_L [Ω]	I_B [A]	I_C [A]	V_{CE} [V]	V_{BE} [V]
5	∞	$26,7 \mu$	2,18 m	1,2	0,626
	6,8	9,16 m	738 m	1,21	0,79
3,3	∞	$16,7 \mu$	1,30 m	3	0,612
	4,4	8,92 m	737 m	3	0,789

Luego, se comparan los valores obtenidos contra la curva I_C versus V_{CE} obtenida de la hoja de datos del transistor de la figura 4 y se verifica que en los diferentes casos el transistor opera en MAD como se esperaba.

Por último, teniendo en el *driver* de esta etapa (**BC547**) una corriente de colector máxima de aproximadamente 9 mA y una tensión V_{CE} de 2,3 V se puede aproximar que la potencia máxima que disipa es de 20 mW. Comparando este resultado con los valores máximos especificados en la hoja de datos, es posible concluir que estas condiciones no impiden el correcto funcionamiento del transistor.

1.2.3. Bloque realimentador de tensión

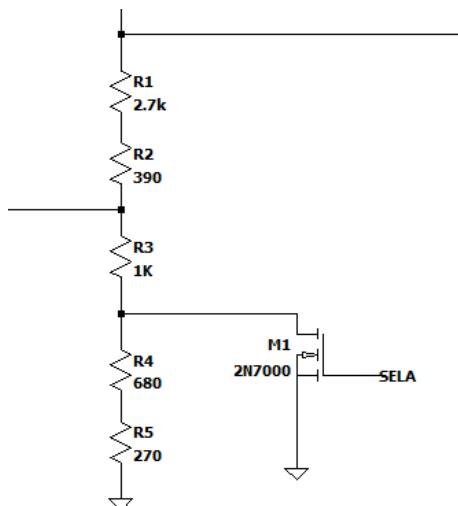


Figura 5: Bloque de realimentación.

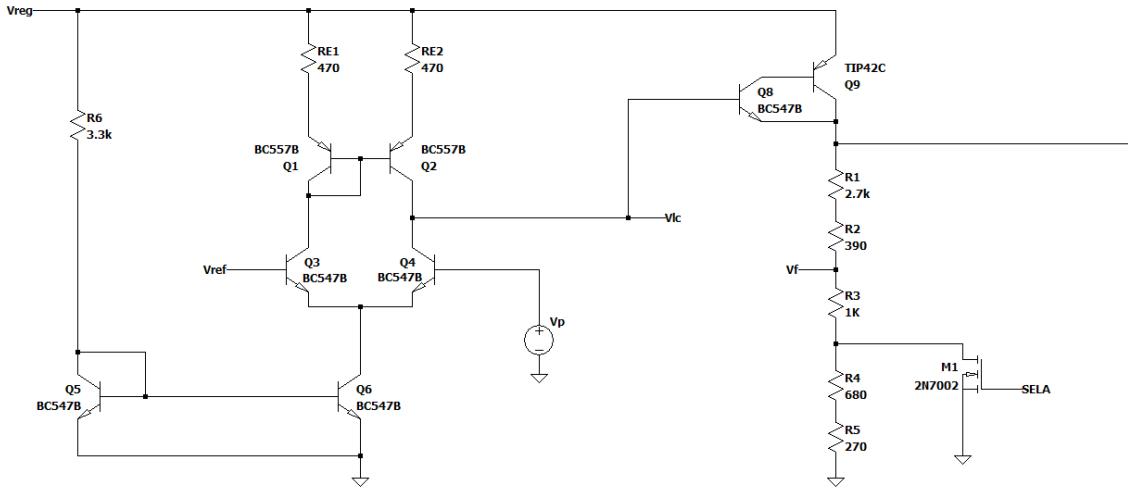


Figura 6: Esquemático del cálculo teórico de la ganancia a lazo abierto a .

A la salida del transistor de potencia, además de la carga y el bloque controlador de corriente, se coloca un divisor resistivo que muestrea parte de la tensión de salida y la suma a la entrada del par diferencial. Idealmente el divisor resistivo debe lograr que se sume una tensión lo más parecida posible a V_{ref} . Esta configuración cuenta con un N-MOSFET que se encarga de adaptar la impedancia para obtener 3,3 V o 5 V según corresponda. Cuando la entrada *SEL A* del LDO supera la tensión $V_T \cong 1\text{ V}$ del transistor, éste entra en saturación y habilita un camino de menor impedancia que los resistores.

Dado entonces que el amplificador está realimentado, la ganancia del mismo a lazo cerrado va a estar dada por la siguiente ecuación:

$$A = \frac{a}{1 + a \cdot f}$$

Realizando los cálculos teóricos la ganancia del par diferencial se puede expresar como:

$$\text{Para } V_o = 3,3 \text{ V : } a_{vd} = \frac{gm_4 \cdot [ro_2 // (r_{\pi Sz} + \beta_{Sz} \cdot (5 \text{ k}\Omega // R_L))] }{2}$$

$$\text{Para } V_o = 5 \text{ V : } a_{vd} = \frac{gm_4 \cdot [ro_2 / (r_{\pi Sz} + \beta_{Sz} \cdot (4,09 \text{ k}\Omega / R_L))] }{2}$$

A partir de estos resultados, se ve que la ganancia depende del valor de R_L . En el mejor de los casos $R_L \rightarrow \infty$, es decir, se abre el circuito. Además, como β_{S2} es muy grande (aproximadamente 26000), mientras el LDO regula tensión la ganancia a lazo abierto es igual para ambas tensiones de salida.

$$a_{vd} \cong \frac{gm_4 \cdot r_{o2}}{2}$$

Considerando los siguientes valores de reposo, los parámetros de señal del amplificador diferencial y del transistor de paso resultan:

Parámetros de Señal				
	I_{CQ}	gm	r_π	r_o
$Q_{1,2,3,4}$	0,85 mA	$34 \frac{\text{mA}}{\text{V}}$	8,5 k Ω	118 k Ω
$Q_{5,6}$	1,7 mA	$68 \frac{\text{mA}}{\text{V}}$	4,2 k Ω	59 k Ω

Con estos valores y teniendo en cuenta que la ganancia de la etapa de potencia es aproximadamente unitaria (por su configuración equivalente en colector común) la ganancia del LDO sin realimentar es:

$$a_v = 2006$$

Cuando la tensión SELA está desactivada ($V_o = 3,3$ V) la ganancia del bloque realimentador está dada por el siguiente divisor resistivo:

$$f = \frac{V_f}{V_o} = \frac{270\Omega + 680\Omega + 1\text{k}\Omega}{270\Omega + 680\Omega + 1\text{k}\Omega + 390\Omega + 2,7\text{k}\Omega} = 0,39$$

$$a \cdot f = 2006 \cdot 0,39 = 782$$

En cambio, cuando la tensión SELA se activa ($V_o = 5$ V), se habilita el MOSFET pasa a actuar en tríodo (por la baja corriente que lo circula), por lo que su caída de tensión (V_{DS}) es muy pequeña y resulta aproximadamente el siguiente divisor:

$$f = \frac{V_f}{V_o} = \frac{1\text{k}\Omega}{1\text{k}\Omega + 390\Omega + 2,7\text{k}\Omega} = 0,244$$

$$a \cdot f = 2006 \cdot 0,244 = 489$$

Finalmente, sabiendo que $a \cdot f \gg 1$ se puede aproximar entonces la ganancia del LDO a lazo cerrado como

$$A \cong \frac{1}{f}$$

$$\text{Para } V_o = 3,3 \text{ V : } A \cong \frac{1}{f} = 2,56$$

$$V_o \cong A \cdot V_{ref} \cong 3,3 \text{ V}$$

$$\text{Para } V_o = 5 \text{ V : } A \cong \frac{1}{f} = 4,09$$

$$V_o \cong A \cdot V_{ref} \cong 5 \text{ V}$$

1.2.4. Muestreo de corriente

Se diseña el bloque de muestreo de tensión como se muestra en la figura 7. Se elige una R_s de $0,1 \Omega$, cuya caída de tensión es tomada por un *opamp* con ganancia de 10. De esta forma, se puede traducir la corriente que circula en dicho resistor a una tensión que se pueda comparar con una referencia en el siguiente bloque. Esta etapa se compara contra la tensión de referencia en el bloque comparador con el fin de limitar la corriente para no superar los 750 mA.

Cabe aclarar que en este bloque, se ve la necesidad de alimentar el *opamp* con una fuente doble: $+V_{POSA}$ y $-V_{POSA}$. De esta forma se da lugar a que el operacional alcance tensiones de salida negativas, lo cual será útil en etapas próximas. La tensión de salida de esta etapa resulta positiva cuando se controla corriente, y negativa cuando se controla tensión.

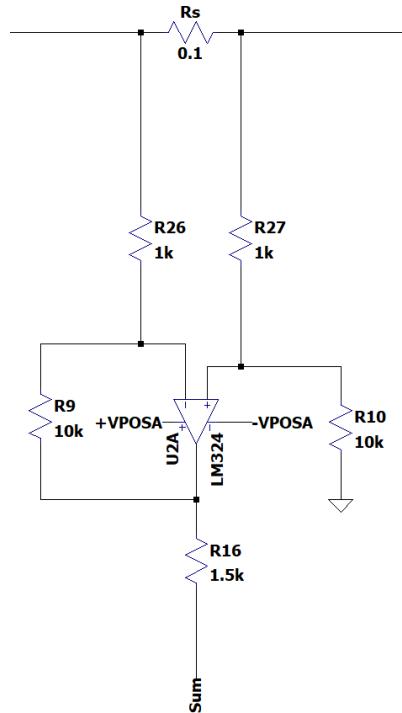


Figura 7: Muestreo de corriente y salida.

1.2.5. Referencia de tensión

Se usan dos *opamps* para establecer una tensión de referencia que se pueda comparar con la tensión traducida de la corriente sobre la carga. La entrada de Q_3 es fija: V_{ref} y mediante un divisor resistivo se la redujo a 200 mV. Ésta corresponde a la corriente mínima que se pide que circule por la carga. A su vez, se tomó la tensión de entrada del otro transistor Q_4 , la cual es la tensión de *feedback* V_f . Esta tensión tiene un valor máximo de 1,2 V, por lo que el divisor resistivo a la entrada del *opamp* U_{1B} es tal que la tensión máxima que reciba sea de 500 mV.

Este bloque es el que logra que la salida varíe entre 200 mV y 750 mV. Esto ocurriría idealmente pero los componentes no lo son y hay que tener en cuenta los desapareamientos de los transistores de los *opamps* que afectan a la ganancia. Esto implica que los seguidores no se comportan como tales, sino que incrementan la entrada. Para compensar esto, la rama que toma la tensión de V_{ref} no se la reduce a 200 mA sino a un valor un poco menor. De igual forma, en la rama que toma la

tensión se aumentó el valor de la entrada al *opamp*. Con estos valores se llega a las corrientes de salida máxima y mínima pedidas.

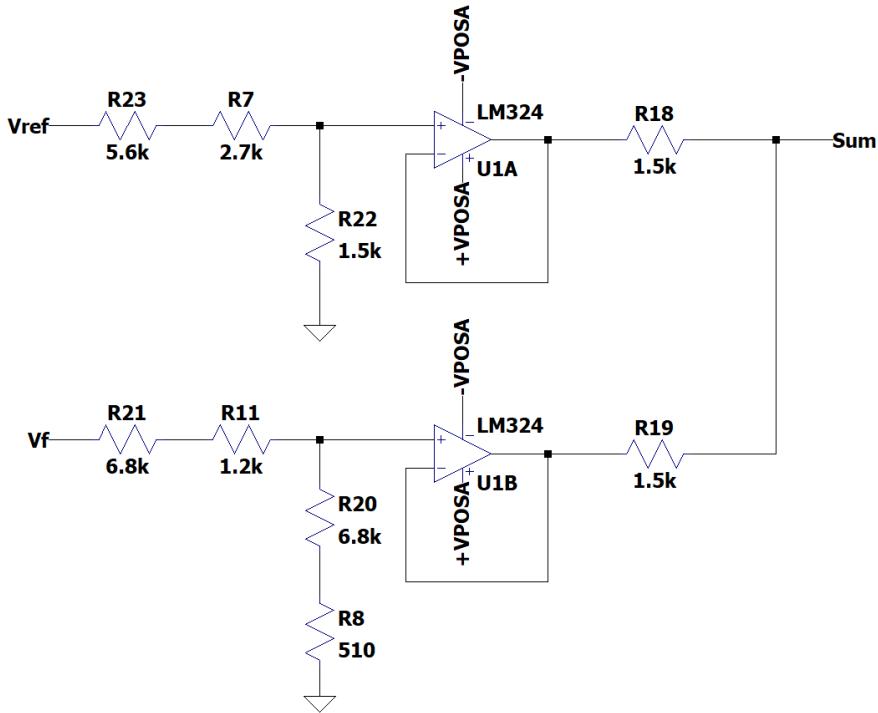


Figura 8: Bloque de referencia de tensión.

1.2.6. Comparador y sumador

Este *opamp* (U_{2B}) recibe las tensiones generadas por los dos bloques mencionados anteriormente, los suma y los compara con *ground*. En su funcionamiento habitual el LDO regula tensión (3,3 V o 5 V estables a la salida) pero como protección se colocan estos últimos tres bloques que se encargan de limitar la corriente de salida a 750 mA como máximo. Este último *opamp* se encarga de generar una tensión de salida que ponga en MAD al transistor Q_7 cuando la corriente a través de R_S intenta superar los 750 mA para que la reduzca la corriente a la base de transistor de paso y así controlar la corriente.

El funcionamiento es el siguiente. La tensión de salida del bloque referencia de tensión es siempre positiva, mientras que la del muestreo de corriente puede ser tanto mayor como menor a cero. Cuando es momento de regular corriente, ésta

última también es positiva, activando al transistor Q_7 y actuando en la salida del par diferencial como se mencionó previamente. A su vez, cuando se debe regular tensión a la salida del circuito, la tensión del muestreo del corriente se vuelve negativa, anulando la entrada inversora de U_{2B} . Esto apaga al transistor Q_7 . La ganancia de este operacional debe ser grande para que se active el transistor ante muy ligeras diferencias entre las entradas del *opamp*.

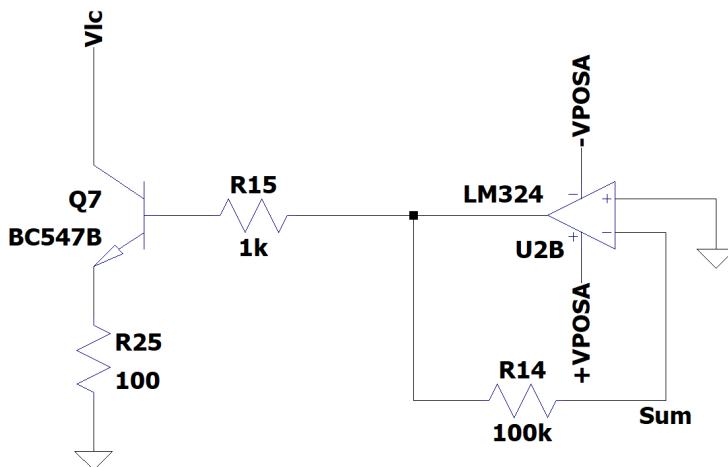


Figura 9: Bloque comparador y realimentación.

Por último en este bloque, los resistores R_{15} y R_{25} se eligieron de forma de asegurarse que Q_7 se encuentre en MAD cuando el *opamp* lo indique. La tensión de V_{BE} debe ser de aproximadamente 0,7 V y V_{CE} ser mayor o igual a V_{BE} .

1.3. Tensión de salida respecto a la carga

Con todas las consideraciones ya comentadas, se simula en *LTspice* la variación de tensión de salida respecto a la corriente sobre la carga como en la figura 10 mientras se varía el valor de R_L . En este gráfico queda claro el efecto del *foldback*. La tensión de salida es constante, por lo que la corriente en la carga debe aumentar mientras más chica es esta impedancia. Sin embargo, cuando la resistencia es tan chica que se llega al tope establecido de corriente de 750 mA, se deja de controlar la tensión y se procede a controlar la corriente. De esta forma, ésta baja hasta aproximadamente

200 mA, cuando la carga se vuelve prácticamente nula por la que salida estaría a tierra.

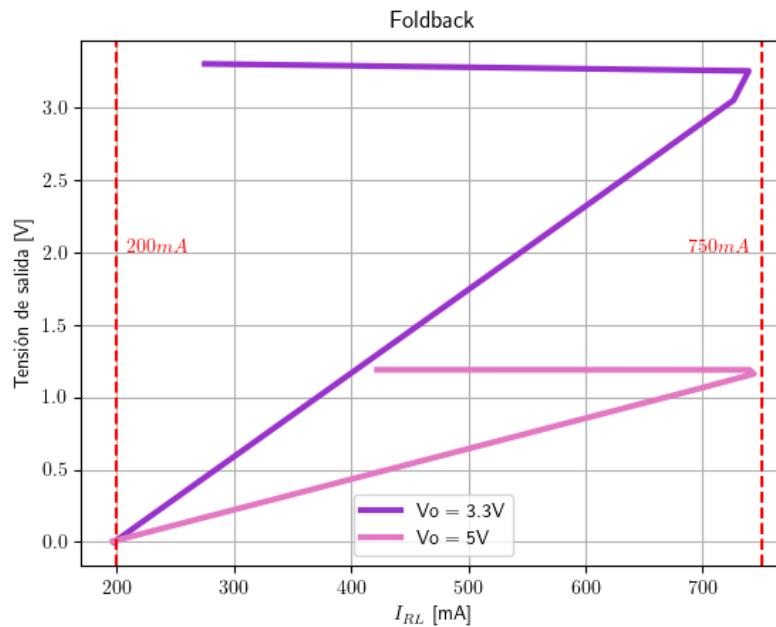


Figura 10: Gráfico de la tensión de salida V_o respecto de la corriente por la carga I_{RL} .

Se ve el mismo efecto en la figura 11: cuando la carga es chica, la corriente que la atraviesa es grande, por lo que se controla la corriente, provocando variaciones en la tensión. Pero luego, cuando se llega al valor de tensión de salida establecido, se deja de controlar la tensión y se procede a controlar la corriente. En el gráfico se aprecia como la salida se torna constante. Esto ocurre aproximadamente a partir de los $4,4\Omega$ cuando la salida es 3,3 V y $6,8\Omega$ cuando se tiene una $V_o = 5 V$.

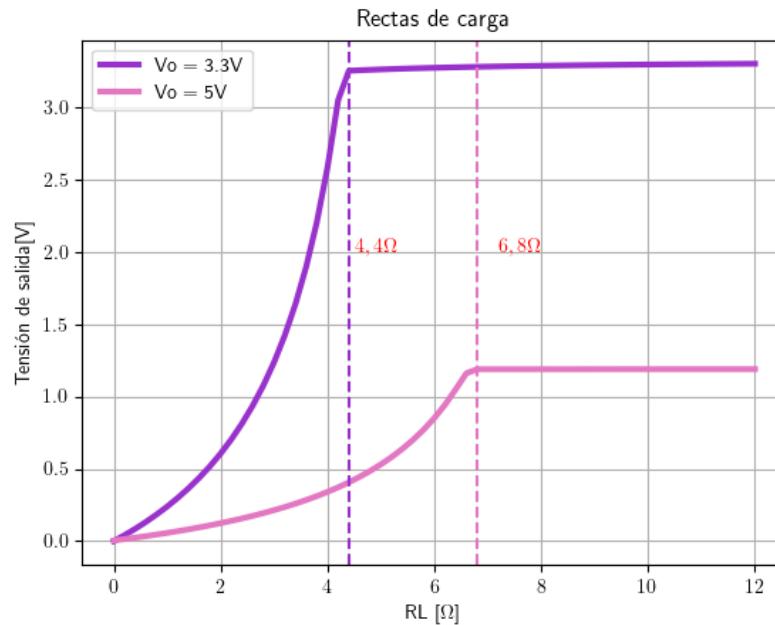


Figura 11: Gráfico de tensión de salida V_o con respecto de la carga.

1.4. Tensión de salida respecto de la tensión de entrada

A su vez, también se tiene la recta de línea. Ésta corresponde a la variación de la tensión de salida versus la tensión de alimentación. Como se puede ver en la figura 12, la salida es estable, con una variación insignificante ante los cambios en la entrada.

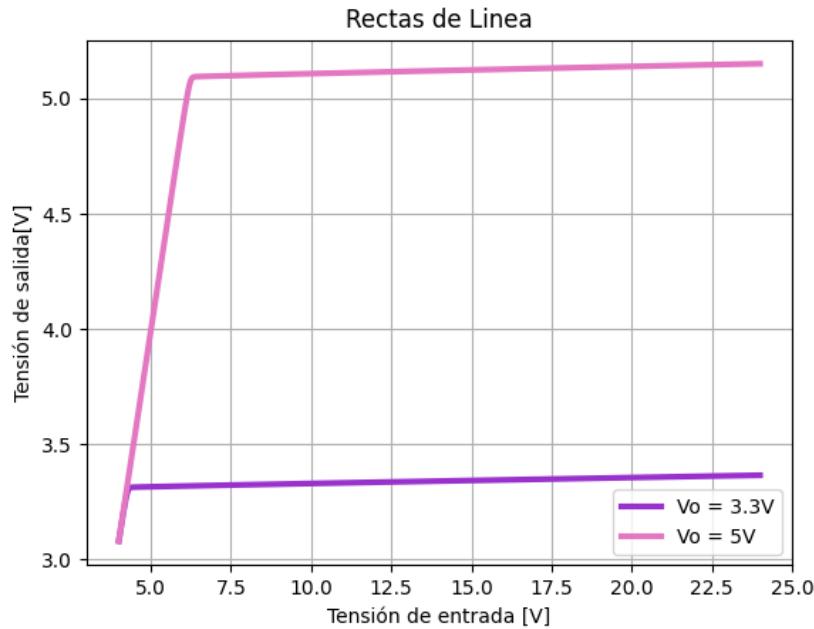
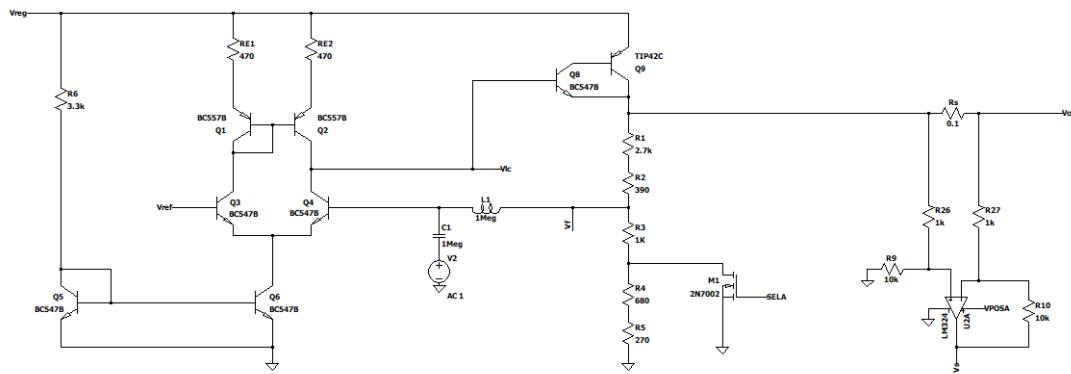


Figura 12: Gráfico de la tensión de salida V_o respecto a la variación de tensión V_{reg} .

1.5. Ganancia de lazo

Para simular la ganancia de lazo T , se comienza abriendo el lazo de realimentación como se ve en la figura 13. A nivel conceptual, se debe cortar el lazo en cualquier punto y analizar su ganancia, sin embargo para poder simularlo se utiliza la topología mostrada con la fuente y el capacitor e inductor de valor gigante. Además, el punto donde se corta el lazo tampoco es arbitrario: para no alterar el circuito se deben adaptar impedancias y espejar del otro lado del lazo la impedancia que “ve” la fuente de prueba. Cuando esta impedancia es muy grande, el paralelo que resulta al espejarla, no afecta al circuito por lo que se puede no realizar este paso. De este modo, se busca cortar el lazo en un punto donde haya una alta impedancia.

De esta forma se logra romper el lazo en señal, pero sin afectar la polarización del circuito. Asimismo, al igual que en los cálculos teóricos, el mejor caso se obtiene tomando $R_L \rightarrow \infty$, por lo tanto se realiza la simulación a circuito abierto.

Figura 13: Esquemático de la simulación de lazo T .

Como se observa en la figura 14 se obtiene una ganancia de 57 dB para $V_o = 3,3$ V y 53 dB para $V_o = 5$ V, es decir una ganancia de $T = 708$ y $T = 447$ respectivamente siendo estos similares a los calculados previamente en la sección 1.2.3.

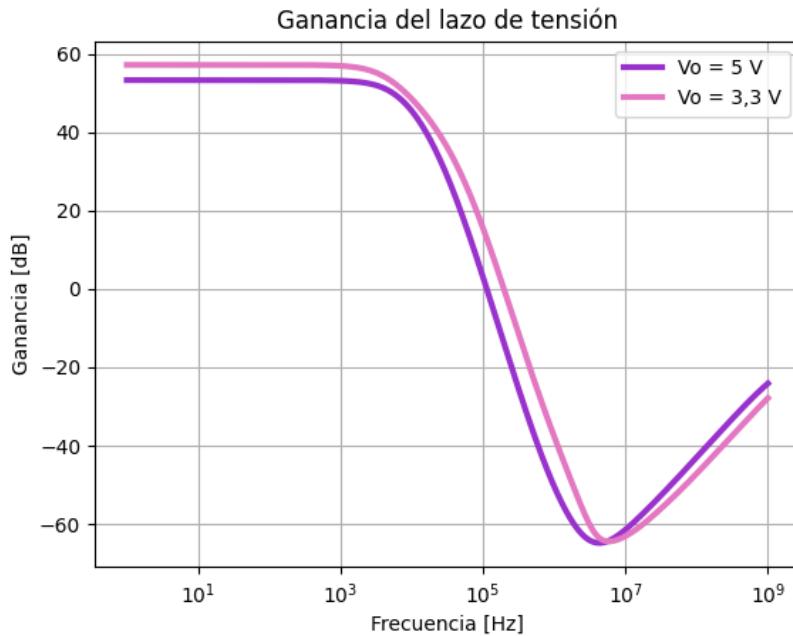
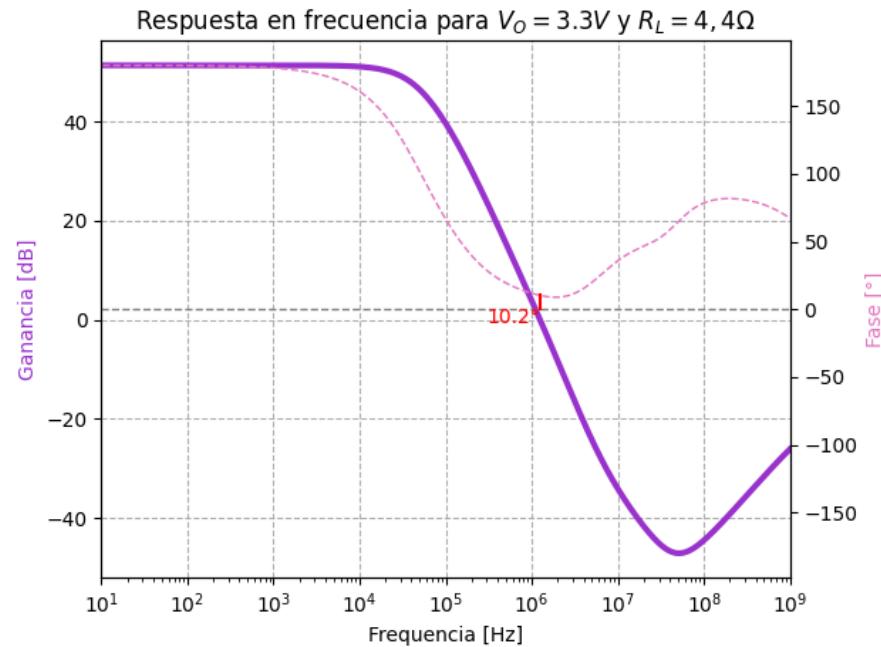
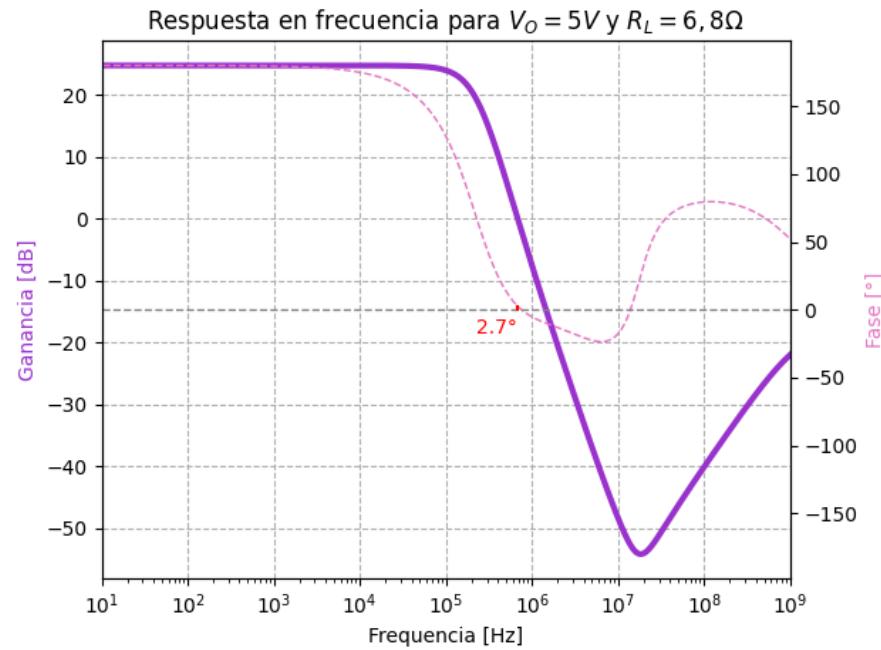


Figura 14: Simulación de la ganancia de lazo.

Figura 15: Simulación de la ganancia para $V_o = 3,3$ V con $R_L = 5\Omega$.Figura 16: Simulación de la ganancia para $V_o = 5$ V con $R_L = 7\Omega$.

Por otro lado, se analiza el peor caso posible para verificar que el amplificador funciona correctamente incluso para valores bajos de la carga. Se extraen esos valores de la figura 11: para la salida de 5 V, el mínimo valor de la carga para la región donde se regula la tensión es aproximadamente de $6,8\Omega$. A su vez, esta impedancia corresponde a $4,4\Omega$ para $V_o = 3,3$ V.

En las figuras 15 y 16 se aprecia que a pesar de estar en el peor caso posible, con valores bajos de resistencia de la carga, aún así la ganancia T es al menos un orden de magnitud mayor a uno.

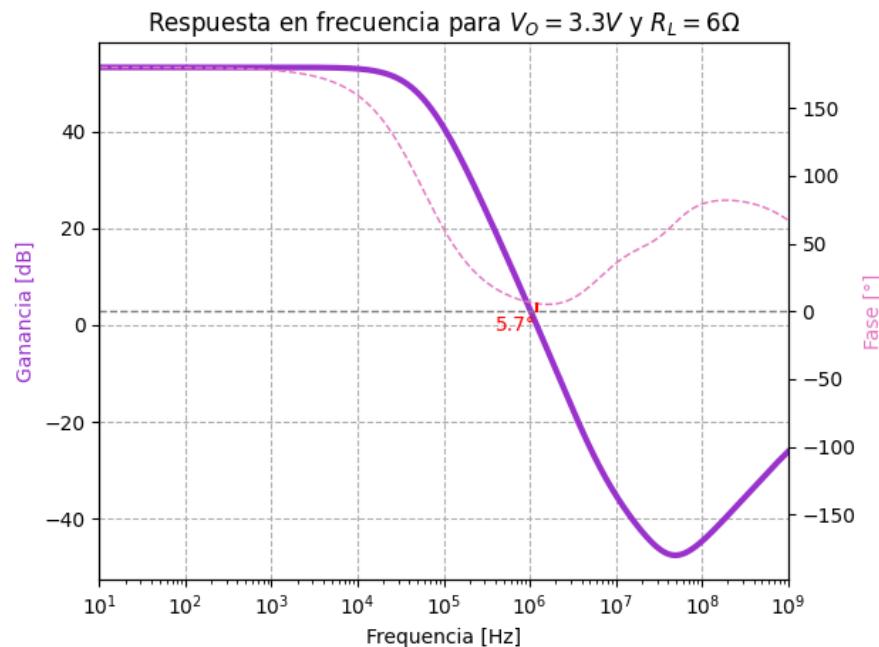
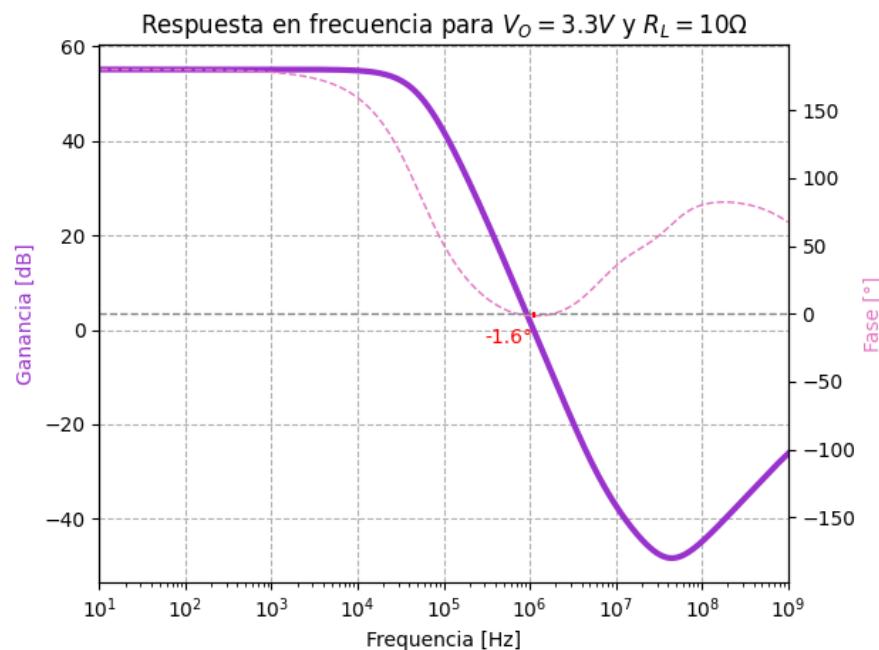
1.6. Análisis del margen de fase y compensación

El circuito diseñado está realimentado de forma negativa tanto para estabilizar el punto de reposo de los transistores, como para la correcta implementación del *foldback*. Sin embargo, se debe tener en cuenta la posibilidad de, ante una señal de entrada alterna, si la fase no se invierte (o se invierte demasiado) la realimentación pasará a ser positiva en lugar de negativa. Esto desestabilizaría el circuito, perdiendo todas las funciones para las cuales fue diseñado e incluso pudiendo llegar a oscilar.

Para evitar este cambio en la fase es que se deben colocar capacitores de compensación, cuya función es reducir la frecuencia de los polos, modificando cómo alteran la fase y de esta forma asegurarse que la realimentación sea siempre negativa. Las figuras 17 a 20 muestran la ganancia del lazo de realimentación sin compensación.

El diagrama de fase de todos ellos parte de 180° ya que para entradas de tensión continua (es decir, bajas frecuencias) la realimentación es efectivamente negativa. El objetivo inicialmente es que la zona de trabajo se encuentre en el rango de fase entre 180° y 0° o entre 180° y 360° . Sin embargo hay un factor extra a tener en cuenta: el margen de fase, es decir, la fase cuando la ganancia es de 0 dB. Ante ligeros ripples o irregularidades en la entrada, se busca tener una “zona segura”, por lo que es necesario un margen de fase de al menos 30° .

Se puede ver en las figuras a continuación que ninguno de los *Bodes* cumple con el margen de fase pedido. Incluso en algunos casos la fase se torna negativa cuando se anula la curva de magnitud, indicando lo explicado previamente: la realimentación se vuelve positiva.

Figura 17: *Bode* del lazo de tensión para salida de 3,3 V y carga de 6Ω .Figura 18: *Bode* del lazo de tensión para salida de 3,3 V y carga de 10Ω .

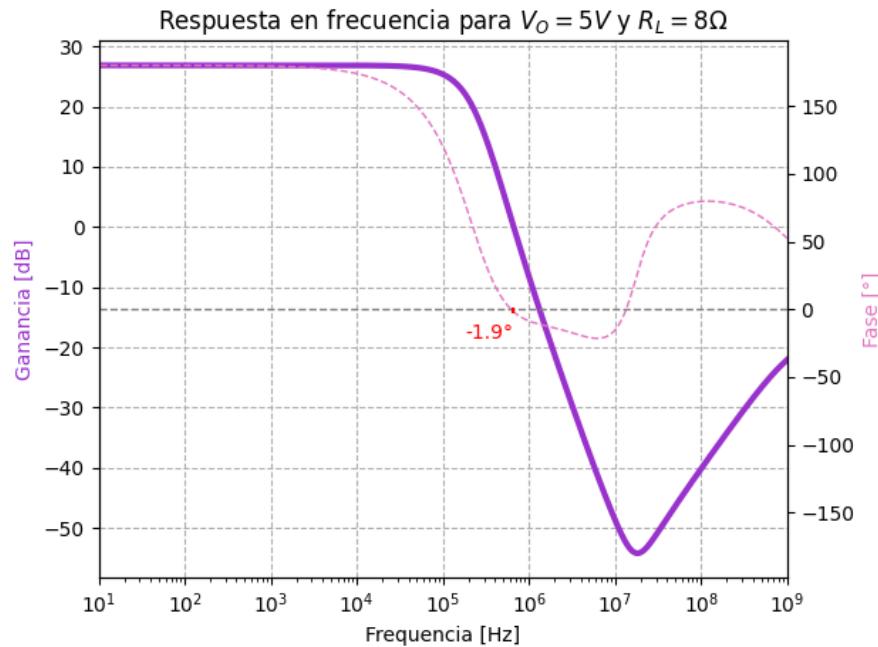


Figura 19: *Bode* del lazo de tensión para salida de 5 V y carga de 8Ω .

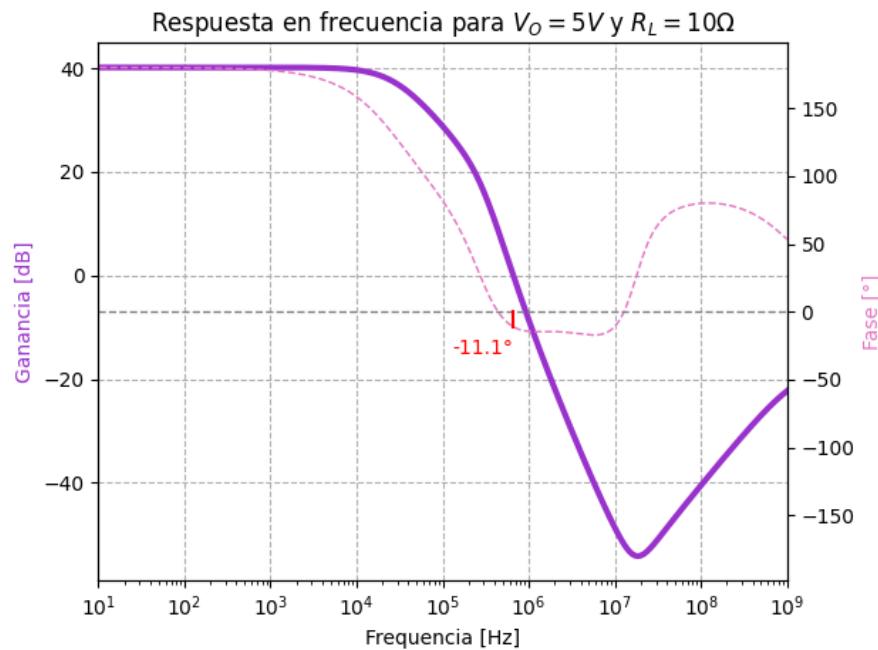


Figura 20: *Bode* del lazo de tensión para salida de 5 V y carga de 10Ω .

1.6.1. Lazo de tensión

En primer lugar se debe identificar el nodo dominante. Mediante un análisis cualitativo de las capacitancias e impedancias presentes en cada uno, se llega a la conclusión que dicho nodo es el de la salida del par diferencial. Cabe destacar que se realiza este análisis tomando un valor de resistencia de carga $R_L = 10\Omega$, un valor para el cual se está controlando tensión.

Se implementaron dos formas de compensación. En primer lugar, *pole splitting*, se colocó un capacitor entre dos nodos: la salida del par diferencial (el dominante) y la base del transistor que tiene conectada la realimentación. De esta forma, se pueden correr el primer polo a izquierda sin modificar al segundo en gran medida, aumentando la pendiente de la fase. También se coloca un resistor en serie con el capacitor para poder modificar el τ con mayor precisión. Mediante inspección y análisis en el simulador, se llega a la conclusión que los valores óptimos de dichos componentes son de $R = 220\Omega$ y $C = 2,2\text{nF}$.

A su vez, también se aplica una red de adelantamiento de fase en el *feedback*. Al colocar un capacitor de 100 pF en paralelo con la realimentación, se está colocando un cero en el realimentador, lo que equivale a compensar un polo del amplificador. Esta es otra forma de tornar menos empinada a la curva de la fase en el *Bode*.

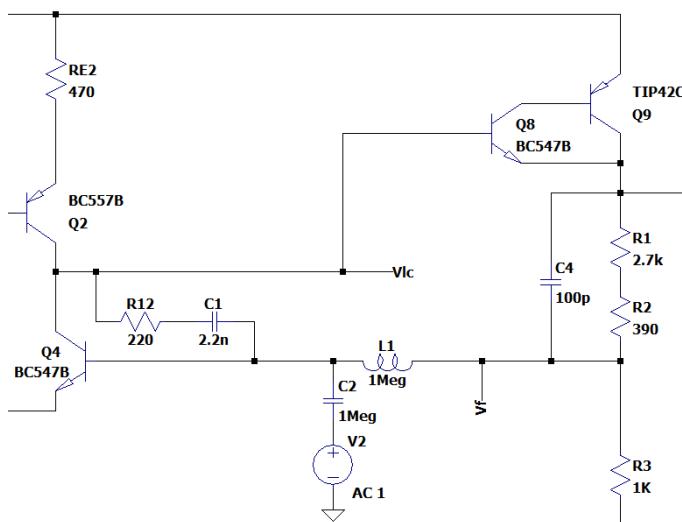


Figura 21: Lazo de tensión compensado.

De esta forma, el lazo de tensión queda como se muestra en la figura 21. Con

todas las especificaciones mencionadas anteriormente, la ganancia del lazo, con una carga de $R_L = 10 \Omega$ se puede ver en la figuras 22 y 23 obteniendo un margen fase de $41,6^\circ$ y $39,2^\circ$ respectivamente. A su vez, el ancho de banda resulta de $1,5 \text{ kHz}$ para salida de $3,3 \text{ V}$ y 13 kHz para salida de 5 V .

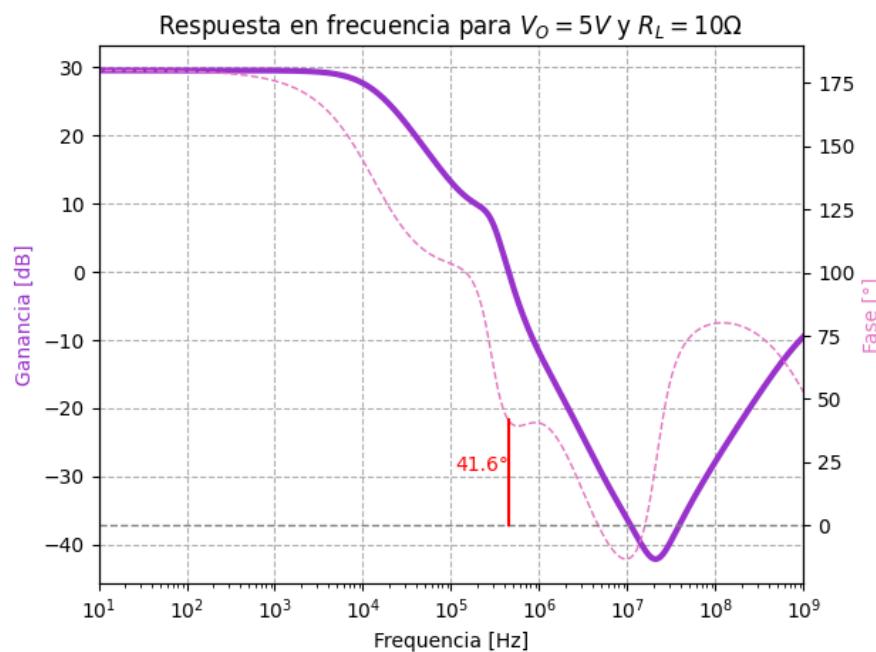


Figura 22: Ganancia del lazo de tensión para $V_o = 5 \text{ V}$

Para corroborar que la compensación es correcta, se hizo un análisis transitorio, con un pulso de $\pm 10 \text{ mV}$ y un período de 2 ms sumado a la entrada V_{ref} . De esta forma, se obtiene el gráfico de la figura 24 a la salida. Por la forma sin sobrepicos ni tiempos de carga y descarga lentos es que se pude afirmar que el lazo de tensión está correctamente compensado.

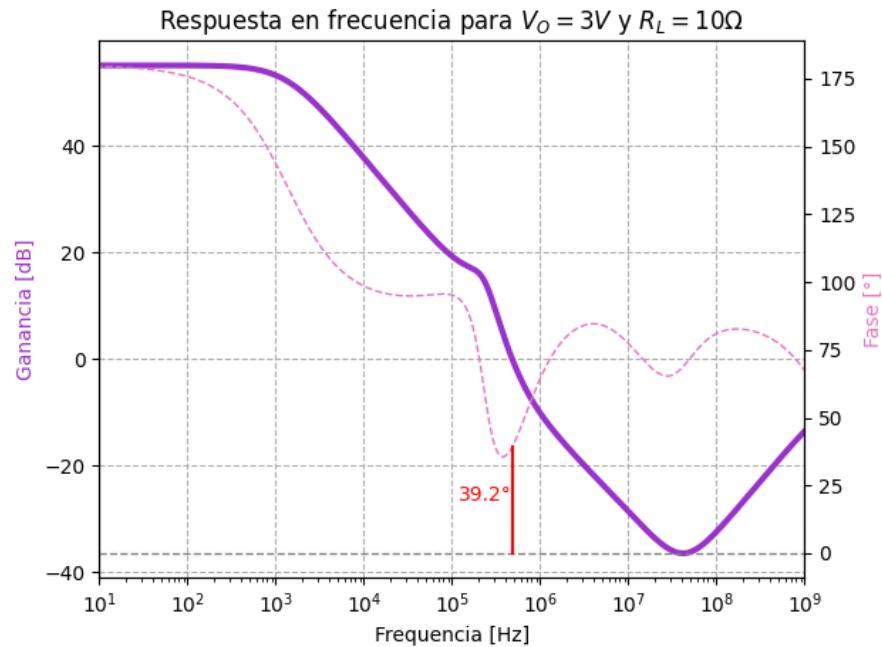
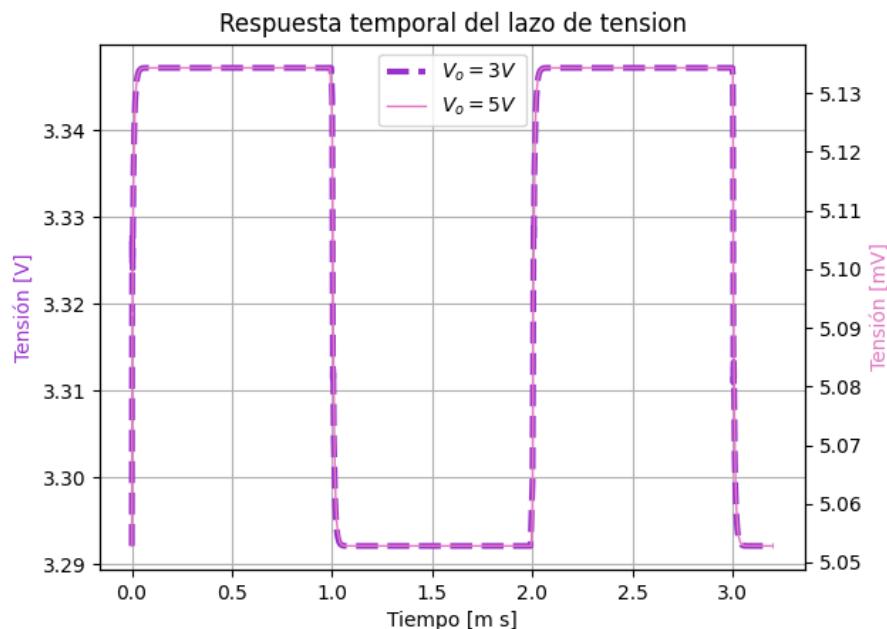
Figura 23: Ganancia del lazo de tensión para $V_o = 3,3$ V

Figura 24: Tensión de salida ante un pulso de entrada.

1.6.2. Lazo de corriente

En este caso se analiza el lazo con una carga que se encuentre en el límite entre el control de tensión y de corriente. Esto se debe a que buscamos estudiar la respuesta en frecuencia del lazo de corriente pero ante impedancias muy bajas en la carga, la ganancia del lazo es irregular. Basándose en la figura 11, se puede ver que el corte se da a los $4,4\Omega$ para una salida de $V_o = 3,3\text{ V}$ y a los $6,8\Omega$ para una salida de 5 V .

Al igual que en el caso anterior, se corta el lazo y se coloca una fuente de prueba como se muestra en la figura 25.

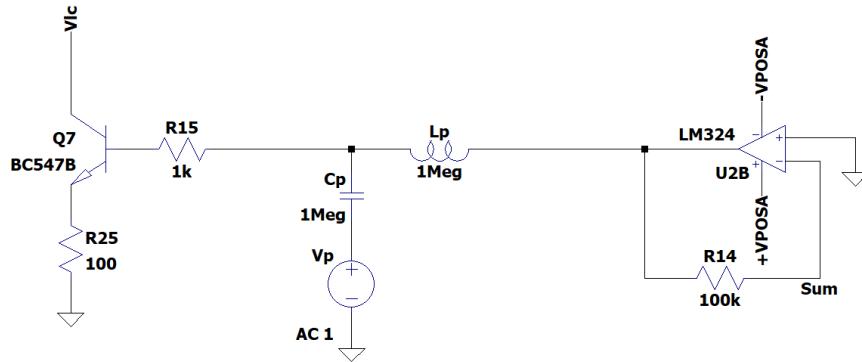
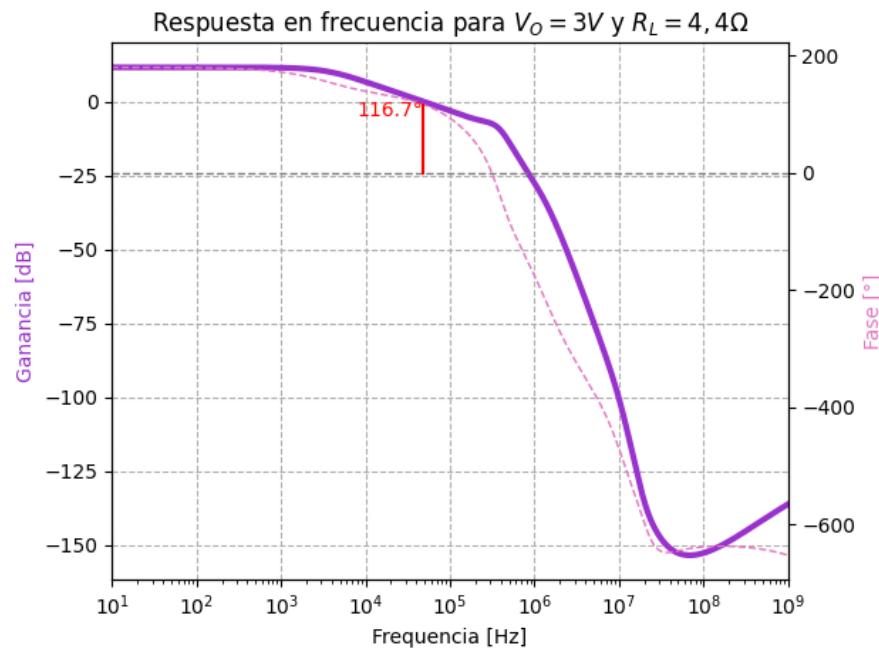
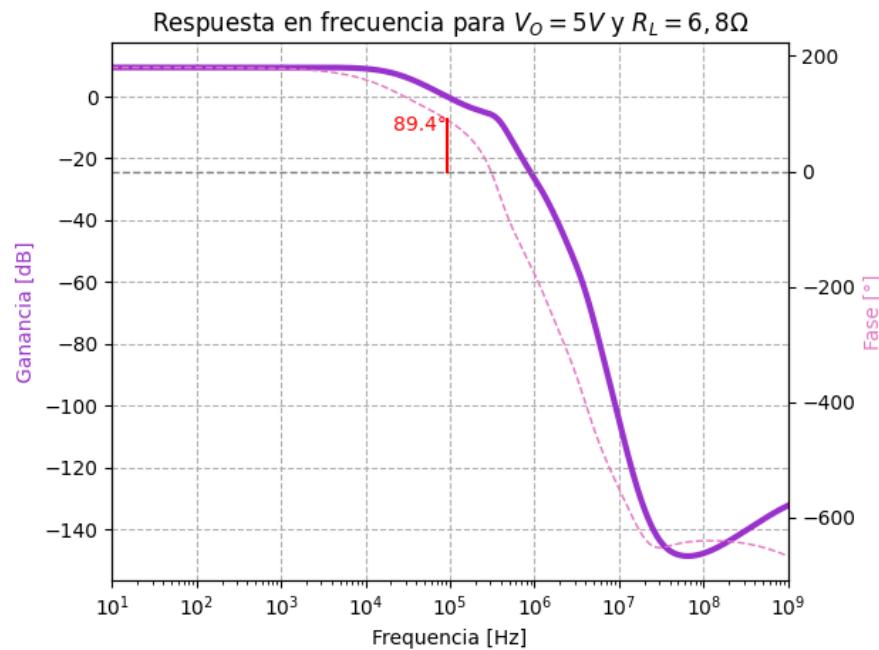


Figura 25: Análisis del lazo de corriente.

Figura 26: Ganancia del lazo de corriente compensada para $V_o = 3,3$ VFigura 27: Ganancia del lazo de corriente compensada para $V_o = 5$ V

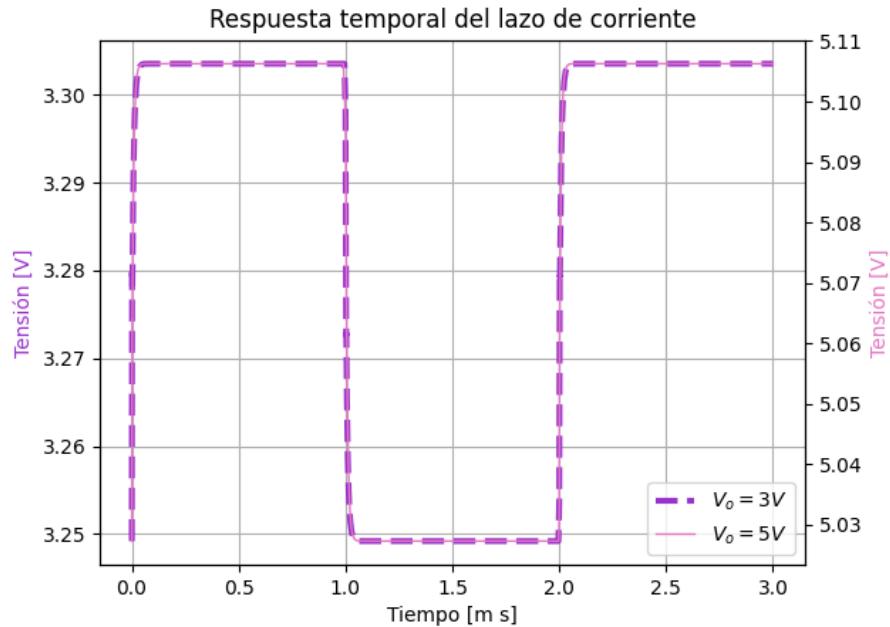


Figura 28: Respuesta temporal del lazo de corriente

Analizando las figuras 26 y 27, se aprecia que, en la simulación, la compensación del lazo de tensión también afectó al lazo de corriente debido a que influye el mismo nodo dominante en ambos. Lo hizo de tal forma que no es necesario incorporar más capacitores. Obteniendo un margen de fase de $116,7^\circ$ y $89,4^\circ$ respectivamente. Para corroborar se hizo nuevamente el análisis transitorio y, al igual que antes, demuestra una correcta compensación del lazo.

Teniendo en cuenta que el circuito está compensado para el lazo de corriente, al activar el *foldback*, esta situación se debería mantener. En la figura 29 se observa la simulación del *foldback* luego de la compensación, donde se aprecia que no hubieron cambios significativos con respecto al diseño inicial ni se observan oscilaciones.

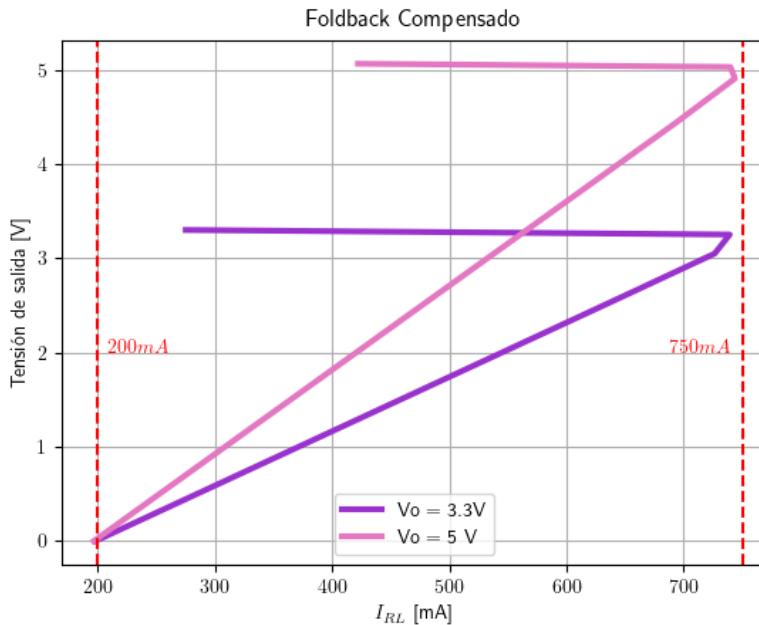


Figura 29: *Foldback* luego de la compensación.

2. Análisis Térmico del LDO

En primer lugar se analizan cuáles de todos los componentes activos presentes en el circuito disipan una cantidad significativa de potencia. Los transistores del par diferencial y la carga activa poseen una corriente de colector menor a 1 mA, por lo que su potencia es demasiado chica para necesitar de un disipador. A pesar de ser recorridos con una corriente ligeramente mayor a éstos, es el mismo caso para los transistores de la fuente espejo. Lo mismo ocurre con los *opamps* y el transistor *npn* del *Sziklai*. Sin embargo, en esta última configuración, el *pnp* sí es recorrido por una corriente de colector máxima de $I_c \cong 750$ mA. Por ende, se concluye que este transistor, el **TIP42**, es el único que puede llegar a requerir la ayuda de un disipador para no sobrecalentarse.

Mediante el análisis térmico, análogo al eléctrico, se arriba a cuál es el valor de la resistencia térmica que hay entre la juntura y el ambiente (θ_{ja}). Esto se evidencia en la siguiente ecuación, donde θ_{jc} es la resistencia térmica entre la juntura y la

carcasa, θ_{cs} entre la carcasa y el disipador, y θ_{sa} entre el disipador y el ambiente:

$$\theta_{ja} = \theta_{jc} + \theta_{cs} + \theta_{sa}$$

$$\theta_{sa} = \theta_{ja} - \theta_{cs} - \theta_{jc}$$

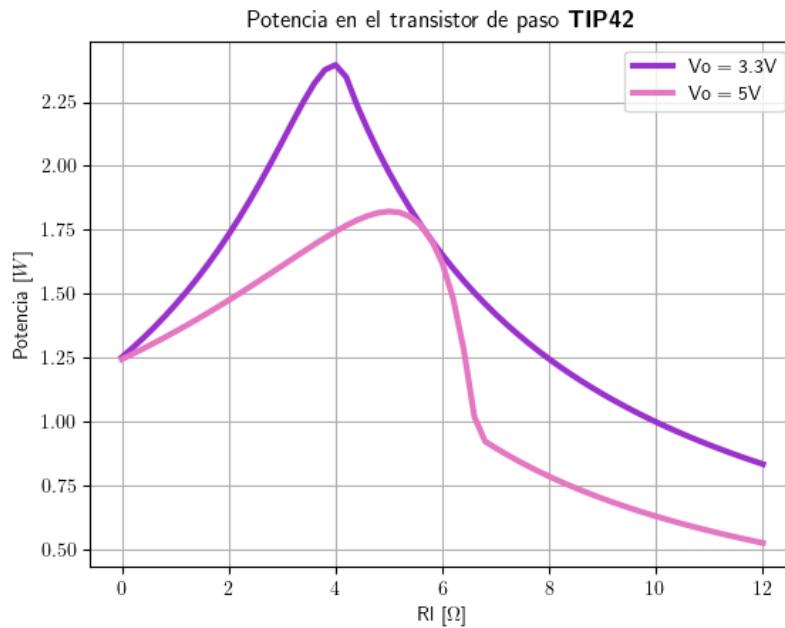


Figura 30: Gráfico de la potencia en el transistor de paso en función de la carga.

Se toman 150 °C de temperatura de juntura T_j debido a ser la temperatura máxima que alcanza el dispositivo según su hoja de datos. A su vez, en anticipación al verano, se seleccionan 30 °C como la temperatura ambiente. Por último, la potencia máxima en el transistor se puede extraer de la simulación, cuyo valor en función de la carga se muestra en la figura 30 para ambas salidas, y resulta de aproximadamente 2,4 W.

Entonces, la resistencia térmica entre la juntura y el ambiente resulta:

$$\theta_{ja} = \frac{T_j - T_a}{P_{c_{\max}}} = \frac{150 \text{ } ^\circ\text{C} - 30 \text{ } ^\circ\text{C}}{2,4 \text{ W}} = 50 \frac{^\circ\text{C}}{\text{W}}$$

Restan por obtener los últimos dos valores de resistencias térmicas. Se toma $1,5 \frac{\text{°C}}{\text{W}}$ para θ_{cs} , la resistencia de la pasta térmica que se ubicará entre la carcasa y el disipador. Por otro lado, θ_{cs} se sabe que vale $1,92 \frac{\text{°C}}{\text{W}}$ de la hoja de datos.

De esta forma, se puede concluir cuánto deberá valer la resistencia térmica del disipador (o si es necesaria la presencia de uno):

$$\theta_{sa} = 50 \frac{\text{°C}}{\text{W}} - 1,5 \frac{\text{°C}}{\text{W}} - 1,92 \frac{\text{°C}}{\text{W}} = 46,6 \frac{\text{°C}}{\text{W}}$$

De la *datasheet* se obtiene que la resistencia térmica máxima entre la juntura y el ambiente es $\theta_{ja\max} = 62,5 \frac{\text{°C}}{\text{W}}$. Lo cual indica que es necesario utilizar un disipador para este transistor, ya que $\theta_{ja\max} > \theta_{sa}$. Todos los disipadores comerciales presentan una resistencia de $25 \frac{\text{°C}}{\text{W}}$ o menor, por lo que cualquiera de ellos cumple con lo necesario.

Además, en base a las curvas de potencia de la figura 30 y como ya se mencionó, la potencia máxima que disipa el **TIP42** es de $2,4 \text{ W}$ y la del **BC547** es de 20 mW . Conociendo la potencia entregada por la fuente de alimentación V_{reg} se puede estimar la eficiencia del LDO, resultando en el peor caso de un 50 %.

$$P_{fuente} \cong V_{reg} \cdot I_{o_{max}} = 6,35 \text{ V} \cdot 750 \text{ mA} = 4,76 \text{ W}$$

$$\eta > \frac{P_{fuente} - P_{Szilkai}}{P_{fuente}} \cdot 100 = 50 \%$$

Este resultado obtenido es para la salida de $3,3 \text{ V}$. Sin embargo, para la salida de 5 V la eficiencia aumenta ya que cae mas tensión sobre la carga y menos sobre el TIP. Para dicha salida, la potencia máxima que disipa el TIP es $1,8 \text{ W}$.

$$\eta_{5V} > \frac{P_{fuente} - P_{Szilkai}}{P_{fuente}} \cdot 100 = 62 \%$$

3. Diseño del PCB del LDO

Para realizar el esquemático del PCB, se deben considerar otros factores que se ignoraron cuando se creó el circuito original en el simulador. En un principio se utiliza un encapsulado **LM324**. Éste incluye cuatro *opamps*, práctico en este circuito

para minimizar componentes en la placa.

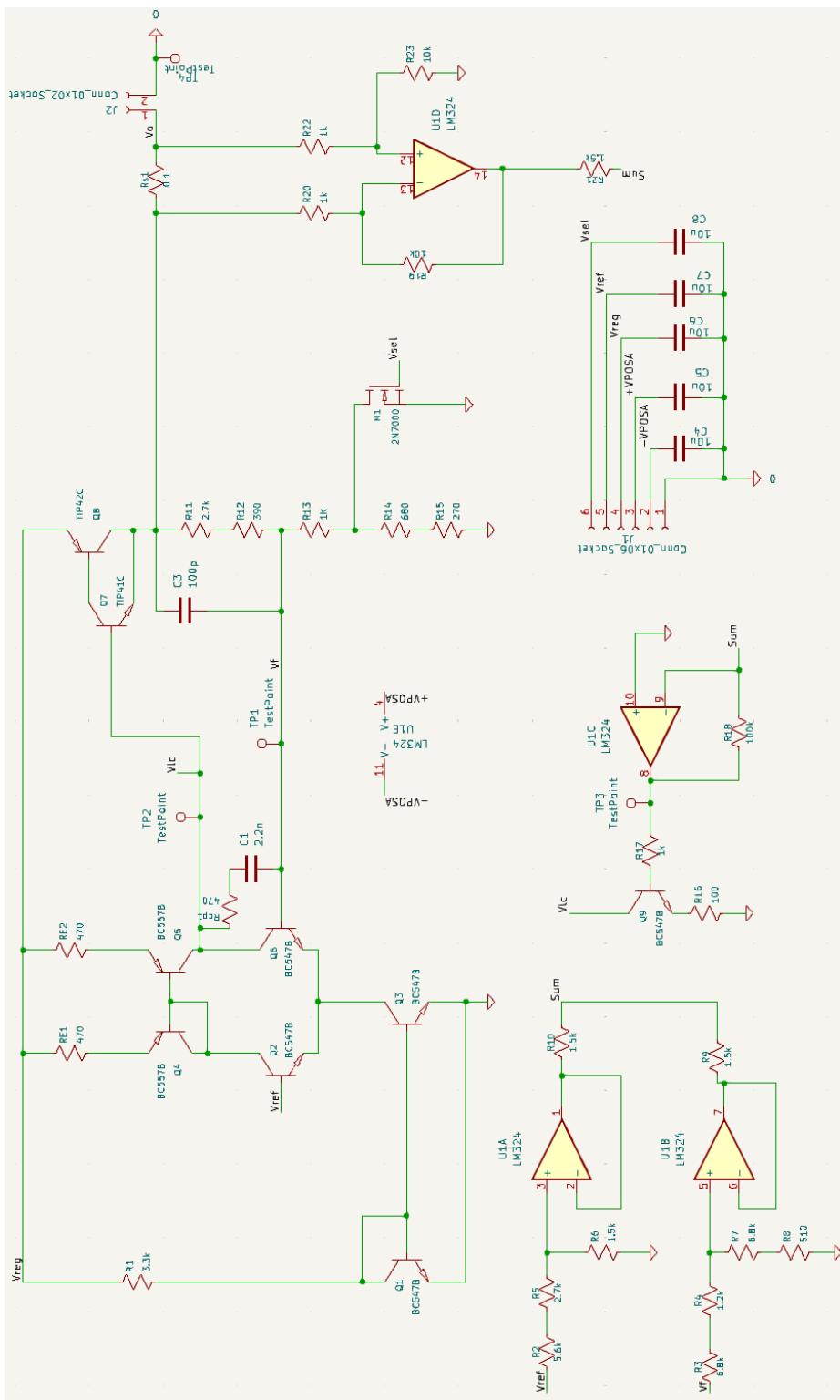
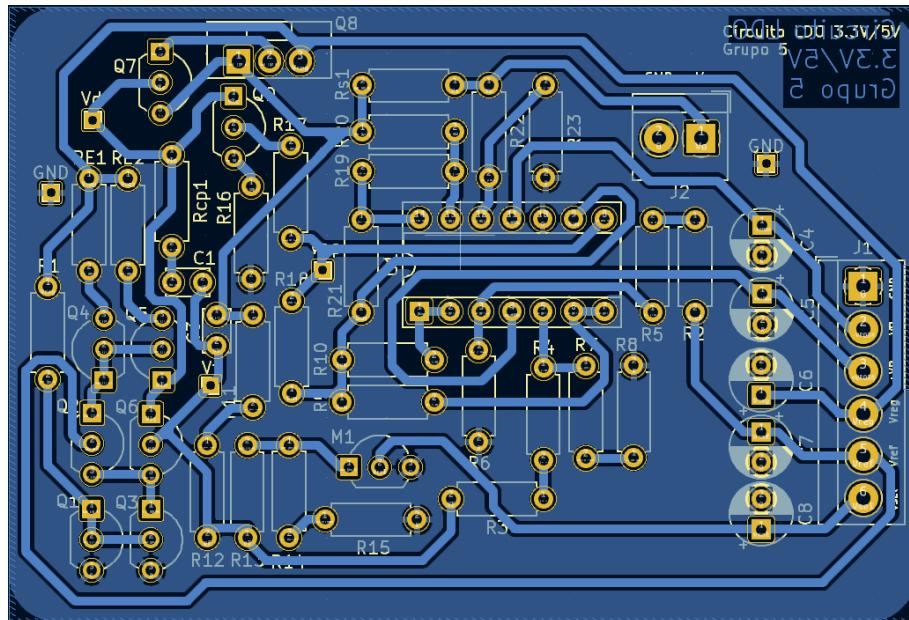


Figura 31: Esquemático del PCB.

Figura 32: Diseño en *KiCad* del PCB del LDO.

En la etapa de diseño se utiliza una bornera de seis pines para las tensiones de entrada y alimentación del LDO y una bornera doble para la salida V_o . Además, se colocan cinco *testpoints* (V_f , V_{LC} , V_{op} y dos de GND) para facilitar las mediciones en el laboratorio. Cabe destacar que se incorporaron dos pines de tierra alejados uno de otro para poder medir con mayor exactitud en toda la placa. Considerando la resistividad del cobre, la zona de tierra no es equipotencial por lo que es conveniente medir con respecto a una tierra cercana al punto de medición. Al plano de tierra también se verificó que no termine de cerrar circularmente para evitar efectos inductivos y corrientes parásitas.

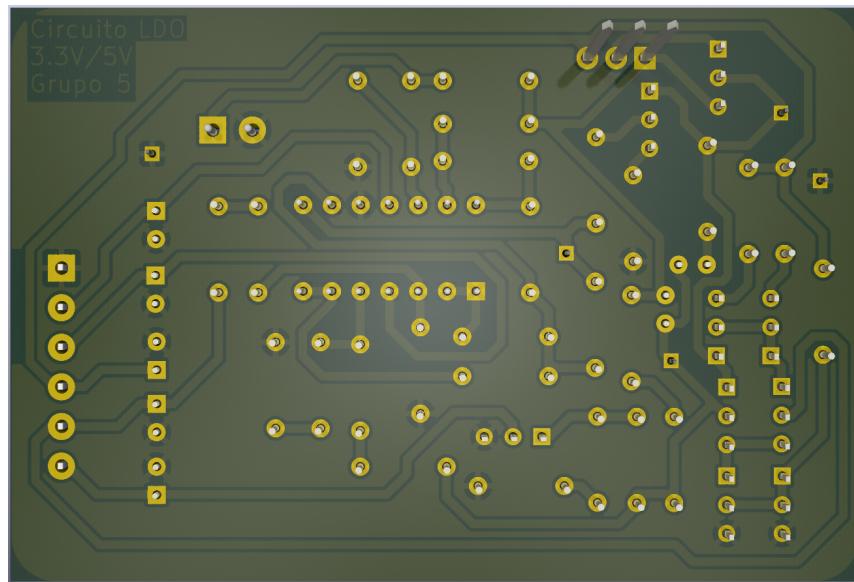


Figura 33: *Render 3D* de la capa inferior de cobre del PCB del LDO.

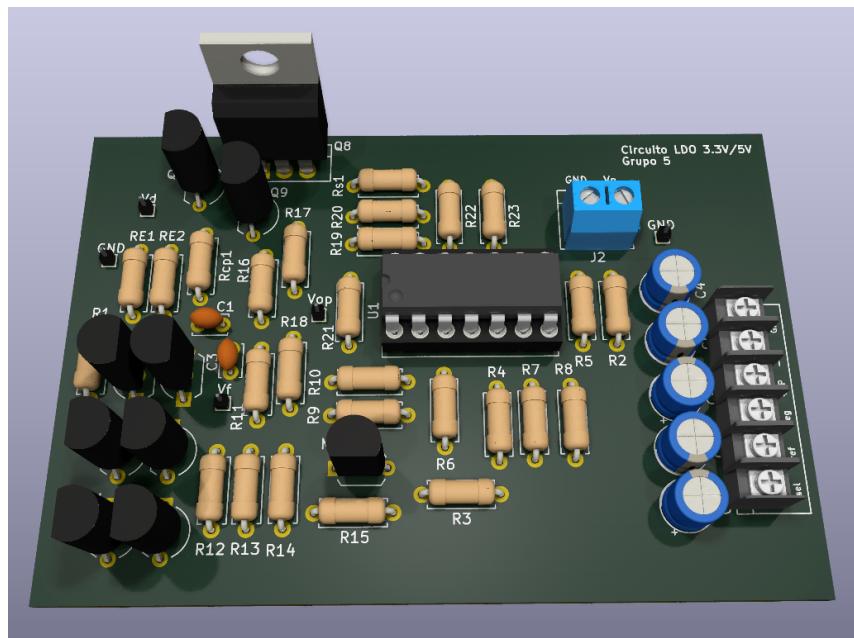


Figura 34: *Render 3D* de la capa superior con los componentes del PCB del LDO.

Algunos otros comentarios extra acerca de la placa son: la utilización de un *socket* y la posición del transistor de potencia. El *socket* tiene la función de proteger

al encapsulado y evitar soldarlo directamente sobre la placa. Por otro lado, al **TIP42** se lo posiciona en el borde del PCB para que haya espacio disponible para colocar el disipador. Por último, también se colocaron capacitores de desacople en paralelo con las tensiones de entrada para poder desacoplarlas en señal.

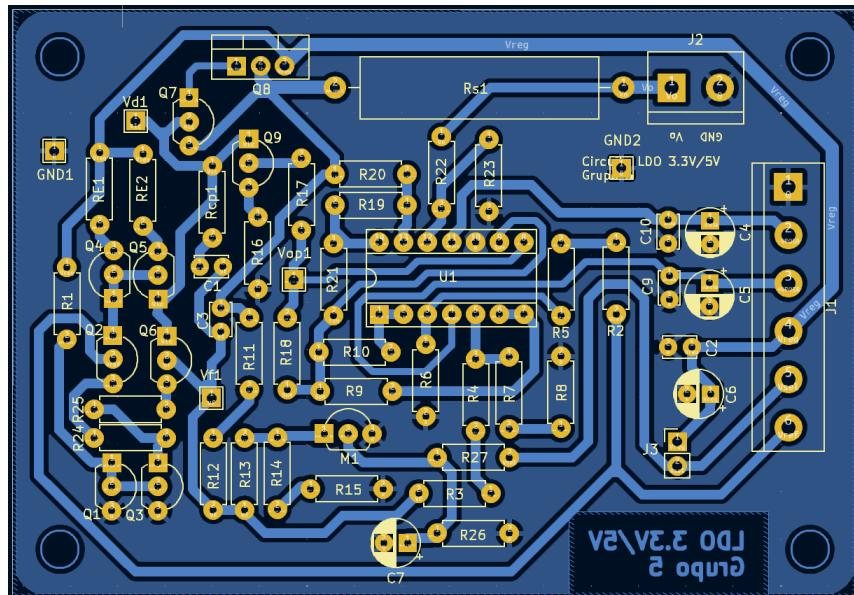
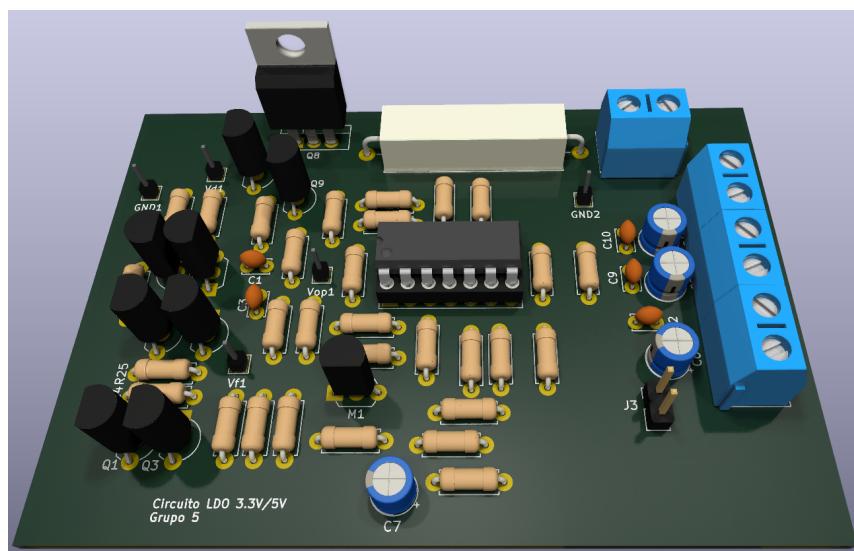
Finalmente, para las pistas se eligió un ancho de 0,75 mm para permitir las altas corrientes del transistor de potencia sin sobrecalentarlas. Para poder visualizar más claramente el circuito en el programa, se añadieron los modelos 3D de las borneras, el integrado **LM324** y los pines macho de los *testpoints* resultando en lo mostrado en la figura 34.

4. Ensamble del LDO

4.1. PCB

En un principio, al momento de armar el circuito físico, se cambia el PCB con correcciones previamente no consideradas. La versión final se muestra en la figura 35. Al igual que en la sección previa, se visualizan los renderizados 3D del circuito en las figuras 36 y 37. Se ensancharon las pistas por donde más corriente circula, la salida, a 1,4 mm.

A su vez, también se agrandaron los *pads* y los agujeros de los componentes para facilitar el soldado, y se cambió la huella de R_S . Esto último se debe a que dada la alta corriente que la atraviesa, es necesario que sea un resistor que tolere mayor potencia que uno de carbono. Por otro lado, también se agregaron orificios para soportes y se corrigió la huella de la bornera de seis pines. Otro cambio significativo es el agregado de dos pines para poder unirlos con un *jumper* que conecta las pistas de V_{reg} y *SEL A*. De esta forma, se puede omitir esta última tensión y seleccionar la salida con el *jumper*. Finalmente, también se agrega un divisor resistivo en el *gate* del MOSFET para evitar que V_{GS} sea demasiado alta y quemar el dispositivo.

Figura 35: Diseño corregido en *KiCad* del PCB del LDO.Figura 36: *Render 3D* de la capa superior con los componentes del PCB corregido del LDO.

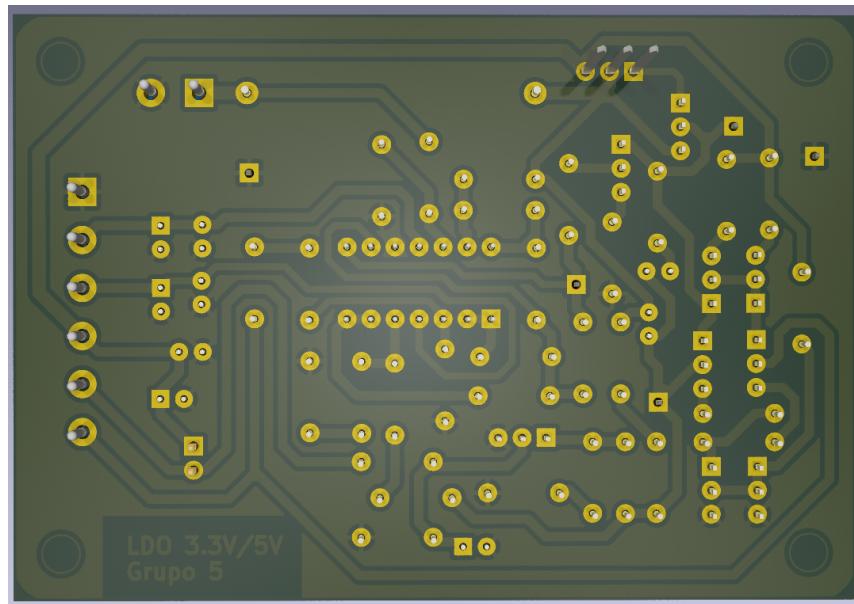


Figura 37: *Render 3D* de la capa inferior de cobre del PCB corregido del LDO.

La capa de cobre fue impresa en papel de ilustración y planchado en una placa virgen. Luego se lo deja sumergido en ácido férrico para lograr el resultado final. Luego, se testea continuidad con el multímetro para corroborar que no hayan cortocircuitos indeseados entre las pistas. Por último se taladraron los agujeros para los componentes.

4.2. Componentes

Los componentes fueron soldados como se estableció previamente. Sin embargo, se debieron cambiar algunos valores:

- R_8 es de 510Ω de acuerdo a lo simulado sin embargo ese valor de resistor no se consigue en el mercado local por lo que fue reemplazado por uno de 560Ω .
- La tensión a la salida no era exactamente a la deseada por lo que se debían modificar valores del lazo realimentador de tensión. De esta forma, R_{12} , que originalmente era un resistor de 390Ω , fue reemplazado por un paralelo entre dos resistores de 560Ω y 460Ω , resultando en una impedancia equivalente de 252Ω .

- Aunque en la simulación el lazo de corriente no era necesario compensarlo, en la práctica no se cumple. Por esto, en paralelo a R_{11} se agregó un capacitor de 100 nF.

Con todas estas consideraciones, el circuito final se muestra en la figura 38.

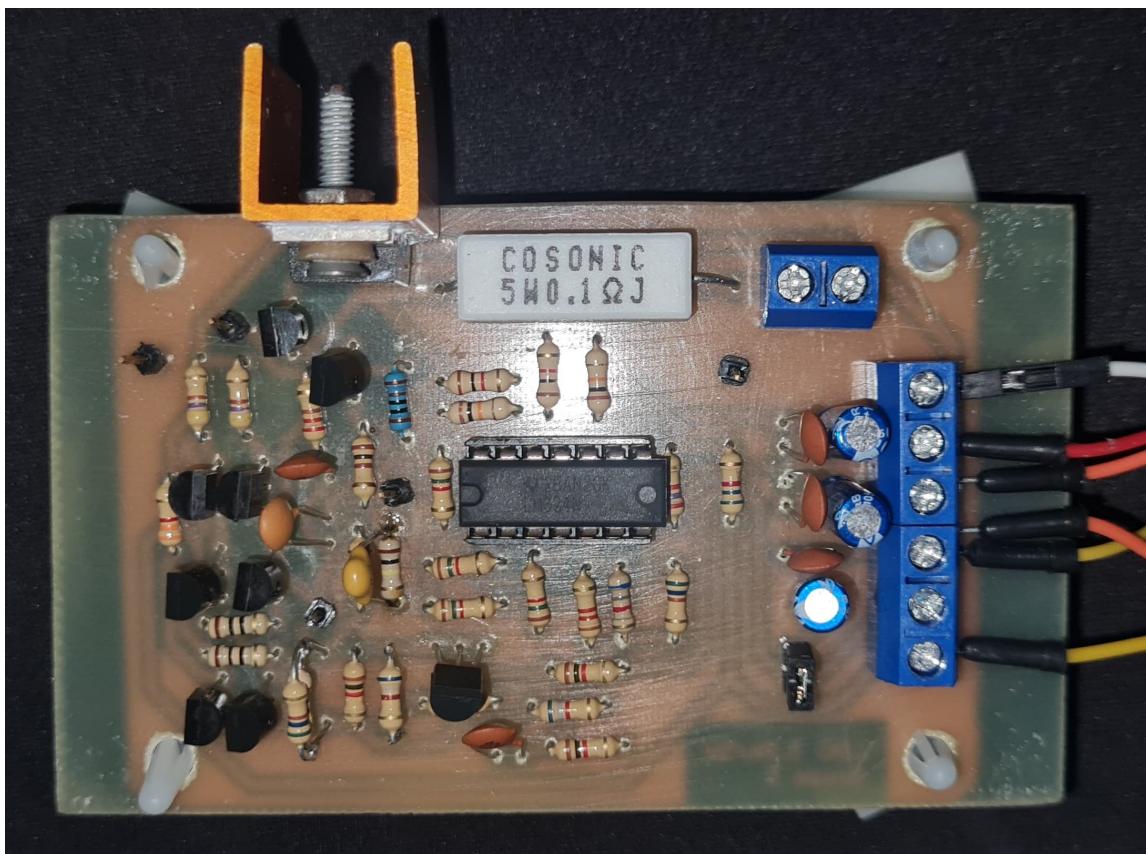


Figura 38: Placa ensamblada.

4.3. Carga Electrónica

Con el objetivo de poder variar la carga de forma simple, se crea la carga electrónica. Para esto se utiliza un *opamp* y un transistor a su salida, cuyo colector se encuentra en serie con la salida del LDO.

De esta forma, al aumentar la tensión de salida del operacional, se incrementa la tensión en la base del TBJ, aumentando su corriente de colector. Así es como se puede regular la corriente en la salida del circuito y revisar el correcto funcionamiento

del mismo y la activación del *foldback*. El esquemático de la carga se muestra en la figura 39.

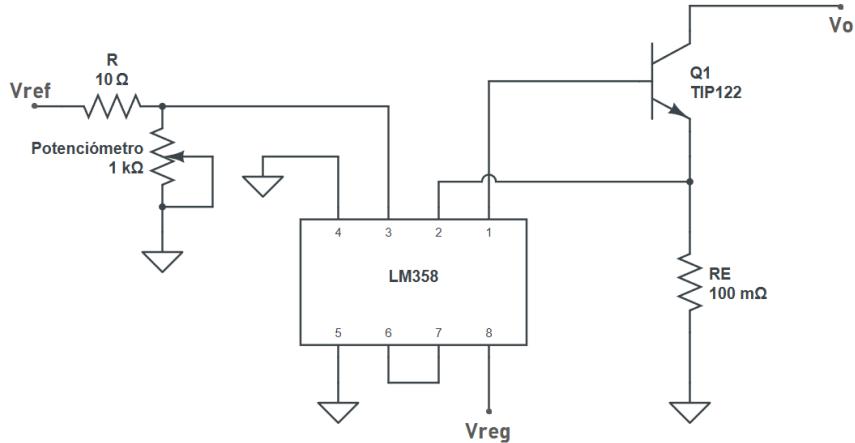


Figura 39: Esquemático de la carga electrónica.

Se utiliza un TBJ npn **TIP122** y un par de amplificadores operacionales **LM358**, teniendo en cuenta que se utiliza uno solo de ellos. También cabe destacar que se utilizan las mismas tensiones de funcionamiento del LDO para disminuir la cantidad de tensiones utilizadas. Para controlar la entrada al *opamp*, se presenta un divisor resistivo con un potenciómetro para variar la entrada no inversora del amplificador, y a su vez, la salida de éste.

5. Mediciones del LDO

Las mediciones a realizar en el laboratorio son la regulación de carga estática y dinámica, la regulación de línea, la limitación de corriente y la eficiencia.

En cuanto a las rectas de carga, los resultados medidos son similares a los simulados previamente, como se muestra en las figuras 40 y 41.

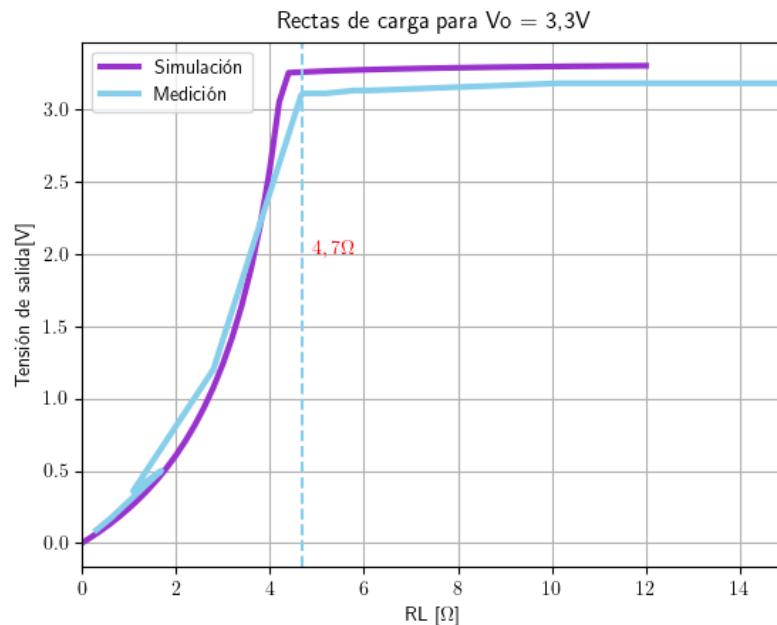


Figura 40: Recta de carga para la salida de 3,3 V.

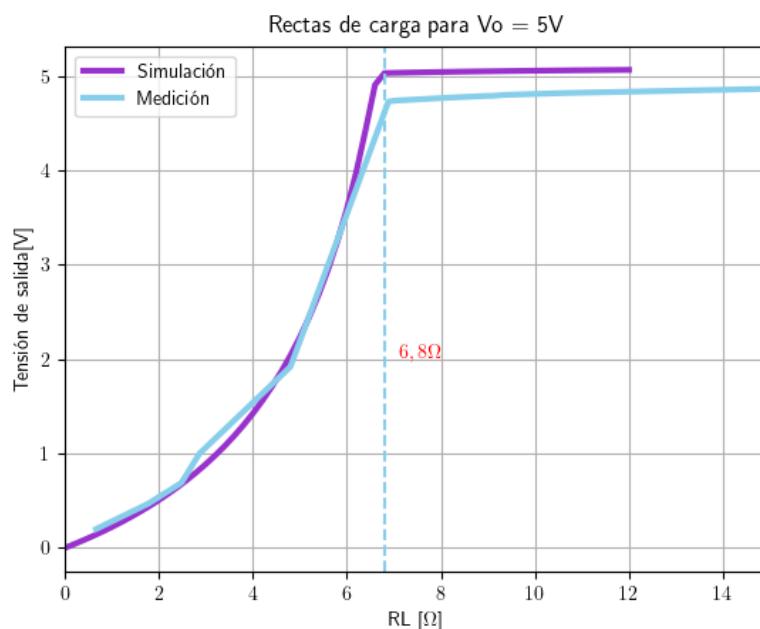


Figura 41: Recta de carga para la salida de 5 V.

Se puede observar cómo, al aumentar la resistencia de carga, el valor de tensión queda fijo en los valores de 3,3 V y 5 V respectivamente.

Luego se procede a realizar la recta de línea, variando el valor de V_{reg} en un rango de 0 V a 25 V, y midiendo la tensión a la salida. El objetivo es mostrar el comportamiento del circuito frente a distintas tensiones de alimentación. Comparando con las simulaciones, se obtienen las figuras 42 y 43.

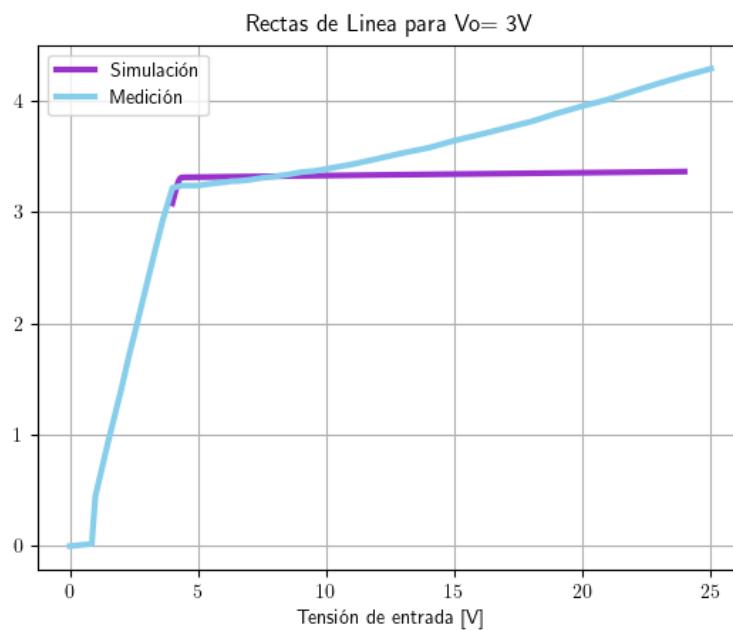


Figura 42: Recta de linea para 3,3 V.

Se observa una estabilización del valor de tensión salida una vez alcanzado un valor de V_{reg} de 3,3 V luego del cual procede a aumentar levemente al seguir aumentando la tensión.

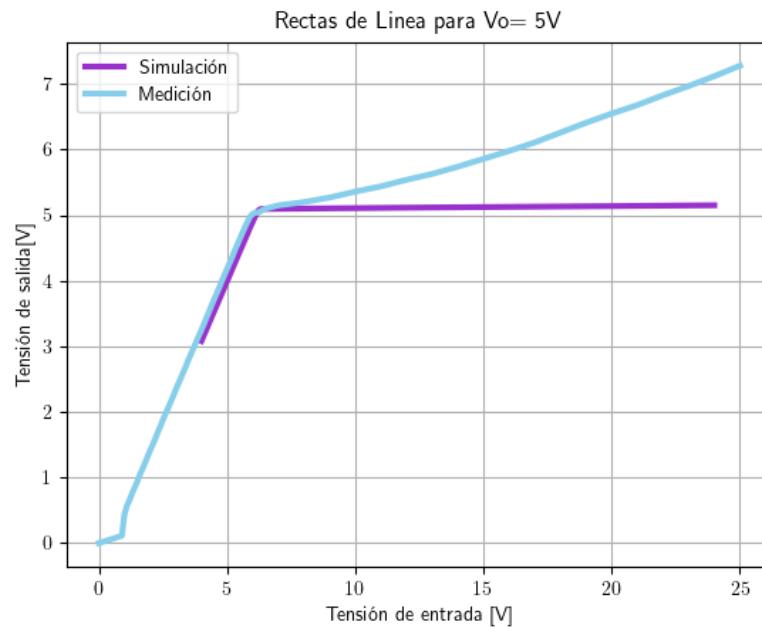


Figura 43: Recta de linea para 5 V.

Para realizar las mediciones de la limitación de corriente, también conocido como *foldback* se utilizó una carga electrónica como se mencionó anteriormente. La idea principal de esta implementación es permitir el barrido continuo de corrientes de carga sin necesidad de utilizar distintas R_L discretas. Las mediciones obtenidas fueron las siguientes:

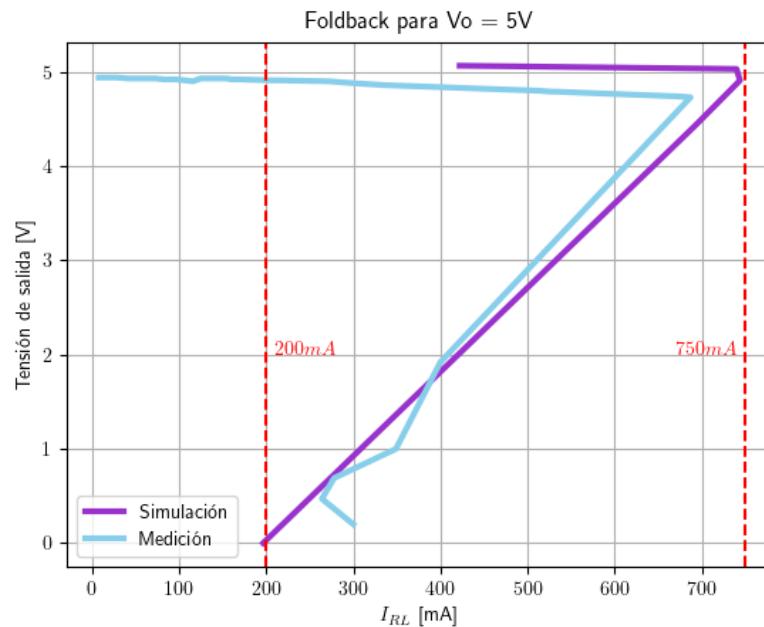


Figura 44: Foldback para 5 V.

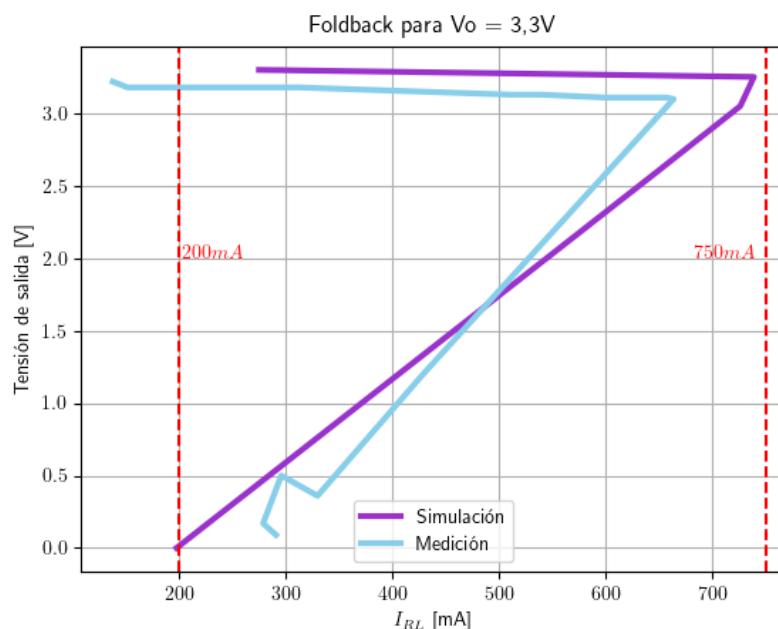


Figura 45: Foldback para 3,3 V.

Al contar con la carga electrónica también se puede medir la respuesta del circuito a una variación dinámica en la carga. Para esto se monta una señal cuadrada en la tensión de referencia de la carga electrónica, lo cual provoca una rápida variación de la corriente de salida I_{RL} . Las mediciones obtenidas fueron las siguientes:

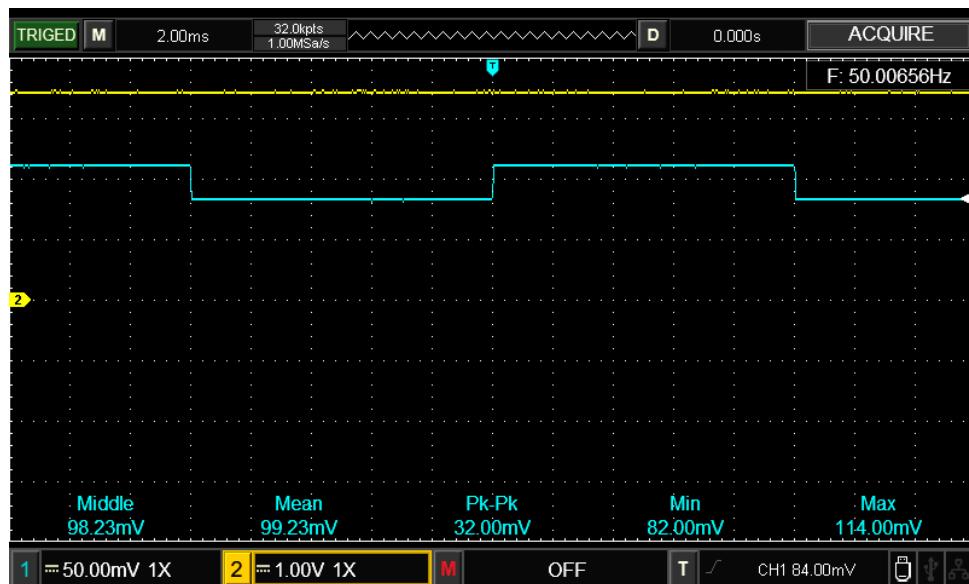


Figura 46: Carga dinámica para la salida de 3,3 V.

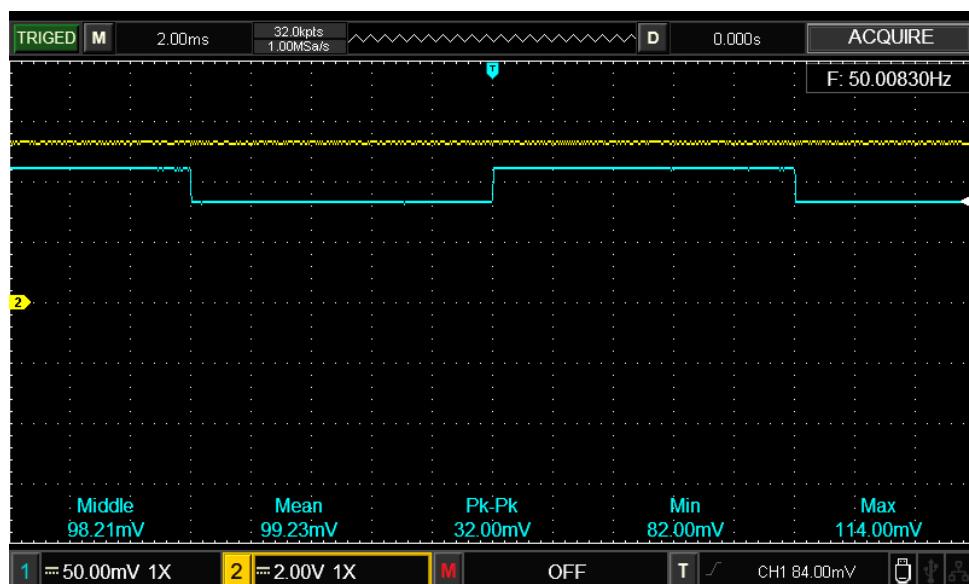


Figura 47: Carga dinámica para la salida de 5 V.

Luego, se procede a medir la potencia para cada salida. En los gráficos 48 y 49 se observan las mediciones de potencia en la carga y en el transistor de potencia (**TIP42**). Se aprecia que la curva de potencia del transistor se asemeja a los valores simulados previamente.

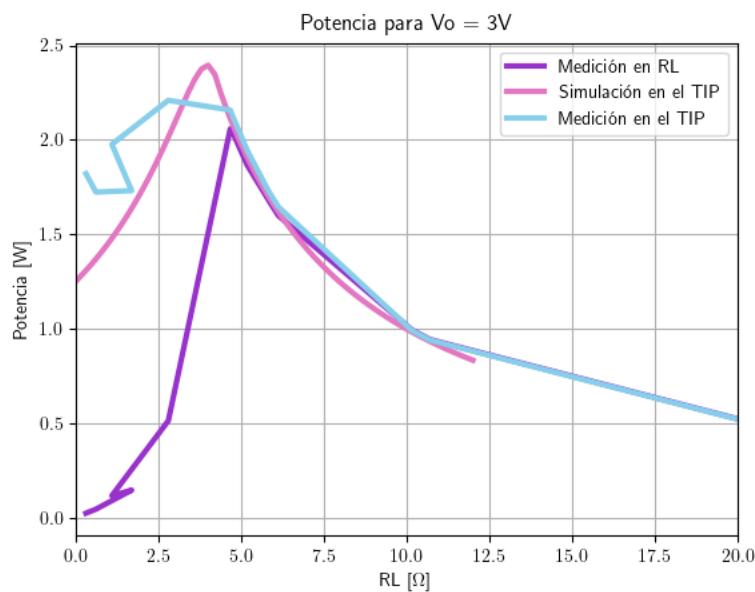


Figura 48: Potencia en la carga y en el transistor de paso para $V_o = 3,3 V$

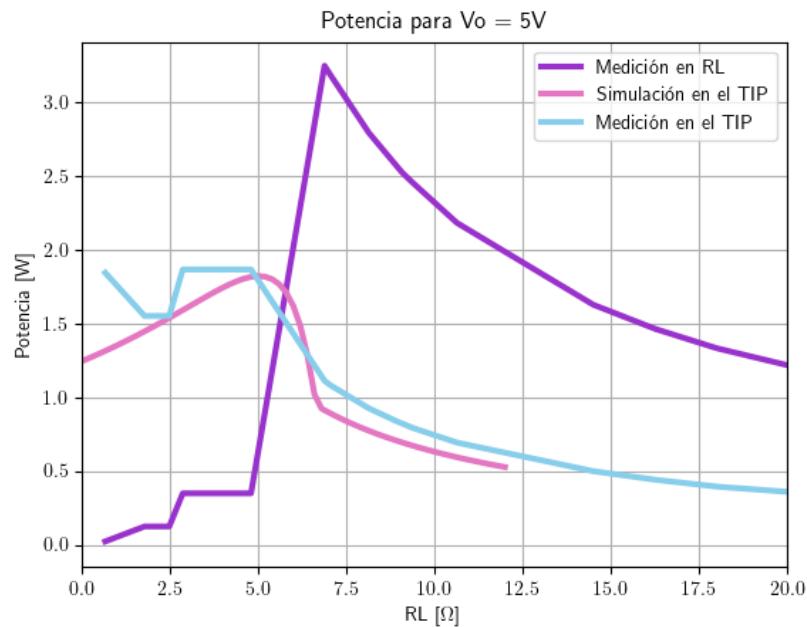


Figura 49: Potencia en la carga y en el transistor de paso para $V_o = 3,3 V$

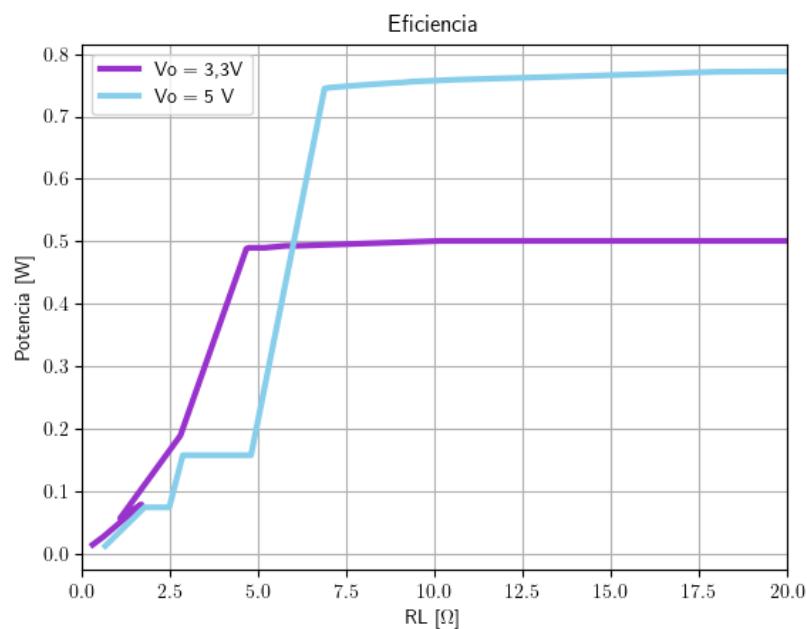


Figura 50: Gráfico de eficiencia en función de la carga.

Finalmente, en cuanto a la eficiencia del circuito, a la hora de medir se confirma que para la salida de 3,3 V la eficiencia es de aproximadamente 50 %, cuando el circuito está regulando tensión. Por otro lado, es del 75 % para la salida de 5 V, mayor a la eficiencia simulada. Cuando se activa el *foldback* la eficiencia disminuye, ya que cae la tensión sobre la carga y aumenta la tensión en el transistor de paso.

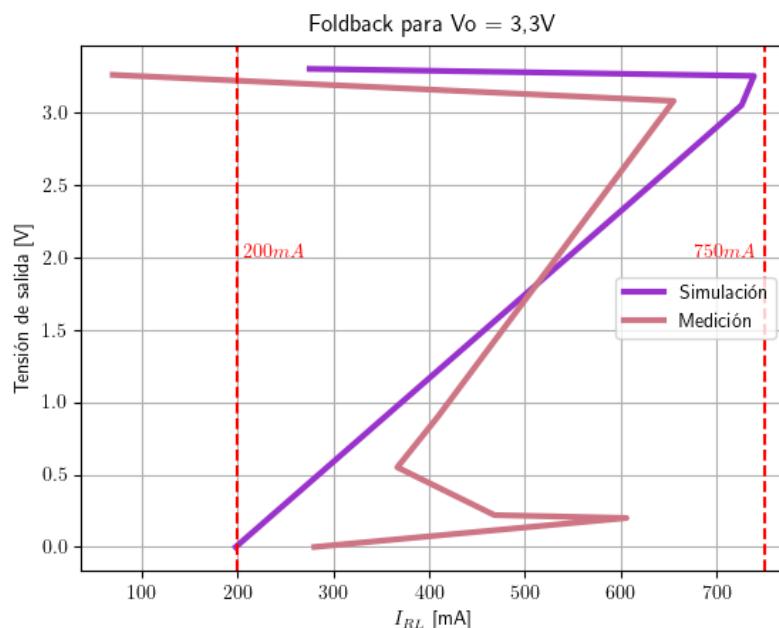


Figura 51: Medición del *foldback* con resistencias discretas

Es posible notar algunas divergencias en lo medido respecto del simulado, por ejemplo en el *foldback* (fig. 45). Para analizar de qué se trata, se mide la recta correspondiente al *foldback* activo con resistencias discretas. De esta forma, es más evidente que, al disminuir la carga R_L , el circuito actúa de forma inesperada y la corriente comienza a subir (fig. 51). Para encontrar en dónde ocurre el problema, se miden puntos dentro del lazo de corriente y se comparan punto a punto con la simulación, lo cual muestra un aumento equitativo de la tensión en todo el lazo. Con esto último, se analiza la posibilidad de que el circuito esté oscilando. Con este en mente, al medir V_o con un osciloscopio, se observa que efectivamente, la salida está oscilando. Finalmente, se mide una de las tierras del circuito, resultando en la siguiente figura en la pantalla del osciloscopio, fig. 52. De esta forma, se obtiene

el origen de los “picos” en el *foldback*, cuando se activa la limitación de corriente, comienzan a aparecer fugas de corriente hacia la tierra, las cuales resultan evidentes al disminuir la resistencia de carga.



Figura 52: Medición entre dos tierras en el LDO

6. Fuente Conmutada *Buck*

En esta sección se procede a analizar las ventajas del uso de una fuente conmutada en comparación con una fuente lineal y su funcionamiento.

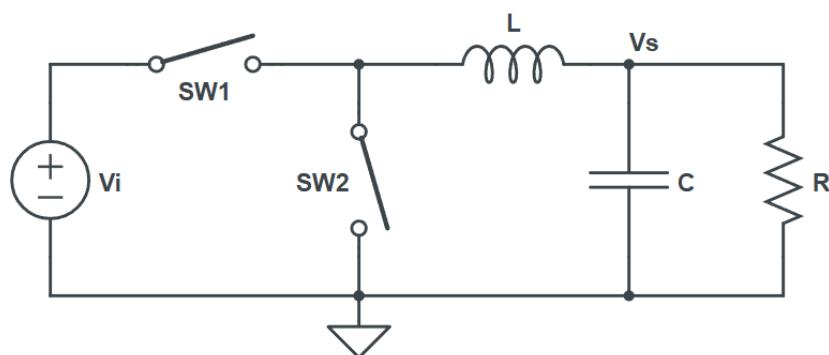


Figura 53: Esquema circuital básico de una fuente conmutada.

Debido a la potencia que se disipa en los elementos resistivos que componen las fuentes lineales, el rendimiento máximo que se puede obtener utilizando éstas es

del 50 %. Para solucionar este problema se utilizan las fuentes conmutadas. Existen varios tipos de fuentes conmutadas, en este informe se abordará la fuente reductora *buck*.

La idea del funcionamiento es la siguiente: en la figura 53, cuando la llave 1 está cerrada, la 2 está abierta, por lo que el inductor y el capacitor se cargan. Luego se cierra la llave 2 y se abre la primera, el inductor para mantener la corriente que circulaba previamente invierte su polaridad y empieza a funcionar como una fuente.

Al cerrarse la primera llave, el inductor aumenta su corriente hasta un I_{Lmax} . Luego de la conmutación la corriente en éste disminuye hasta un valor I_{Lmin} en el cual vuelve a suceder la conmutación. De esta manera, la corriente que circula por el inductor varía linealmente desde un valor máximo a un mínimo como se observa en la siguiente figura.

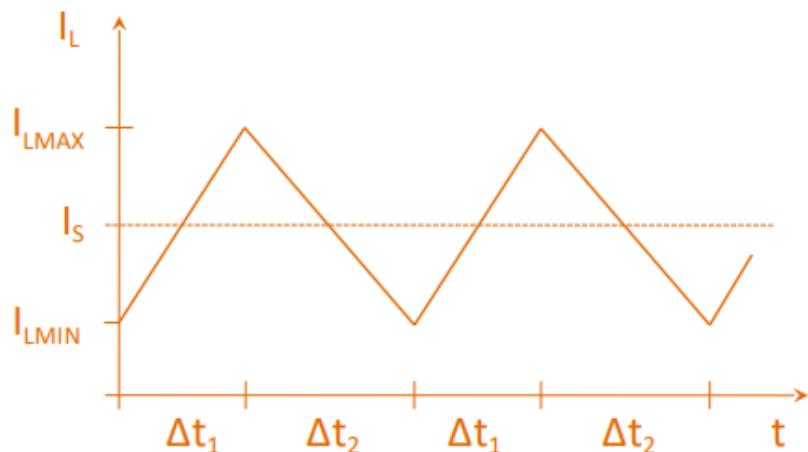


Figura 54: Variación de la corriente del inductor.

Poniendo esta información en forma de ecuaciones se obtiene la ecuación que relaciona los valores de las tensiones de entrada y salida con el *duty cycle*.

$$\left. \begin{array}{l} I_{LMAX} = I_{LMIN} + \frac{(V_E - V_S)\Delta t_1}{L} \\ I_{LMIN} = I_{LMAX} - \frac{V_S \Delta t_2}{L} \end{array} \right\} \circ V_S = V_E \frac{\Delta t_1}{\Delta t_1 + \Delta t_2} = V_S = D V_E$$

$$D = \frac{\Delta t_1}{\Delta t_1 + \Delta t_2} = \frac{t_{ON}}{T} = t_{ON} f$$

Figura 55: Ecuaciones que relacionan el *duty cycle* con la entrada y salida.

Esta variación de corriente con respecto a un valor medio circula por el capacitor y el resistor. Por el resistor circula el valor medio de corriente I_S y las variaciones de corriente circularán por el capacitor. Esto se ve reflejado en la tensión de salida como una variación respecto a una tensión de referencia.

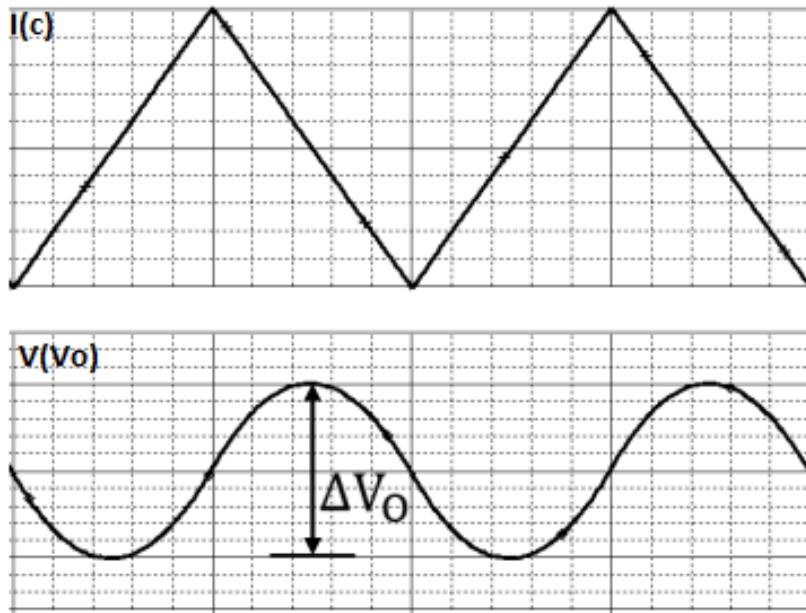


Figura 56: Variación de la corriente y tensión sobre el capacitor.

Cabe destacar que existen dos configuraciones posibles para la fuente *buck*: una denominada “modo continuo” y otra denominada “modo discontinuo”. En este informe nos centraremos en la primera de estas configuraciones o modos, el cual se caracteriza sencillamente por poseer un valor I_{Lmin} mayor a cero.

En resumen, se busca implementar una fuente *buck*, que funcione en modo continuo de forma sincrónica. Para lograr lo último, se utilizan transistores *mosfet* de rápida conmutación para ocupar el lugar de las llaves, los cuales son controlados por una señal modulada *PWM* como se ve en la figura 57.

El circuito se debe alimentar por una batería, la cual puede variar entre 12 V y 36 V, por lo que se utilizan como casos límite para elegir los componentes. Con este parámetro y teniendo en cuenta que requiere una tensión de salida $V_o = 6,35$ V, es posible determinar el *duty cycle* que se necesitará generar en el punto de conmutación V_d .

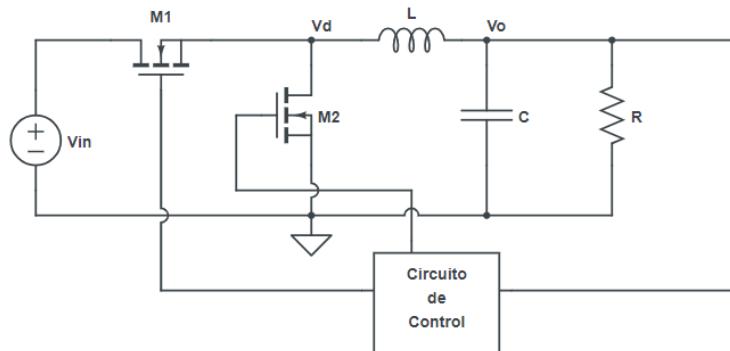


Figura 57: Fuente *buck* sincrónica.

$$D = \frac{V_{out}}{V_{in}} \implies D_{max} = \frac{6,35 \text{ V}}{12 \text{ V}} \simeq 0,529 \quad \text{y} \quad D_{min} = \frac{6,35 \text{ V}}{36 \text{ V}} \simeq 0,176$$

A partir de las ecuaciones que se observan en la figura 56 y los D calculados, es posible encontrar el valor de inductancia necesario. En este caso se modelan los componentes a partir del punto crítico, es decir a partir de la corriente mínima que mantiene el circuito en modo continuo. Se toma $I_{smin} = 20 \text{ mA}$, siendo éste el caso en el cual los LDO no están en funcionamiento.

$$I_s = \frac{I_{L \text{ máx}} + I_{L \text{ mín}}}{2} \implies I_s = I_{s \text{ mín}} \therefore I_{L \text{ máx}} = 2I_{s \text{ mín}}$$

$$L_{cr} = \frac{1}{2 \cdot f} \frac{(1 - D) \cdot V_s}{I_{s \text{ mín}}} \implies L_{cr \text{ mín}} = 374 \mu\text{H} \quad \text{y} \quad L_{cr \text{ máx}} = 654 \mu\text{H}$$

Para asegurarse de estar en modo continuo es necesario que $L > L_{cr}$, por lo tanto para asegurar que esto se cumpla para cualquier caso de D posible, se fija el valor del inductor en $L = 700 \mu\text{H}$.

Con el valor de L elegido se procede a calcular la resistencia que lo acompaña como $R_{cr} = \frac{2 \cdot f \cdot L}{(1 - D)}$, obteniendo $R_{cr \text{ mín}} = 594 \Omega$ y $R_{cr \text{ máx}} = 339 \Omega$. Con el mismo criterio que en L , se utiliza la menor resistencia de ambas, siendo el valor comercial más próximo a esta $R = 330 \Omega$

Como se ve en la figura 54, el *ripple* en V_o tendrá una forma cuadrática, por lo que lo podemos calcular como:

$$\Delta V_o = \frac{I_{L \text{ máx}} + I_{L \text{ mín}}}{8 \cdot C \cdot f}$$

Fijando $\Delta V_o = 100 \text{ mV}$ (asegurando los requerimientos de diseño), se obtiene $C \simeq 125 \text{ nF}$.

Luego, para la elección del *mosfet* se prioriza que sea de rápida conmutación. Por lo tanto, en las hojas de datos se busca que los parámetros correspondientes a los tiempos de conmutación sean lo más rápido posibles (orden de nano segundos). Luego, de entre dichas opciones se deben elegir los que tienen menor carga de recuperación Q_{rr} para asegurar una rápida conmutación con el menor retraso posible debido a la carga de los capacitores internos del transistor. La opción elegida para este caso se trata del modelo **IRFZ44**.

6.1. Gate Driver

A partir de este punto ya se encuentra diseñado el circuito principal del *buck*. Para controlar cuándo conduce cada *mosfet* (cuándo se abre cada “llave”), se utilizará un *gate driver* conectado a una señal *PWM*. Con este circuito se sincroniza el encendido y apagado de cada *mosfet* a partir de una única señal *PWM*.

Se decide utilizar un circuito integrado para un asegurar un mejor apareamiento de los componentes del *gate driver*, en este caso, el **IR2104**. Para conectarlo al *buck* se utiliza la conexión típica proporcionada por el fabricante en la hoja de datos mostrada en la figura 58.

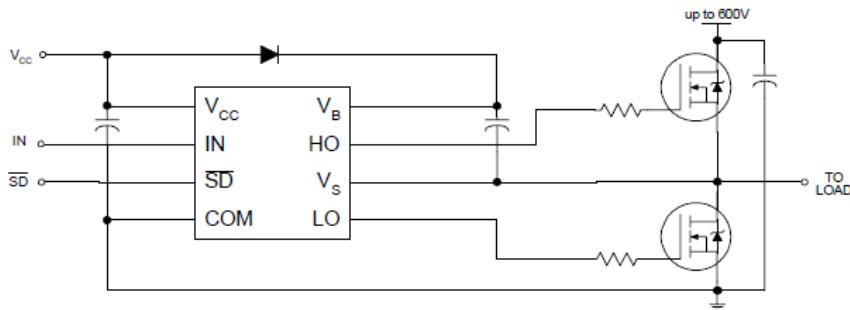


Figura 58: Conexión típica del circuito integrado **IR2104**.

Para el capacitor de entrada del integrado, se elige uno dentro de los valores típicos para desacoplar cualquier distorsión en la tensión de entrada V_{cc} . Luego, el capacitor de *bootstrap* se calcula como:

$$C_{boot} \geq \frac{Q_g + Q_{rr} + \frac{I_{boot}}{f_{sw}}}{\Delta V_{boot}} = \frac{48 \text{ nC} + 210 \text{ nC} + \frac{500 \mu\text{A}}{200 \text{ kHz}}}{0,1 \text{ V}} \simeq 0,29 \mu\text{F}$$

En cuanto al diodo, se elige de manera similar a los *mosfet*, por lo que para asegurar una conmutación rápida se busca dentro de la familia de diodos *schottky*. En este caso se utiliza el diodo **1N5822**.

Luego, para los resistores de *gate*, se busca un valor lo suficientemente chico para que no afecte la velocidad de conmutación, un valor típico y el que se utiliza a continuación es $R_g = 10 \Omega$

Con esta configuración se obtiene en *HO* una señal *PWM* con la misma fase que la suministrada en V_{in} , y en *LO* la señal *PWM* con la fase invertida. Las señales están defasadas por unos pocos nanosegundos, a lo que se denomina “tiempo muerto”. Este tiempo da a lugar a la carga de los capacidades internos del *mosfet*, así evitando exigir al dispositivo.

6.2. Simulación

La conexión final del circuito a simular es la que se observa en la figura 59.

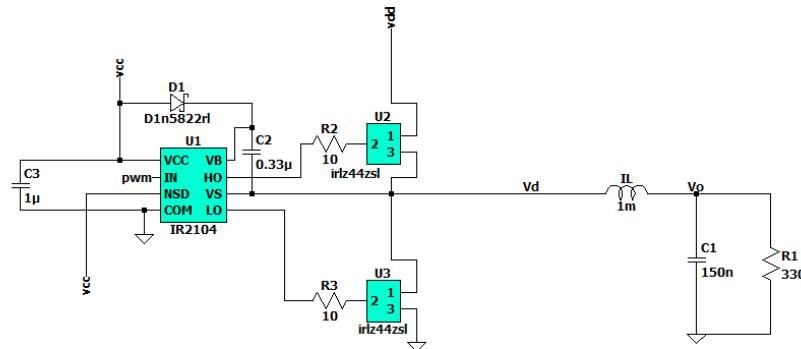


Figura 59: Simulación del circuito *buck*.

En cuanto a la salida, en la figura 60 se observa que para ambos casos límite, la tensión se regula en el valor pedido 6,35 V

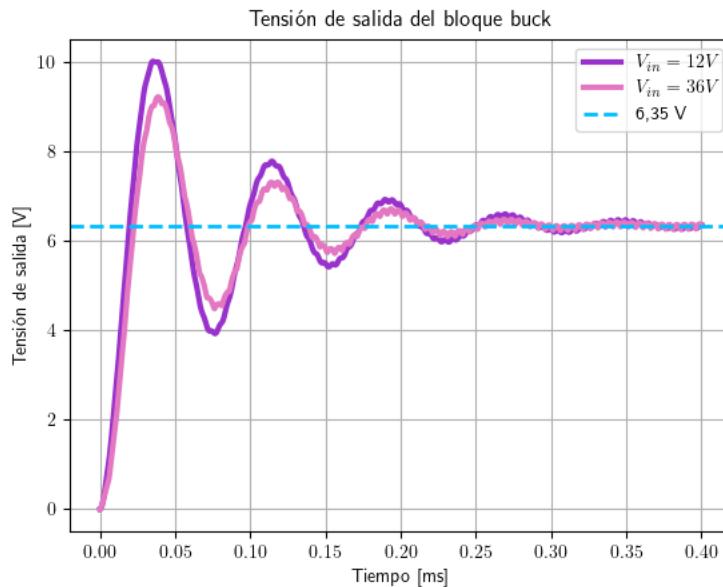


Figura 60: Tensión de salida del *buck* para tensiones de entrada de 12 V y 36 V.

En cuanto a la corriente en el inductor, sin cargar el circuito se mantiene en el límite diseñado luego de estabilizar $I_L = 20 \text{ mA}$ como se ve en la figura 61. Por otro lado, se observa en la figura 62, que para el caso de menor corriente, sin LDO conectado, el inductor se mantiene en modo continuo.

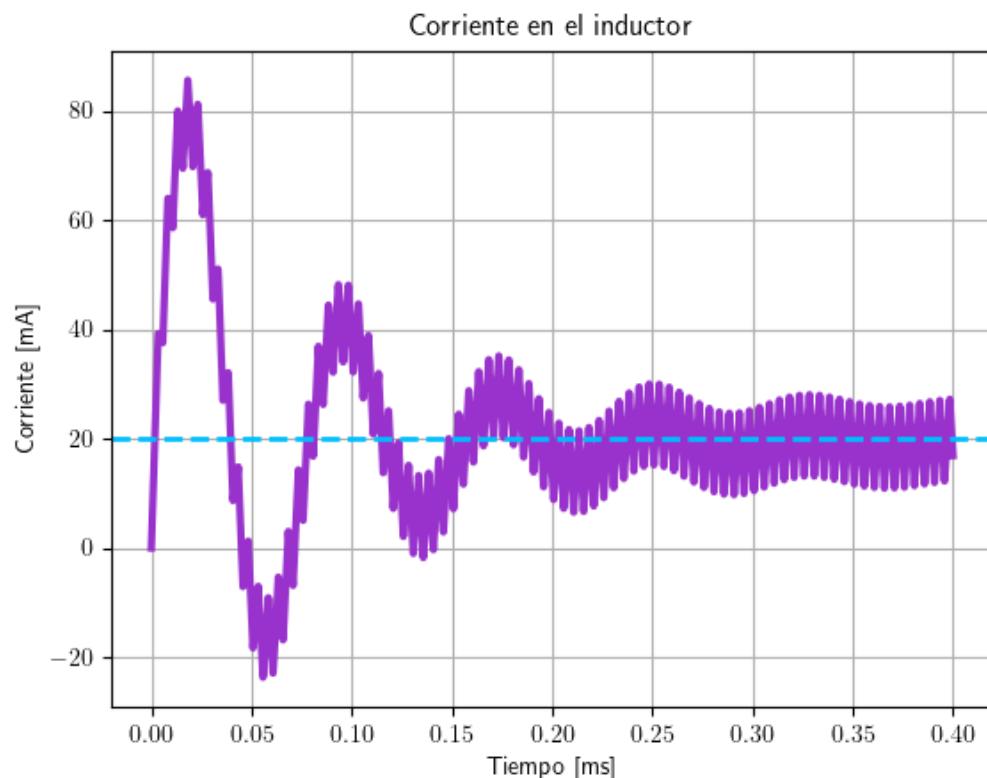


Figura 61: Corriente en el inductor.

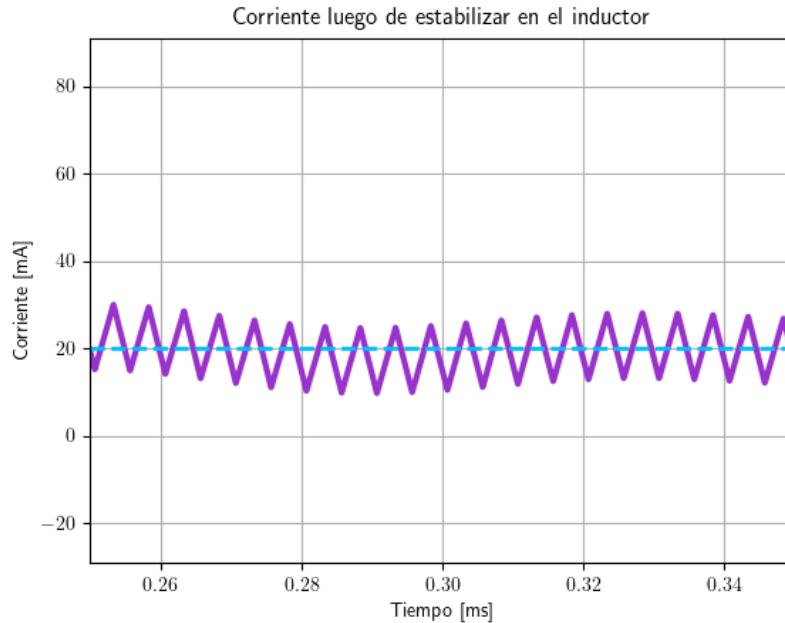


Figura 62: *Ripple* de la corriente en el inductor.

6.3. Armado del Inductor

6.3.1. Cálculo de parámetros

Para diseñar el inductor se elije el método *Erickson*.

A partir de la frecuencia de conmutación, se elige el material del núcleo. Dentro del catalogó de *ferroxcube* el que más se acomoda a los requerimientos del inductor es el núcleo **3C92**. Con el núcleo elegido, se puede calcular la constante geométrica del núcleo:

$$K_g = \frac{\rho_{CU} L^2 I_{max}^2}{B_{max}^2 R_{CU} K_u} \simeq 0,0234 \text{ cm}^5$$

De acuerdo a este valor se elige el núcleo más pequeño que cumpla $Kg \geq 0,0234 \text{ cm}^5$ que, de la figura 63, luego de iterar los cálculos que se presentarán a continuación, se obtiene el mejor núcleo: el núcleo **EE40**.

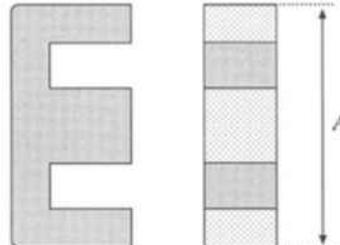


Fig. D.2

Core type (A) (mm)	Geometrical constant K_g (cm ⁵)	Geometrical constant K_{gfe} (cm ⁵)	Cross-sectional area A_c (cm ²)	Bobbin winding area W_A (cm ²)	Mean length per turn MLT (cm)	Magnetic path length ℓ_m (cm)	Core weight (g)
EE12	$0.731 \cdot 10^{-3}$	$0.458 \cdot 10^{-3}$	0.14	0.085	2.28	2.7	2.34
EE16	$2.02 \cdot 10^{-3}$	$0.842 \cdot 10^{-3}$	0.19	0.190	3.40	3.45	3.29
EE19	$4.07 \cdot 10^{-3}$	$1.3 \cdot 10^{-3}$	0.23	0.284	3.69	3.94	4.83
EE22	$8.26 \cdot 10^{-3}$	$1.8 \cdot 10^{-3}$	0.41	0.196	3.99	3.96	8.81
EE30	$85.7 \cdot 10^{-3}$	$6.7 \cdot 10^{-3}$	1.09	0.476	6.60	5.77	32.4
EE40	0.209	$11.8 \cdot 10^{-3}$	1.27	1.10	8.50	7.70	50.3
EE50	0.909	$28.4 \cdot 10^{-3}$	2.26	1.78	10.0	9.58	116
EE60	1.38	$36.4 \cdot 10^{-3}$	2.47	2.89	12.8	11.0	135
EE70/68/19	5.06	$75.9 \cdot 10^{-3}$	3.24	6.75	14.0	18.0	280

Figura 63: Lista de tipos de núcleos.

Para este núcleo, el entre hierro necesario es $l_g = 0,298$ mm. Asimismo, se calcula el entre hierro como:

$$n_l = \frac{L * I_{L \text{ máx}} 1 \cdot 10^4}{A_c B_{max}} \simeq 63$$

Ya diseñado el núcleo del inductor, se prosigue con el cálculo de los parámetros del alambre. La sección del alambre se obtiene como $A_w = \frac{(K_u W_a)}{n_l}$ resultando que $0,005\ 76 \text{ cm}^2$. A partir de la figura 64, se observa que el primero que cumple que la sección sea que el valor calculado es el #AWN 20.

AWG#	Bare area, 10^{-3} cm^2	Resistance, $10^{-6} \Omega/\text{cm}$	Diameter, cm
0000	1072.3	1.608	1.168
000	850.3	2.027	1.040
00	674.2	2.557	0.927
0	534.8	3.224	0.825
1	424.1	4.065	0.735
2	336.3	5.128	0.654
3	266.7	6.463	0.583
4	211.5	8.153	0.519
5	167.7	10.28	0.462
6	133.0	13.0	0.411
7	105.5	16.3	0.366
8	83.67	20.6	0.326
9	66.32	26.0	0.291
10	52.41	32.9	0.267
11	41.60	41.37	0.238
12	33.08	52.09	0.213
13	26.26	69.64	0.190
14	20.02	82.80	0.171
15	16.51	104.3	0.153
16	13.07	131.8	0.137
17	10.39	165.8	0.122
18	8.228	209.5	0.109
19	6.531	263.9	0.0948
20	5.188	332.3	0.0874
21	4.116	418.9	0.0785
22	3.243	531.4	0.0701
23	2.508	666.0	0.0632
24	2.047	842.1	0.0566
25	1.623	1062.0	0.0505
26	1.280	1345.0	0.0452
27	1.021	1687.6	0.0409
28	0.8046	2142.7	0.0366
29	0.6470	2664.3	0.0330

Figura 64: Lista de AWG con sus parámetros típicos.

Se prosigue a verificar los valores calculados:

$$R_{cu} = \frac{R_{ocu} * n_l * MLT}{A_w} = 0,1813 \Omega < 1,384 \Omega$$

$$\sigma I_L = I_{Lmax}/A_w = 4,33 \frac{\text{A}}{\text{mm}^2} < 5 \frac{\text{A}}{\text{mm}^2}$$

En esta última ecuación se verifica que el inductor no calienta.

6.3.2. Ensamble del inductor

Con estos parámetros obtenidos se arma el inductor. Aunque originalmente se había calculado utilizar un cable de 1 mm, se usa un cable de diámetro 0,9 mm finalmente debido a ser más fácil de conseguir.

Con el núcleo con el entrehierro, cable y las treinta y dos vueltas calculadas se ensambla el inductor. Luego, se mide la inductancia obtenida con un *LCR*. Sin embargo, la impedancia obtenida fue de 400 μH , mucho menos a lo necesario. Por esto, se arma nuevamente el inductor pero ahora con cincuenta vueltas. Esta vez, el *LCR* marcó una inductancia de 739 μH como se ve en la figura 65.



Figura 65: Inductancia medida con el *LCR*.

Luego, se debe medir a qué frecuencia satura nuestro inductor, teniendo en cuenta que debemos llegar a los 200 kHz, frecuencia de conmutación de la *buck*. Para esto se mide tensión del inductor en un circuito RL y se la divide por la entrada para obtener la ganancia. Variando la frecuencia de entrada se tomaron los puntos que se

unieron para obtener el diagrama de Bode de la figura 66.

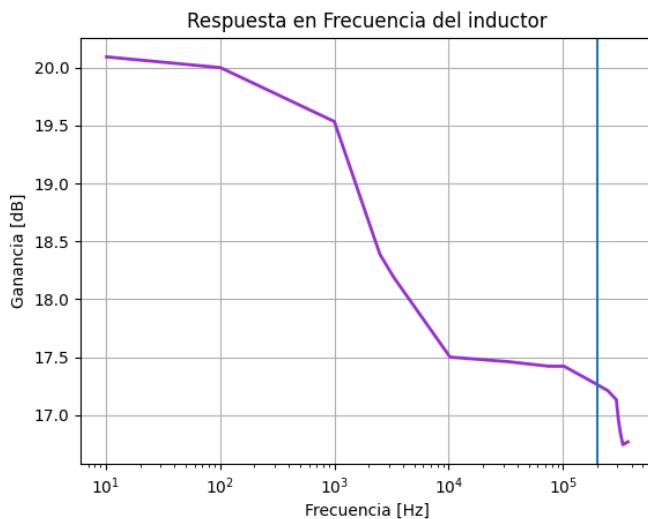


Figura 66: Diagrama de Bode de magnitud del circuito RL implementado.

En la figura se puede ver que la frecuencia de corte está en 300 kHz, donde el Bode de magnitud baja 3 dB. Los 200 kHz (marcados con una línea celeste). están en el rango pasa-bajos del circuito por lo que podemos afirmar que el inductor no satura a la frecuencia de trabajo.

6.4. PCB y CEM

A la hora de diseñar el PCB se tuvo en cuenta la compatibilidad electromagnética de los integrados y componentes de la placa. Para esto se eligieron pistas anchas de 1 mm para disminuir la impedancia y con una separación de 0,6 mm para mitigar las capacidades parasitas, intentando que no queden muy largas y que no se generen lazos que contengan otras pistas o componentes. Además, se separan las pistas de potencia y tensión de alimentación de las de señal para que no se introduzcan ruidos. Por otro lado, los capacitores de estabilización de las entradas de alimentación se colocaron cerca de los integrados y de las llaves para que los mismos reciban tensiones limpias. Por último, se coloca un plano de tierra ya que minimiza la inductancia de retorno, presenta menor impedancia y apantalla las pistas de alta frecuencia evitando

la propagación de ruido. Para este plano a tierra se tuvo en consideración que no se generen lazos.

A continuación se presenta el diseño final del circuito *buck* en PCB.

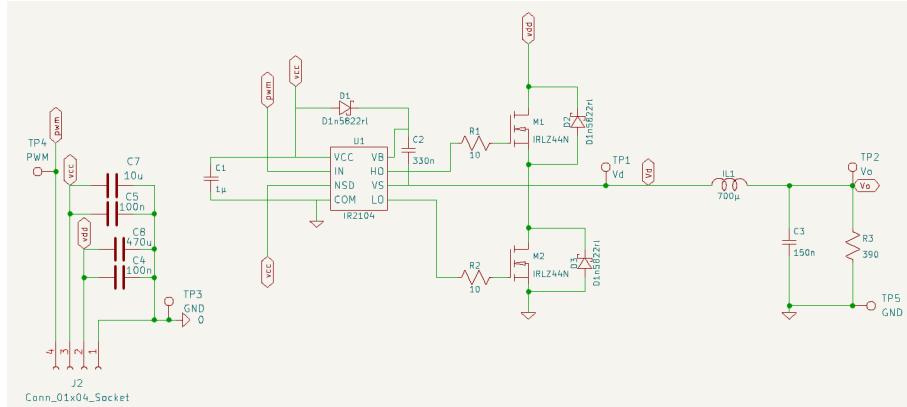


Figura 67: Diseño del esquemático del *buck* en *Kicad*.

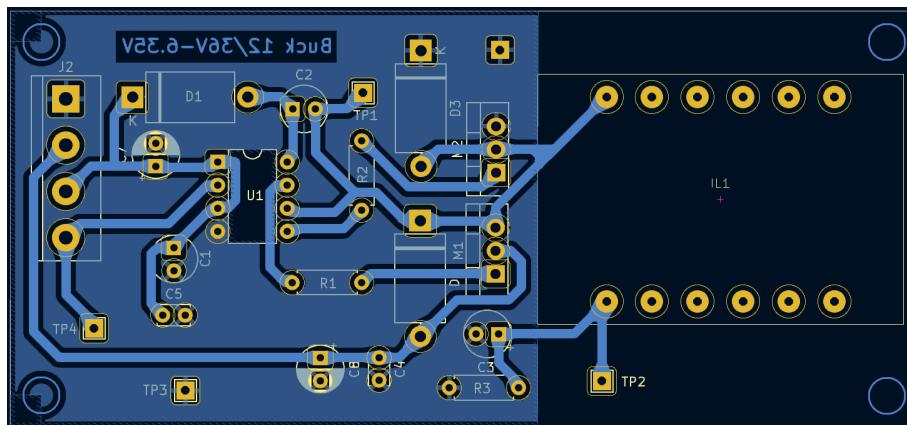


Figura 68: Diseño del PCB del *buck* en *Kicad*.

6.5. Mediciones

6.5.1. Recta de Carga

A continuación, se muestran las mediciones de la tensión de salida obtenidas con un *duty cycle* fijo del 54 % para observar cómo ésta es afectada por la variación de la carga.

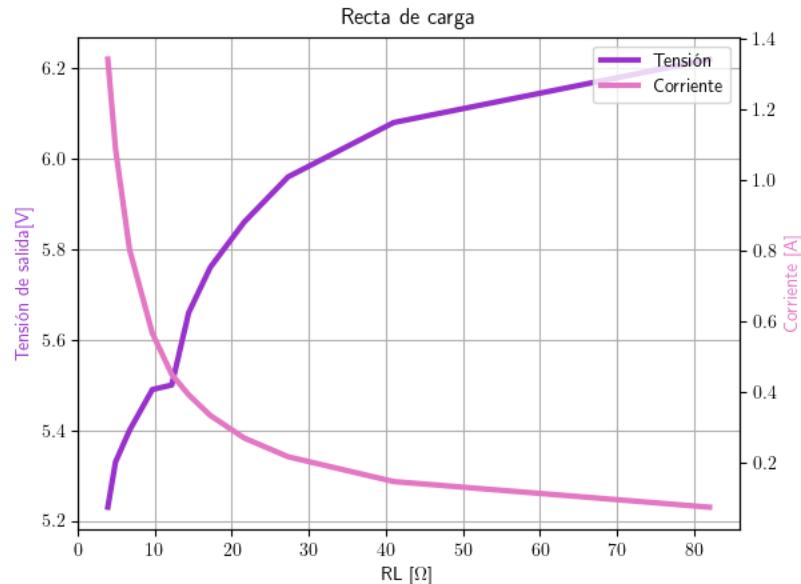


Figura 69: Recta de Carga para la *buck* a lazo abierto.

Como se puede ver en la curva obtenida, la tensión disminuye al disminuir la carga. Esto se compensaría a lazo cerrado aumentando el *duty cycle*.

6.5.2. Recta de Línea

Por último, se realiza la medición de la recta de línea. Para esto se varía la tensión V_{dd} de 12 V a 32 V, simulando así la posible variación de la batería de alimentación. La idea detrás de esto es ver qué valor de *duty cycle* es necesario para mantener la salida de la *buck* en 6,35 V. Esto se realiza variando manualmente el *duty cycle*, si se cerrara el lazo, éste variaría automáticamente fijando la tensión siempre en 6,35 V.

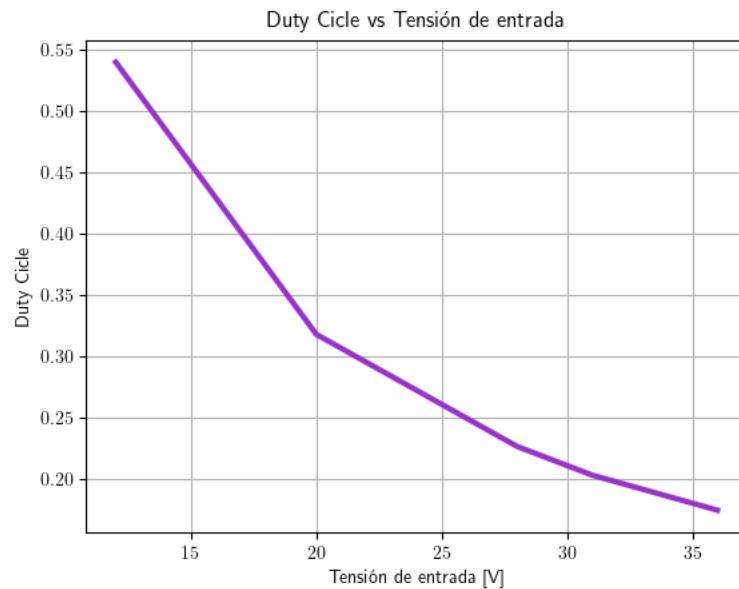


Figura 70: Recta de Línea para la *buck* a lazo abierto.

Se muestra también la respuesta del circuito ante una variación dinámica de la tensión Vdd .

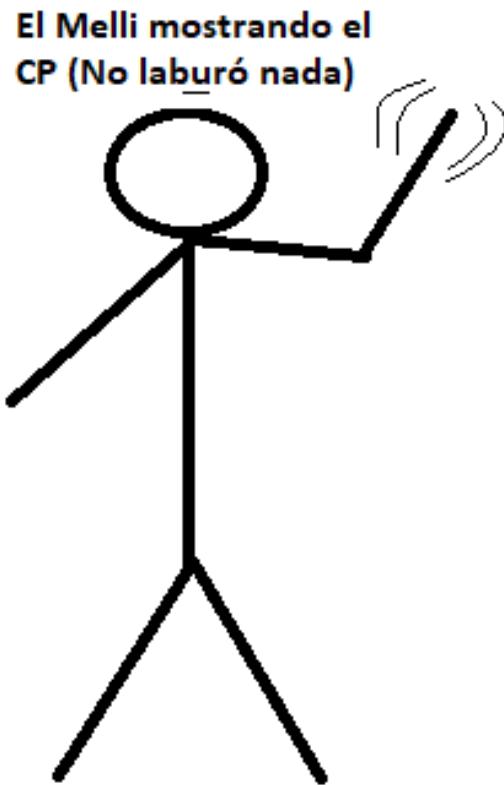


Figura 71: Recta de Línea Dinámica para la *buck* a lazo abierto.

7. PWM

7.1. Diseño

Como se mencionó anteriormente, para controlar la conmutación de la fuente se utiliza un PWM (*Pulse Width Modulation*). La idea detrás de este bloque PWM es variar el ancho de pulso o tiempo en alto de una señal, variando así el *duty cycle* de la misma.

Hay diferentes formas de realizar una PWM, una forma de hacerlo por ejemplo es comparar una señal triangular o diente de cierra contra una señal de referencia. La idea es que cuando la referencia sea mayor que la triangular, la salida del comparador esté en estado alto, y en estado bajo cuando la referencia sea menor que la triangular.

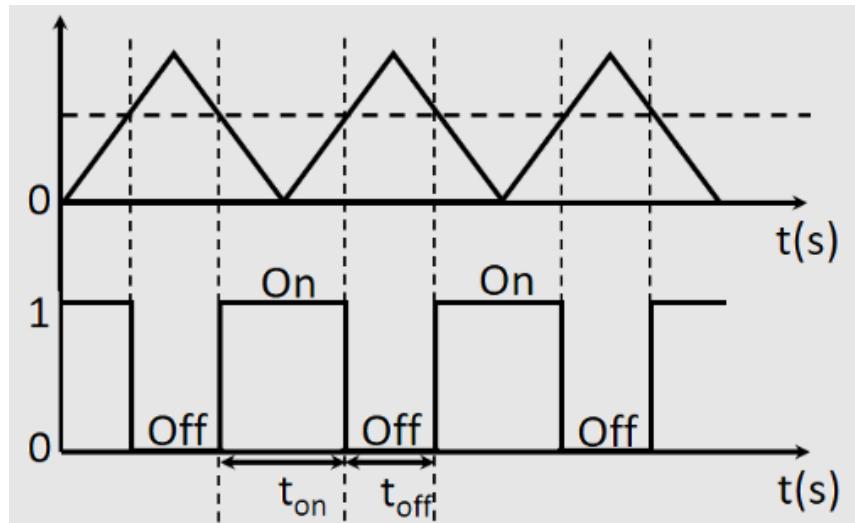


Figura 72: Idea del funcionamiento del PWM.

Se necesita entonces generar una señal triangular que sirva como base para el modulador de ancho de pulso. Para hacerlo se utiliza la siguiente configuración de un comparador y un integrador.

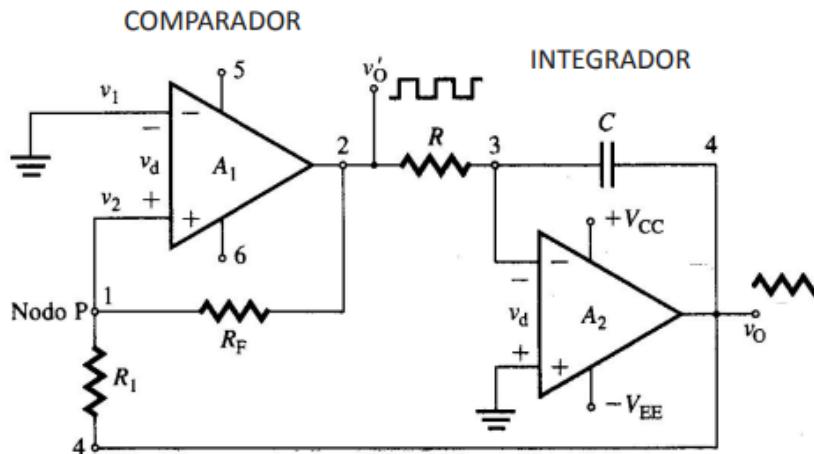


Figura 73: Generador de señal triangular.

Para aclarar cómo funciona este circuito, es conveniente separar el rol de cada parte para evitar así confusiones:

- Comparador (A_1): En primer lugar tenemos un comparador, este recibe dos señales en sus entradas: una señal de referencia fija (v_1) y la señal realimentada

desde el nodo de salida del integrador (v_2). Cuando la señal v_2 alcanza un cierto umbral en relación con vd , el comparador cambia su estado. Esta comutación genera una señal cuadrada en su salida. Este pulso cuadrado será la señal de entrada del integrador en la segunda etapa.

- Integrador (A_2): La señal de salida cuadrada del comparador pasa al integrador formado por el amplificador operacional A_2 , la resistencia R , y el capacitor C . Este integrador convierte la señal cuadrada en una señal triangular. Básicamente, el integrador carga y descarga el capacitor C en función del nivel alto o bajo de la señal de entrada, produciendo una rampa ascendente o descendente en la salida del integrador. Esta señal triangular oscila de forma continua y es utilizada como referencia para generar el PWM.

- Ciclo completo: Cuando la señal triangular alcanza los valores límite establecidos por el comparador, el comparador cambia su estado, lo cual reinicia el ciclo. Esto produce una onda triangular continua a la salida del integrador, con una frecuencia que depende de los valores de R y C .

Ya con la señal triangular generada, se tiene gran parte del PWM. Ahora falta realizar la comparación contra una referencia. En este caso, el objetivo final de implementar el PWM es que la señal de referencia aumente o disminuya en función de la salida de la fuente *buck*. De esta forma, si la salida aumentase, por ejemplo, la señal de referencia aumentaría cambiando el *duty cycle* de la señal PWM que sirve como *trigger* para los *MOS* de la fuente, bajando la salida que previamente había aumentado.

Se necesita entonces de una señal que se compare contra una triangular centrada en el origen. Para tener un correcto funcionamiento esta señal debe estar dentro del rango de tensiones de la triangular, e incluso lejos de los valores máximos y mínimos de ésta para evitar así cambios de muy alta frecuencia a la salida.

Es por esto que para la tensión de referencia, se toma una señal de 6,35 V que representa la salida de la fuente *buck* y se la lleva al origen donde se comparará contra la triangular. Para llevarla al origen se usa un *opamp* en modo diferencial del cual se obtiene a la salida la diferencia entre una señal de 2,5 V y la salida (a la cual previamente se la baja a 2,5 V con un divisor resistivo).

Teniendo en cuenta todas estas consideraciones, el circuito en su totalidad queda de la siguiente manera:

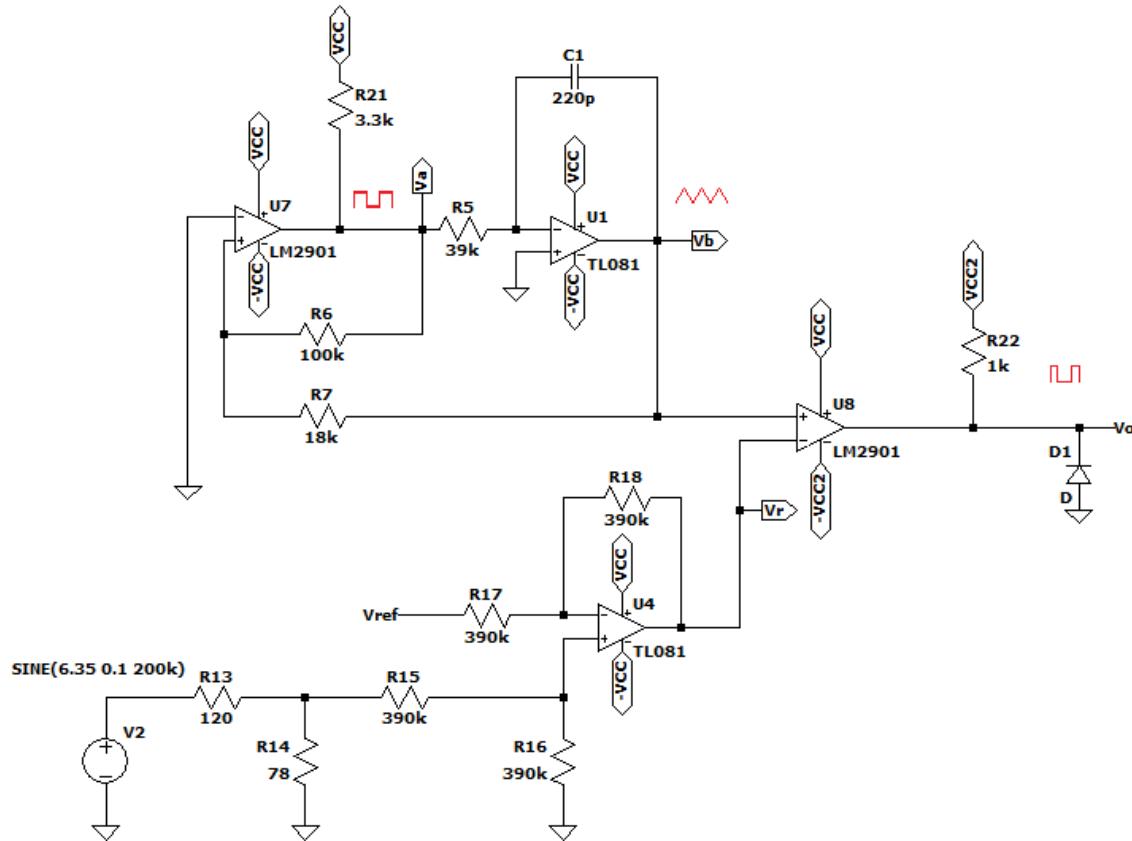


Figura 74: Circuito del PWM completo.

Este mismo circuito es el que se utiliza para las simulaciones con los modelos de comparadores y operacionales con que se realiza físicamente el PWM.

A continuación se muestran las señales cuadrada y triangular generadas mediante simulación.

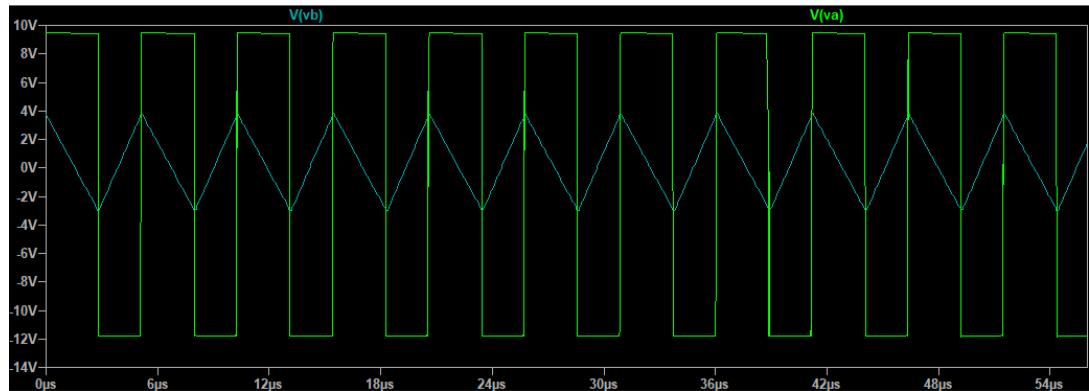
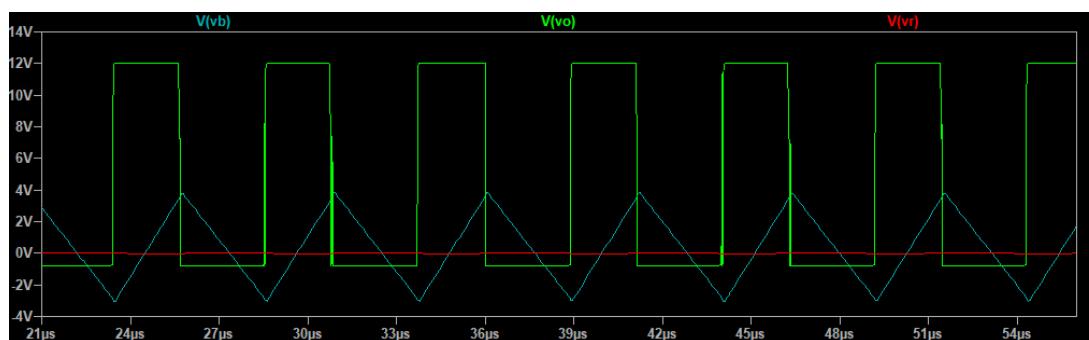
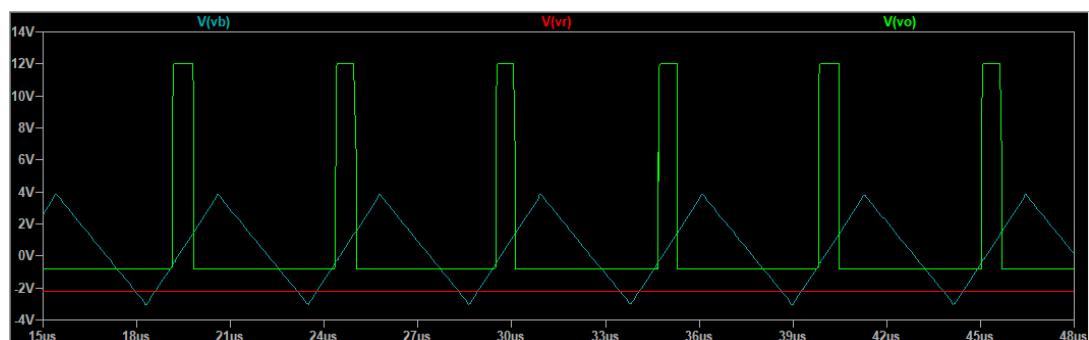


Figura 75: Simulación señal cuadrada y triangular.

También se muestra la salida del PWM para distintos *duty cycle*:

Figura 76: Salida para un *duty cycle* de 50 %.Figura 77: Salida para un *duty cycle* de 17 %.

7.2. PCB

Para el diseño del circuito impreso se eligió un ancho de pista de 1 mm y una separación entre pistas de 0,6 mm. Además se puso un *jumper* para poder elegir si se controla el PWM con una tensión de referencia fijada con un potenciómetro o cerrar el lazo y controlar el *duty cycle* en base a la tensión de salida del buck.

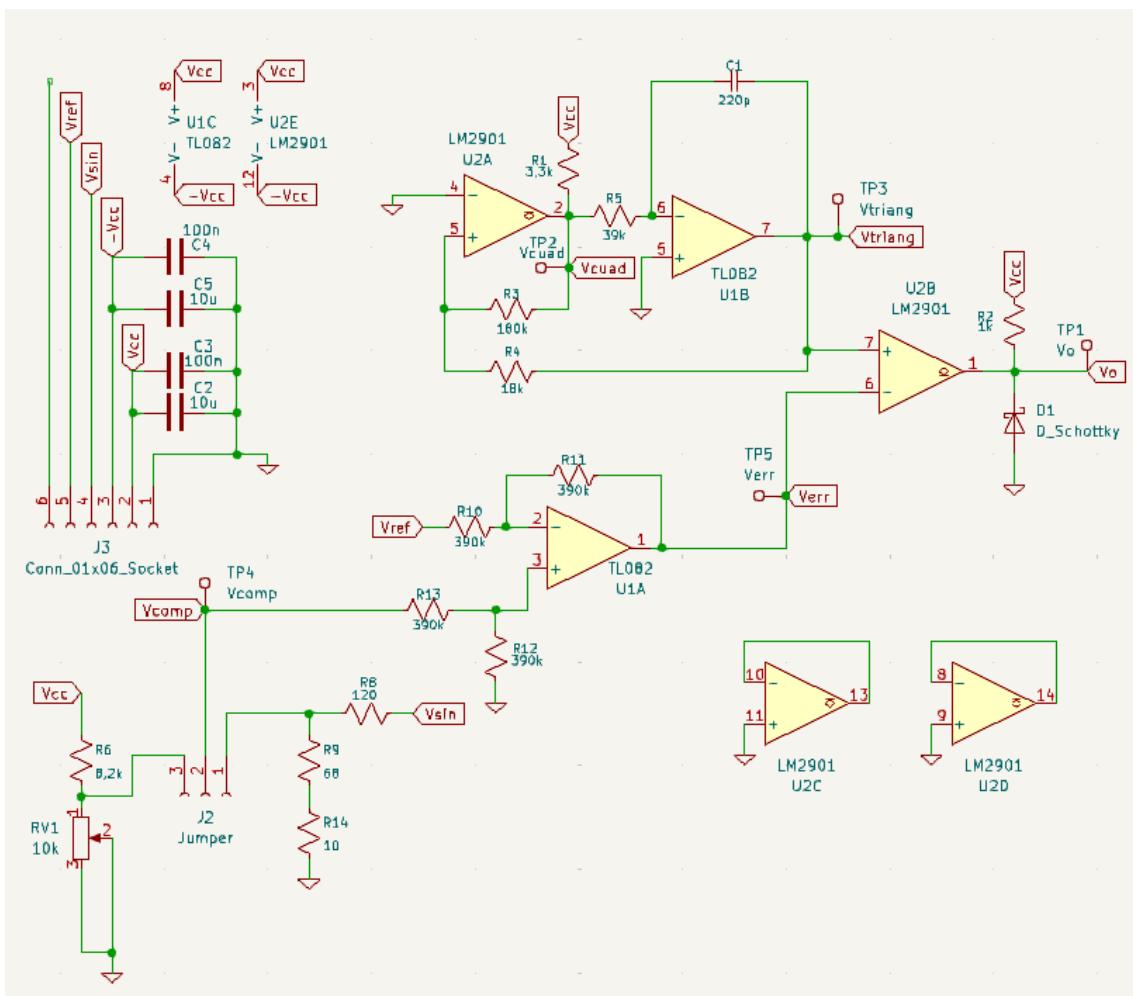
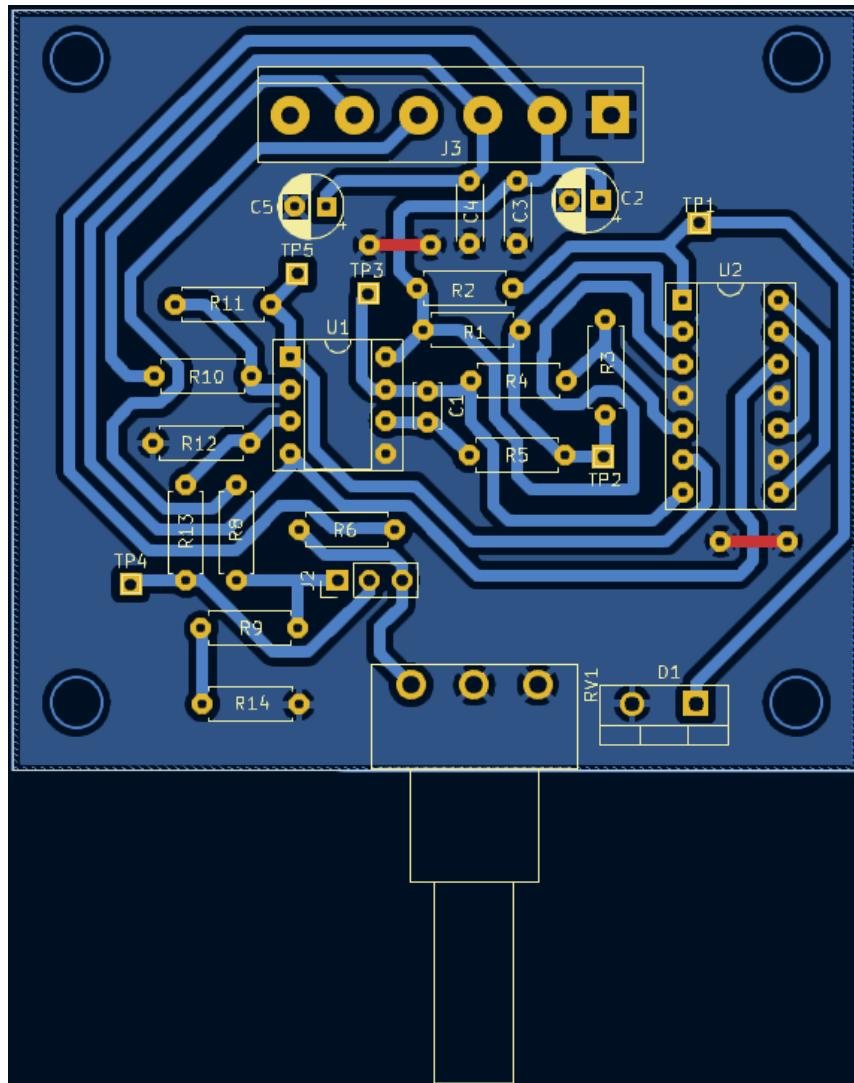


Figura 78: Esquemático del PWM diseñado en *KiCad*.

Figura 79: PCB del PWM diseñado en *KiCad*.

8. Bloque *Support*

Por último, se tiene al bloque *support*. De la figura 1 se obtienen qué tensiones debe entregar dicho bloque. Se implementaron las señales de *Enable*, V_{ref} y $-VPOSA$. Cabe destacar que $VDRV$ fue implementada en el PWM, parte del bloque *buck*. Por otro lado, recibe la tensión de la batería, la cual puede variar entre 12 V y 36 V de acuerdo con las especificaciones dadas.

8.1. Tensión de referencia

Esta tensión es la entrada del par diferencial del LDO. Debe ser estable y con un valor exacto de 1,2 V, ya que su valor afecta en gran medida a la salida del LDO. Para esto se utiliza un diodo *zener* ajustable **TL431** en la configuración presentada en la figura 80. Modificando los valores de resistencia de R_A y R_B es que se puede alterar la tensión de ruptura del diodo. Cuando R_B es mucho mayor a R_A , dicha tensión es de 2,5 V, la mínima posible con este integrado. Es por eso que se aplica un divisor resistivo para obtener a la salida los 1,2 V buscados.

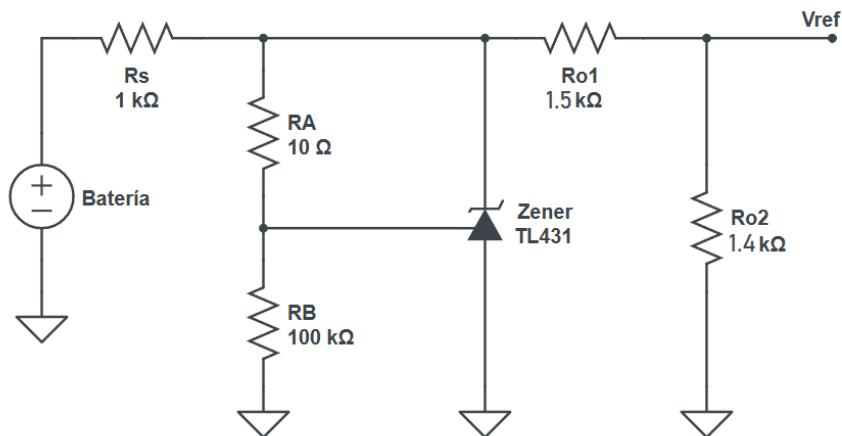


Figura 80: Circuito cuya salida es la tensión V_{ref} .

Los valores de los resistores no fueron elegidos de forma arbitraria. Debido a que este bloque se conecta a la entrada de uno de los transistores del par diferencial del LDO, para mantener el apareamiento, debe presentar una impedancia similar a la conectada en la base del otro transistor de dicho par diferencial. En el LDO, se tiene una impedancia de alrededor de 750Ω , por lo que este bloque también.

8.2. Tensión - *VPOSA*

El bloque *support* debe entregar las tensiones de alimentación de los amplificadores operacionales del LDO, las cuales son *VPOSA* y *-VPOSA*. Sin embargo, para facilitar la implementación del circuito, se toma a la tensión de salida del bloque

buck como V_{reg} , SELA y VPOSA. De este modo, la tensión que este circuito debe generar es la negativa de alimentación de los opamps.

Con este objetivo en mente, se hace uso de un integrado **MC33063**, una fuente buck. Con la configuración mostrada en la figura 81, se pueden invertir los 6,35 V de la tensión generada previamente.

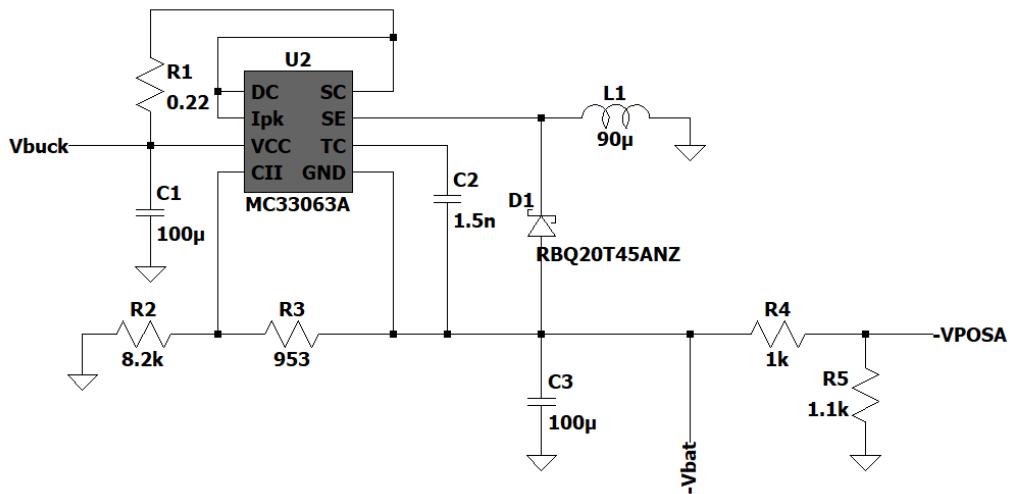
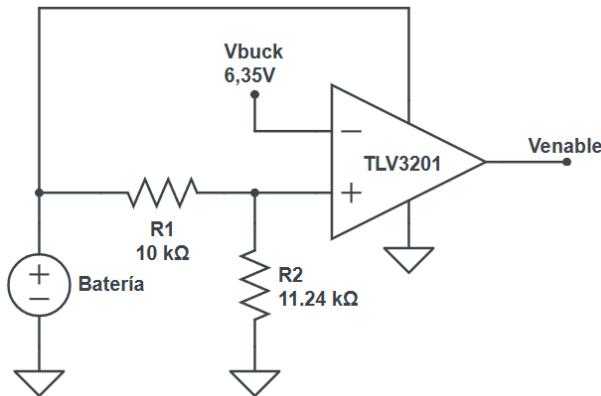


Figura 81: Circuito inversor cuya salida es $-V_{bat}$ y $-VPOSA$.

También se generó en el mismo bloque la tensión negativa de -12 V necesaria en el PWM. De este modo, se obtuvieron dos tensiones de salida, separadas por un divisor resistivo para obtener los valores necesarios.

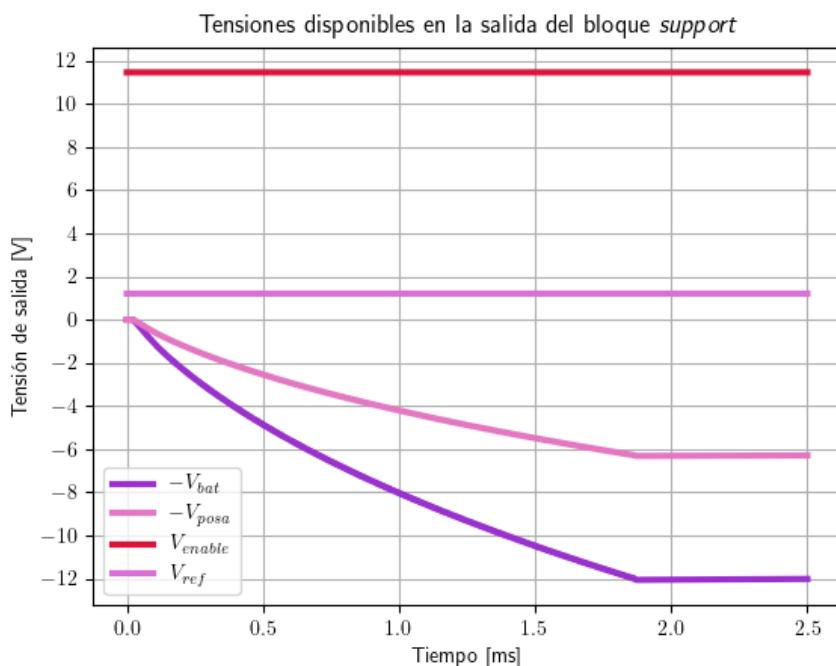
8.3. Tensión de enable

Finalmente se obtuvo la tensión de *enable* mediante un UVLO. De esta forma, teniendo una entrada de 12 V, mediante un divisor resistivo, se la compara con la tensión del buck de 6,35 V.

Figura 82: Circuito UVLO con salida de *enable*.

De esta forma, la salida que se obtiene es nula cuando la tensión en el divisor es menor a V_{buck} , y positiva cuando es mayor o igual. Se puede conectar una llave MOS para encender o apagar el LDO de acuerdo con dicha tensión.

Todas las tensiones obtenidas se presentaron en el gráfico de la figura 83.

Figura 83: Tensiones de salida del bloque *support*.

8.4. PCB

Finalmente, el PCB del bloque resulta:

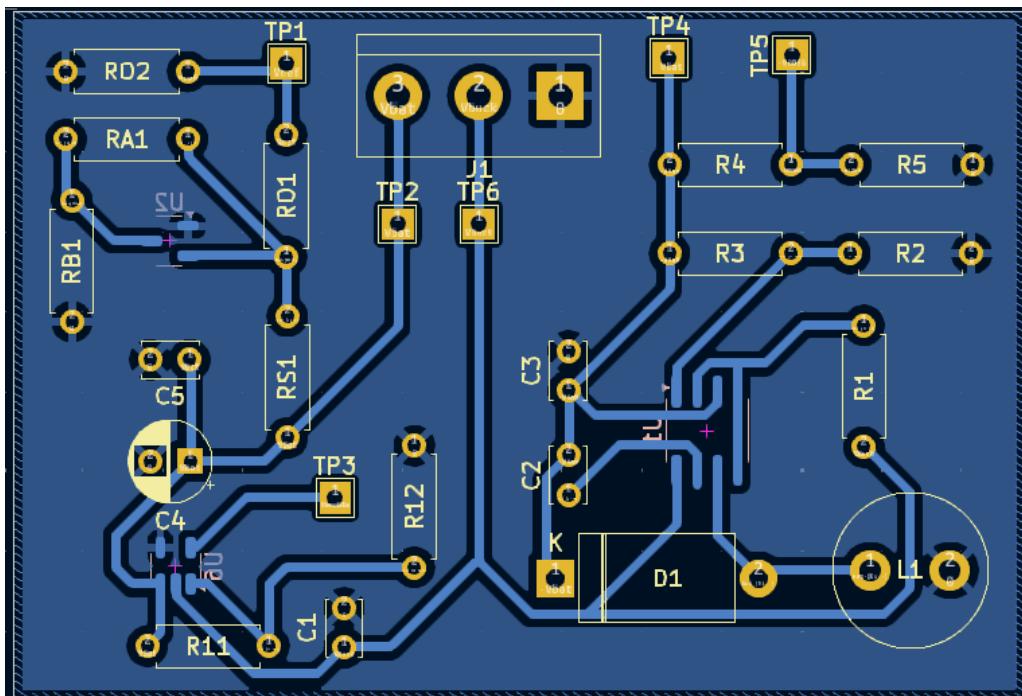


Figura 84: Diseño del PCB del bloque *support* en *KiCad*.

9. Lazo cerrado: $PWM + buck$

A continuación, se combinan las ideas de los circuitos anteriores para cerrar el lazo y obtener una fuente *buck* cuya salida afecte al *duty cycle* del circuito *PWM*. De esta forma se varía la conmutación de los *MOS* para aumentar o disminuir la salida, compensando la variación inicial de la salida.

El lazo cerrado resultante es el que se observa en la figura 86, cuya respuesta en frecuencia resulta. Pero para poder simular y compensar el circuito, se utiliza un modelo promediado, en donde se centra el análisis en la configuración del *buck*. Por lo tanto se utiliza el circuito de la figura 87.

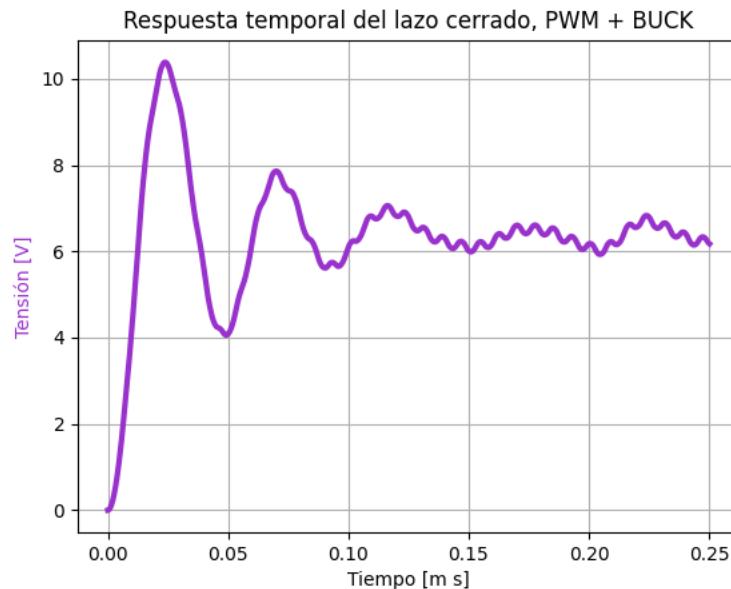
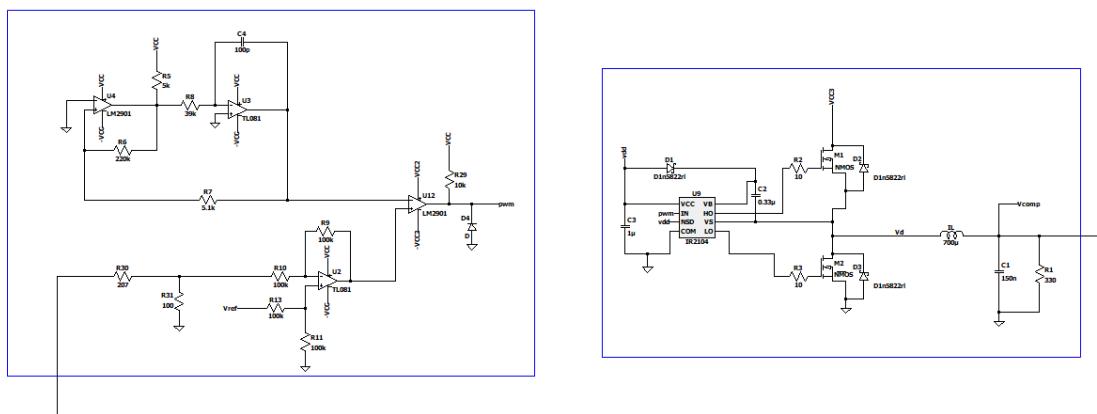


Figura 85: Respuesta temporal del lazo cerrado

Figura 86: Circuito esquemático del lazo cerrado, *PWM + buck*.

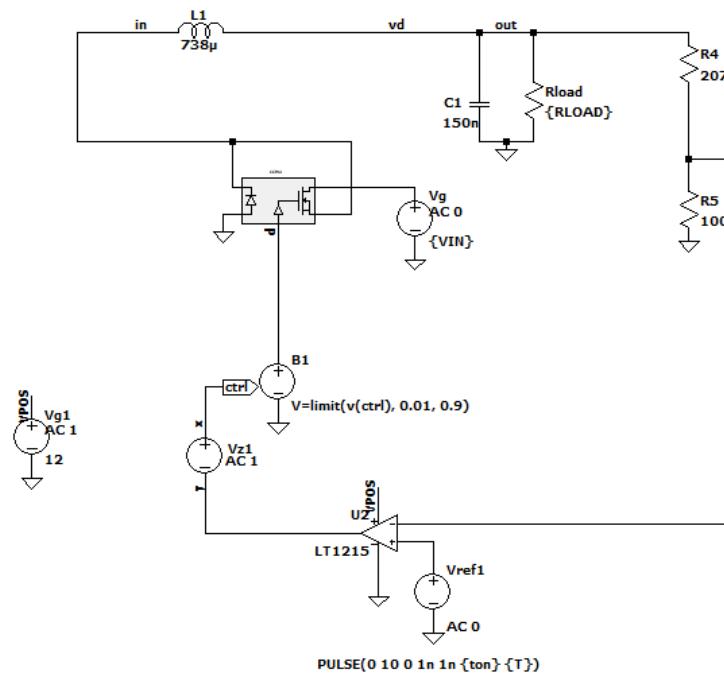


Figura 87: Esquemático del lazo cerrado sin compensar.

Este circuito se trabaja como un modelo promediado, que permite analizar nuestro lazo como un circuito lineal. Con este modelo se puede obtener la respuesta en frecuencia de la *buck*, como se observa en la figura 88.

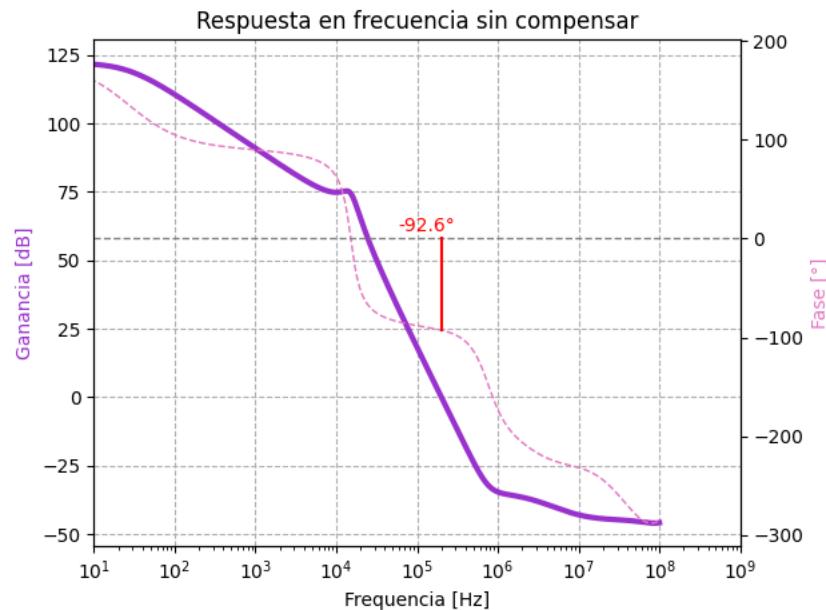


Figura 88: Ganancia del lazo cerrado sin compensar

En la cual se observa que el margen es de -93° , por lo tanto, es necesario compensar, se busca levantar la fase.

Para compensar el circuito, nos basamos en el amplificador de error tipo III (Fig. 89), pero en una versión simplificada, ya que el principal interés de la compensación es subir la fase, por lo que se concentra esta etapa en los ceros del sistema (con esta configuración, se obtienen ceros en baja frecuencia, polos en alta frecuencia y un polo en el origen).

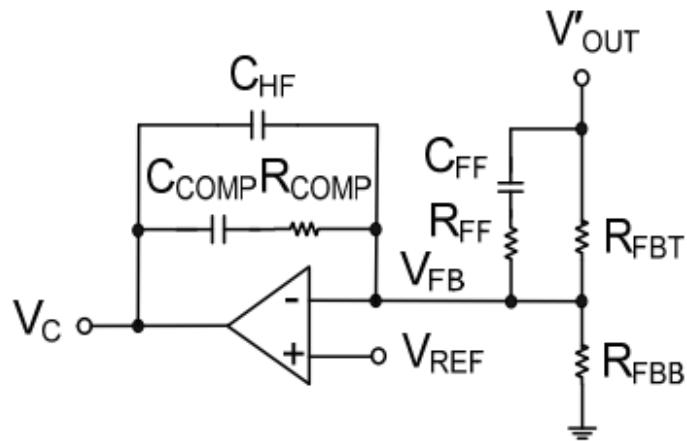


Figura 89: Amplificador de error tipo III

Se ubican los ceros a ambos lados del cruce con 0dB, es decir, uno en el orden de 1 kHz y otro en el orden de 10 kHz. Obteniendo

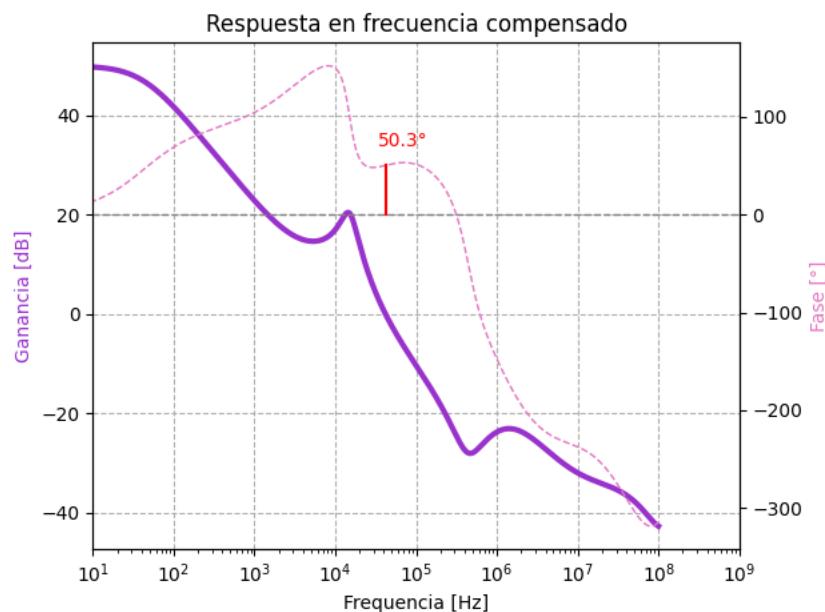


Figura 90: Ganancia a lazo cerrado compensada

Como es espera, se obtiene un adelante en la fase, resultando en un margen de fase de 50°.

Se aprecia que el circuito funciona como era esperado. La salida de la *buck*, ahora conectada a la referencia del PWM, estabiliza la tensión obtenida ante variaciones. Si dicha tensión aumenta, también lo hace la referencia que ingresa al comparador, causando una disminución del *duty cycle* del circuito PWM. Esto produce que el t_{on} del *MOS* se menor, disminuyendo la tensión de salida del bloque.

Este procedimiento funciona de forma análoga ante la disminución de la salida de la *buck*. Disminuye la tensión de referencia del PWM, aumentando el *duty cycle*, lo que termina provocando un aumento a la salida de la *buck*.