



DEPARTAMENTO DE ELECTRÓNICA  
2<sup>do</sup> cuatrimestre de 2024

---

**Taller de Diseño de Circuitos Electrónicos (TA138)**  
**Checkpoint 1**

---

Grupo	Alumno	Padrón	Mail
5	Diógenes Cornejo Zuviría	106413	dcornejoz@fi.uba.ar
	Sebastián Ezequiel García	103780	sebgarcia@fi.uba.ar
	Joaquín Mellibovsky	103815	jmellibovsky@fi.uba.ar
	Denise Oriana Viltés	106943	dviltés@fi.uba.ar

# 1. Diseño del circuito

## 1.1. Especificaciones generales

La premisa principal del Trabajo Práctico es diseñar un circuito que se lo alimente con un amplio rango de tensiones de entrada pero que la salida sea de 5 V o 3,3 V según se seleccione. Además de este requisito para la tensión de salida, la corriente debe encontrarse siempre entre los 500 mA y los 750 mA. Las demás especificaciones se presentarán a medida que se desarrolle el circuito para cumplirlas.

En la figura 1 se muestra el diagrama en bloques del circuito a diseñar. En esta entrega nos enfocaremos en el diseño y el esquemático del PCB del bloque LDO.

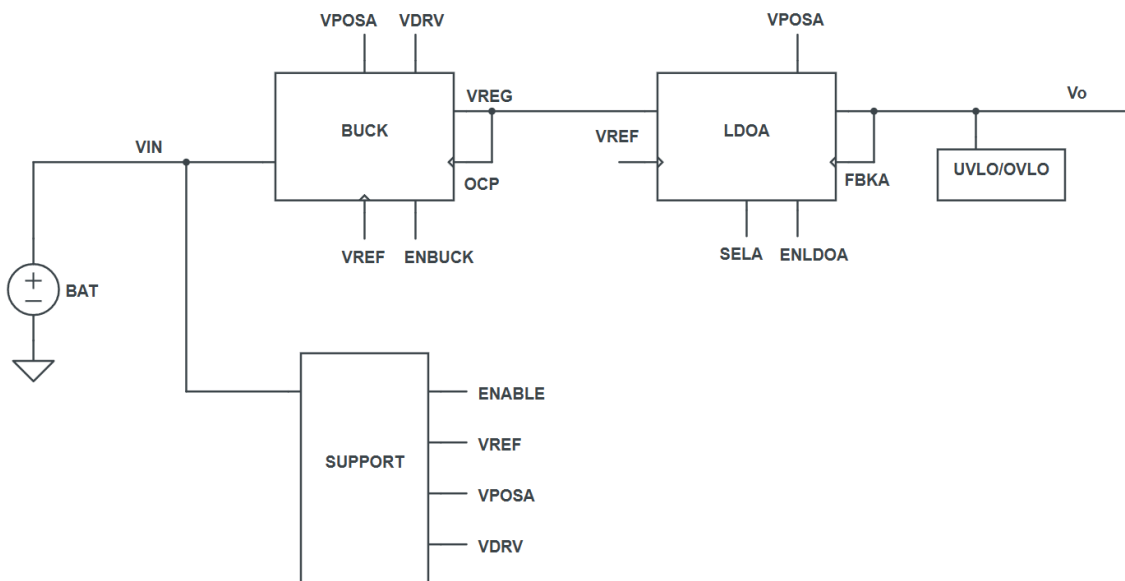


Figura 1: Diagrama en bloques funcionales del circuito a diseñar.

El bloque LDO recibe seis tensiones:

- $V_{reg}$ : Tensión de alimentación de los transistores del par diferencial, carga activa, fuente espejo y de paso.
- $V_{ref}$ : Tensión de entrada al par diferencial.
- $V_{POSA}$ : Tensión de alimentación de los amplificadores operacionales.

- *SELA*: Tensión de selección de la salida. Cuando está encendida, la salida es de 5 V, mientras que cuando está apagada es de 3,3 V.
- *FBKA*: Realimentación mediante la implementación de un *foldback*.
- *ENLDOA*: Tensión de encendido del bloque LDO.

El diagrama en bloques del LDO se muestra en la figura 2. En este dibujo los bloques de Muestreo de Corriente, Sumador y Comparador corresponden al *foldback*. A su vez, éstos y el *feedback* son todos juntos la realimentación.

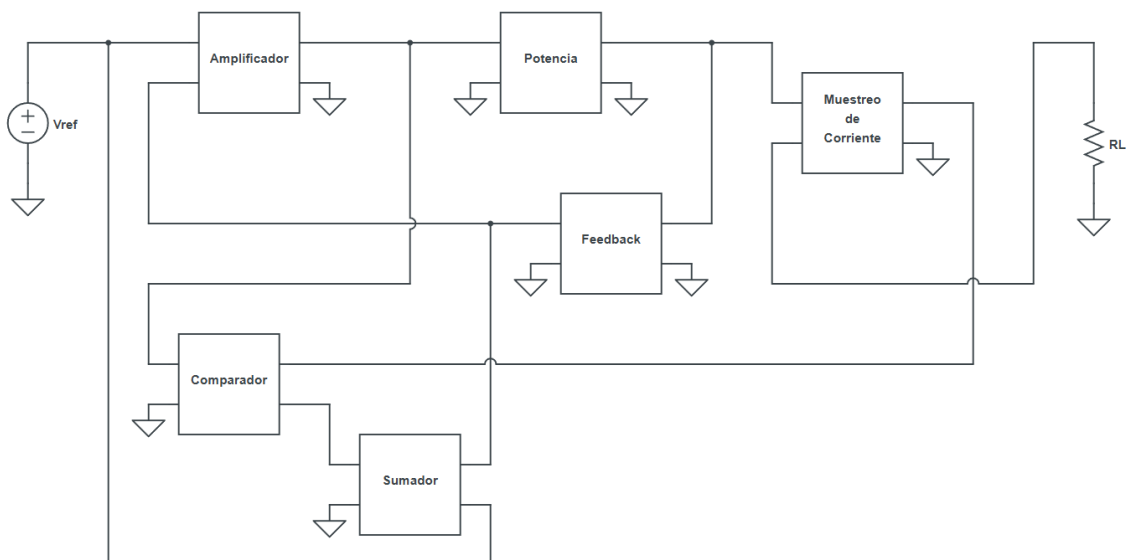


Figura 2: Diagrama en bloques del LDO.

## 1.2. Análisis de bloques

### 1.2.1. Par diferencial

En esta etapa se busca obtener un circuito estable con desapareamientos mínimos, logrando a su vez la mayor amplificación posible. En principio se parte de la idea de tener los transistores perfectamente apareados por lo que al momento de elegir los transistores, se buscan complementarios NPN-PNP.

Ya que la siguiente etapa (1.2.2) tiene como máximo ganancia unitaria, se debe buscar maximizar la ganancia en esta etapa. Para lograr esto, en vez de utilizar

carga resistiva en cada rama del diferencial, se opta por agregar una carga activa, en este caso, una fuente espejo simple. Con esta modificación se logra aumentar la resistencia de salida del par diferencial, e incluso, mejorar el apareamiento del circuito al imponer la misma corriente en ambas ramas. Teniendo esto en cuenta, se buscan transistores con una  $V_A$  alta (mejorando así la  $r_o$ ), y un  $\beta$  grande para lograr maximizar la amplificación del par diferencial para la configuración elegida.

Siguiendo la misma línea de pensamiento, con el fin de obtener un circuito más estable, se polariza el diferencial con una fuente de corriente. Utilizando una fuente espejo simple que implica una mayor impedancia, se logra que mejore la relación de rechazo de modo común, sin afectar la ganancia del diferencial.

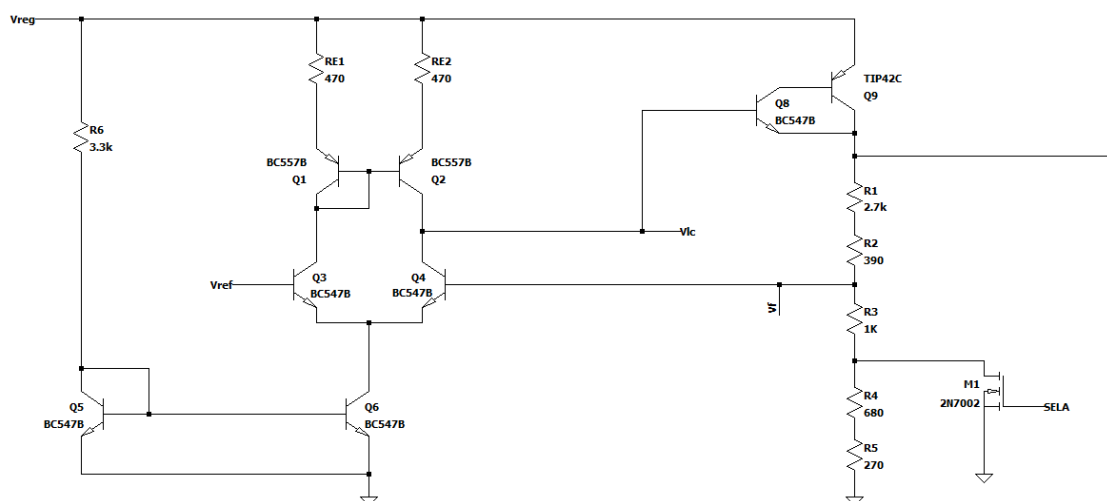


Figura 3: Bloque amplificador del circuito.

### 1.2.2. Etapa de potencia

A la salida *single ended* del par diferencial se conecta un par de transistores de paso en configuración cuasi-darlington tipo N. Para esta etapa se utiliza un transistor NPN TIP41C y uno PNP TIP42C. Estos transistores tienen la ventaja de tener una tensión de *Early* ( $V_A$ ) muy alta, lo cual implica que la tensión  $V_{CE}$  varía muy poco con la corriente como se ve en la figura 4, permitiendo entregarle la corriente necesaria a la carga sin variar la tensión de salida.

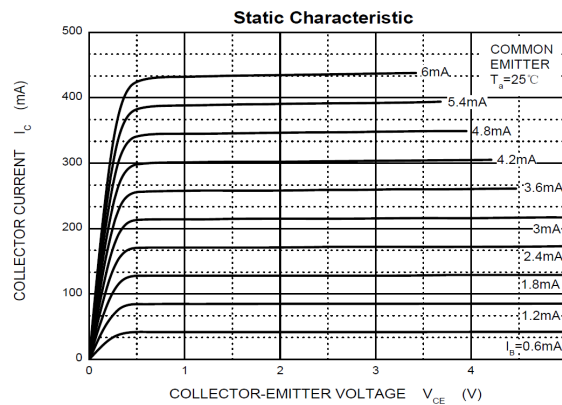


Figura 4: Curva de  $I_C$  respecto de  $V_{ce}$  para los transistores TIP41 y TIP42.

En cuanto a la configuración, se opta por un Darlington ya que a la salida de este regulador se espera una corriente de trabajo de 500 mA, pero en la salida del par diferencial se obtiene una corriente mucho menor. Esta configuración permite aumentar la corriente de salida del par diferencia  $\beta^2$  veces.

### 1.2.3. Bloque realimentador

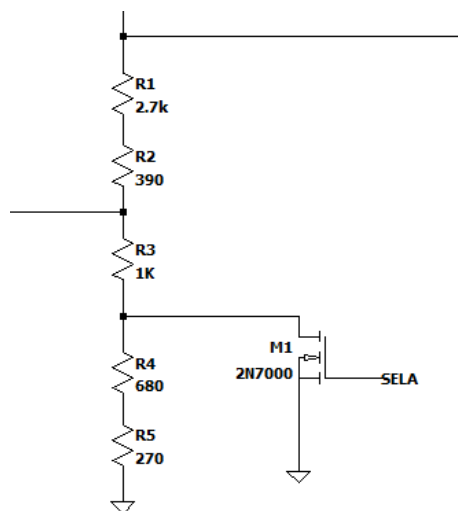


Figura 5: Bloque de realimentación.

A la salida del transistor de potencia, además de la carga y el bloque controlador de corriente, se coloca un divisor resistivo que muestrea parte de la tensión de salida

y la suma a la entrada del par diferencial. Idealmente el divisor resistivo debe lograr que se sume una tensión lo más parecida posible a  $V_{ref}$ . Esta configuración cuenta con un N-MOSFET que se encarga de adaptar la impedancia para obtener 3,3 V o 5 V según corresponda. Cuando la entrada *SELA* del LDO supera la tensión  $V_T \cong 1$  V del transistor, éste entra en saturación y habilita un camino de menor impedancia que los resistores.

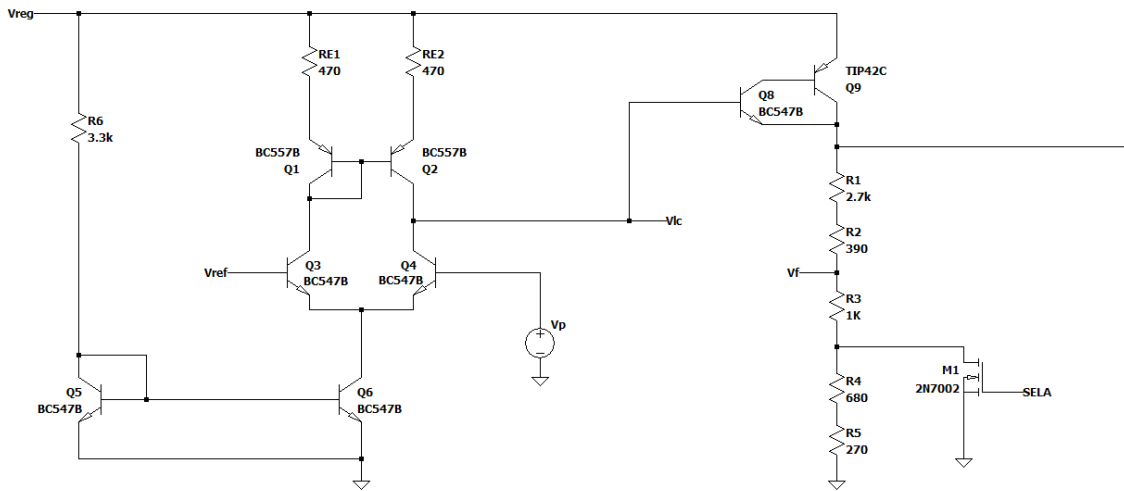


Figura 6: Esquemático del calculo teórico de la ganancia a lazo abierto  $a$ .

Dado entonces que el amplificador está realimentado, la ganancia del mismo a lazo cerrado va a estar dada por la siguiente ecuación:

$$A = \frac{a}{1 + a \cdot f}$$

Realizando los cálculos teóricos la ganancia del par diferencial se puede expresar como:

$$\text{Para } V_o = 3,3 \text{ V : } a_{vd} = \frac{gm_4 \cdot [ro_2 // (r_{\pi Dar} + \beta_{Dar} \cdot (5 \text{ k}\Omega // R_L))]}{2}$$

$$\text{Para } V_o = 5 \text{ V : } a_{vd} = \frac{gm_4 \cdot (ro_2 // (r_{\pi Dar} + \beta_{Dar} \cdot (4,09 \text{ k}\Omega // R_L))]}{2}$$

Se ve que la ganancia por lo tanto depende del valor de  $R_L$ . En el mejor de los casos  $R_L \rightarrow \infty$ , es decir, se abre el circuito. Además, como  $\beta_{dar}$  es muy grande (aproximadamente 4000), mientras el LDO regula tensión la ganancia a lazo abierto es igual para ambas tensiones de salida.

$$a_{vd} \cong \frac{gm_4 \cdot r_{o2}}{2}$$

Considerando los siguientes valores de reposo, los parámetros de señal del amplificador diferencial y del transistor de paso resultan:

Parámetros de Señal				
	$I_{cq}$	$gm$	$r_\pi$	$r_o$
$Q_{1,2,3,4}$	0,85 mA	$34 \frac{\text{mA}}{\text{V}}$	8,5 k $\Omega$	118 k $\Omega$
$Q_{5,6}$	1,7 mA	$68 \frac{\text{mA}}{\text{V}}$	4,2 k $\Omega$	59 k $\Omega$

Con estos valores y teniendo en cuenta que la ganancia de la etapa de potencia es aproximadamente unitaria (por su configuración equivalente en colector común) la ganancia del LDO sin realimentar es:

$$a_v = 2006$$

Cuando la tensión *SELA* está desactivada ( $V_o = 3,3 \text{ V}$ ) la ganancia del bloque realimentador está dada por el siguiente divisor resistivo:

$$f = \frac{V_f}{V_o} = \frac{270 \Omega + 680 \Omega + 1 \text{ k}\Omega}{270 \Omega + 680 \Omega + 1 \text{ k}\Omega + 390 \Omega + 2,7 \text{ k}\Omega} = 0,39$$

$$a \cdot f = 2006 \cdot 0,39 = 782$$

En cambio, cuando la tensión *SELA* se activa ( $V_o = 5 \text{ V}$ ), se habilita el MOSFET pasa a actuar en trío (por la baja corriente que lo circula), por lo que su caída de tensión ( $V_{DS}$ ) es muy pequeña y resulta aproximadamente el siguiente divisor:

$$f = \frac{V_f}{V_o} = \frac{1 \text{ k}\Omega}{1 \text{ k}\Omega + 390 \Omega + 2,7 \text{ k}\Omega} = 0,244$$

$$a \cdot f = 2006 \cdot 0,244 = 489$$

Finalmente, sabiendo que  $a \cdot f \gg 1$  se puede aproximar entonces la ganancia del LDO a lazo cerrado como

$$A \cong \frac{1}{f}$$

$$\text{Para } V_o = 3,3 \text{ V : } A \cong \frac{1}{f} = 2,56$$

$$V_o \cong A \cdot V_{ref} \cong 3,3 \text{ V}$$

$$\text{Para } V_o = 5 \text{ V : } A \cong \frac{1}{f} = 4,09$$

$$V_o \cong A \cdot V_{ref} \cong 5 \text{ V}$$



#### 1.2.4. Muestreo de corriente

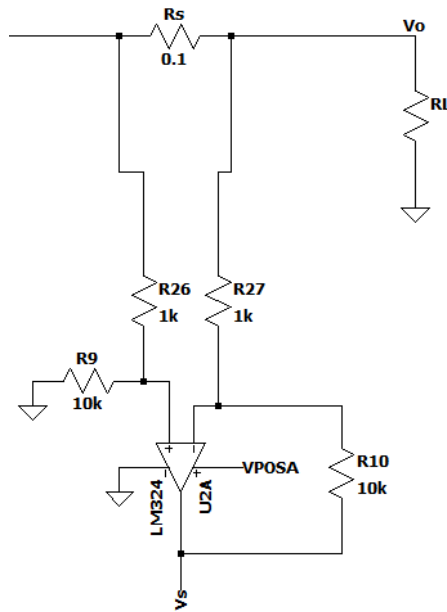


Figura 7: Muestreo de corriente y salida.

Se diseña el bloque de muestreo de tensión como se muestra en la figura 7. Se elige una  $R_s$  de  $0,1\Omega$ , cuya caída de tensión es tomada por un *opamp* con ganancia de 10. De esta forma, se puede traducir la corriente que circula en dicho resistor a una tensión que se pueda comparar con una referencia en el siguiente bloque. Esta etapa se compara contra la tensión de referencia en el bloque comparador con el fin de limitar la corriente para no superar los 750 mA.

### 1.2.5. Referencia de tensión

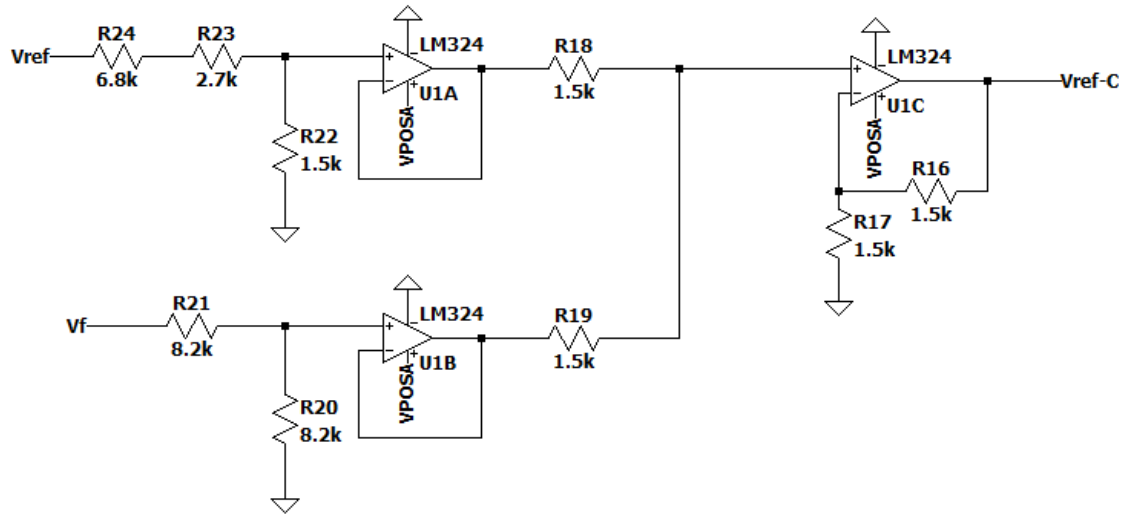


Figura 8: Bloque de referencia de tensión.

Se usan tres *opamps* para establecer una tensión de referencia que se pueda comparar con la tensión traducida de la corriente sobre la carga. La entrada de  $Q_3$  es fija:  $V_{ref}$  y mediante un divisor resistivo se la redujo a 200 mV. Ésta corresponde a la corriente mínima que se pide que circule por la carga. A su vez, se tomó la tensión de entrada del otro transistor  $Q_4$ , la cual es la tensión de *feedback*  $V_f$ . Esta tensión tiene un valor máximo de 1,2 V, por lo que el divisor resistivo a la entrada del *opamp*  $U_{1B}$  es tal que la tensión máxima que reciba sea de 500 mV. Luego, el *opamp*  $U_{1C}$  suma estas dos tensiones, por lo que la salida variaría entre 200 mV y 750 mV. Esto ocurriría idealmente pero los componentes no lo son y hay que tener en cuenta los desapareamientos de los transistores de los *opamps* que afectan a la ganancia. Esto implica que los seguidores no se comportan como tales, sino que incrementan la entrada. Para compensar esto, la rama que toma la tensión de  $V_{ref}$  no se la reduce a 200 mA sino a un valor un poco menor. De igual forma, en la rama que toma la tensión se aumentó el valor de la entrada al *opamp*. Con estos valores se llega a las corrientes de salida máxima y mínima pedidas.

### 1.2.6. Comparador

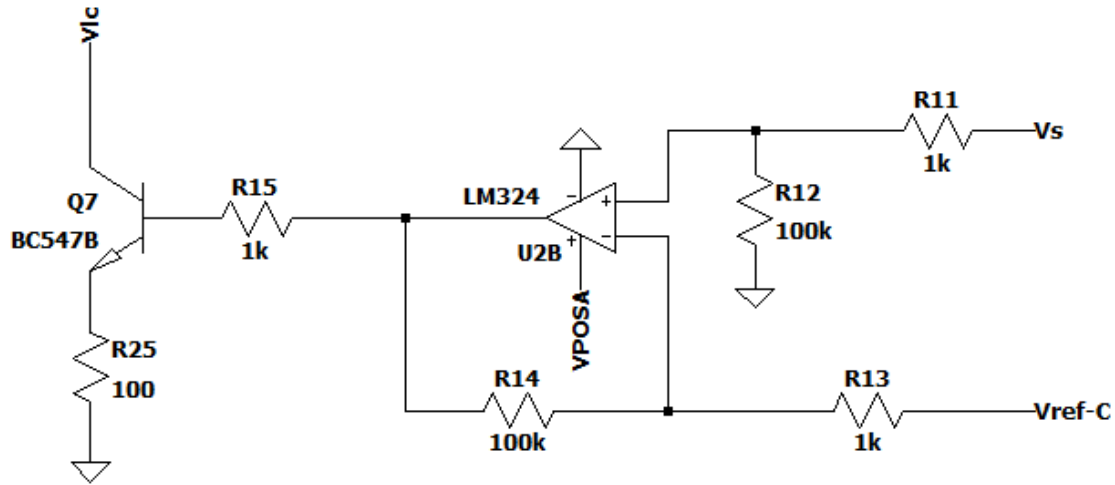


Figura 9: Bloque comparador y realimentación.

Este *opamp* ( $U_{2B}$ ) recibe las tensiones generadas por los dos bloques mencionados anteriormente y se encarga de compararlos. En su funcionamiento habitual el LDO regula tensión (3,3 V o 5 V estables a la salida) pero como protección se colocan estos últimos tres bloques que se encargan de limitar la corriente de salida a 750 mA como máximo. Este último *opamp* se encarga de generar una tensión de salida que ponga en MAD al transistor  $Q_7$  cuando la corriente a la salida intenta superar los 750 mA para que le reduzca la corriente a la base de transistor de paso y así controlar la corriente.

## 2. Simulación

### 2.0.1. Tensión de salida respecto a la carga

Con todas las consideraciones ya comentadas, se simula en *LTspice* la variación de tensión de salida respecto a la corriente sobre la carga como en la figura 10 mientras se varía el valor de  $R_L$ . En este gráfico queda claro el efecto del *foldback*. La tensión de salida es constante, por lo que la corriente en la carga debe aumentar mientras más chica es esta impedancia. Sin embargo, cuando la resistencia es tan chica que

se llega al tope establecido de corriente de 750 mA, se deja de controlar la tensión y se procede a controlar la corriente. De esta forma, ésta baja hasta aproximadamente 200 mA, cuando la carga se vuelve prácticamente nula por la que salida estaría a tierra.

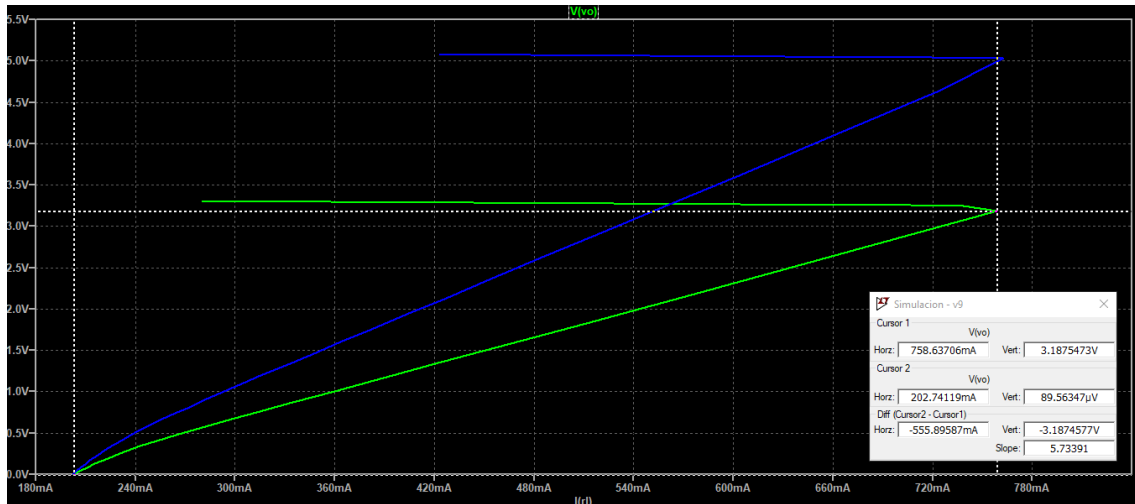


Figura 10: Gráfico de la tensión de salida  $V_o$  respecto de la corriente por la carga  $I_{RL}$ .

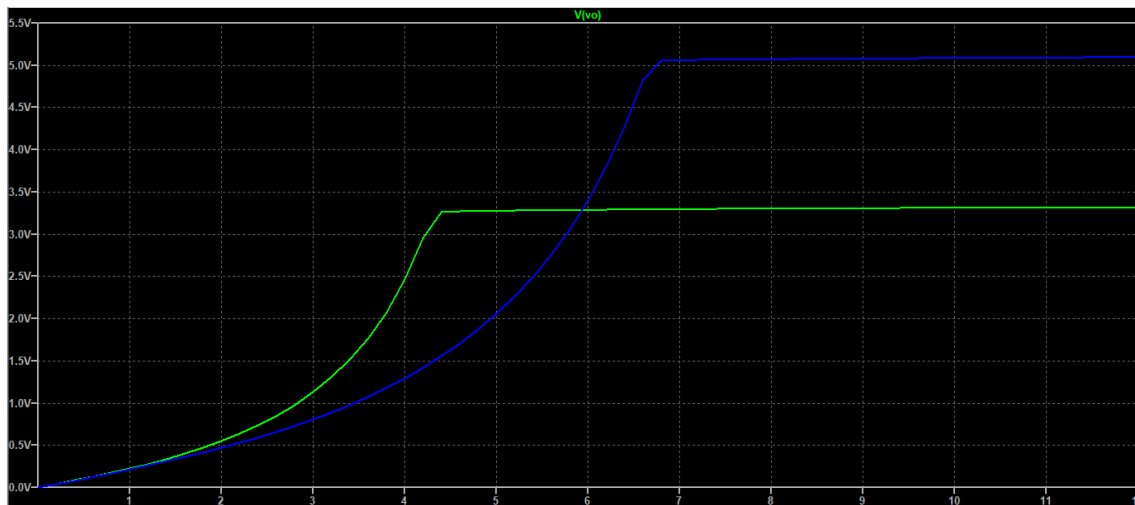


Figura 11: Gráfico de tensión de salida  $V_o$  con respecto de la carga.

Se ve el mismo efecto en la figura 11: cuando la carga es chica, la corriente que

la atraviesa es grande, por lo que se controla la corriente, provocando variaciones en la tensión. Pero luego, cuando se llega al valor de tensión de salida establecido, se deja de controlar la tensión y se procede a controlar la corriente. En el gráfico se aprecia como la salida se torna constante. Esto ocurre aproximadamente a partir de los  $4,5\Omega$  cuando la salida es  $3,3\text{ V}$  y  $6,6\Omega$  cuando se tiene una  $V_o = 5\text{ V}$ .

### 2.0.2. Tensión de salida respecto de la tensión de entrada

A su vez, también se tiene la recta de línea. Ésta corresponde a la variación de la tensión de salida versus la tensión de alimentación. Como se puede ver en la figura 12, la salida es estable, con una variación insignificante ante los cambios en la entrada.

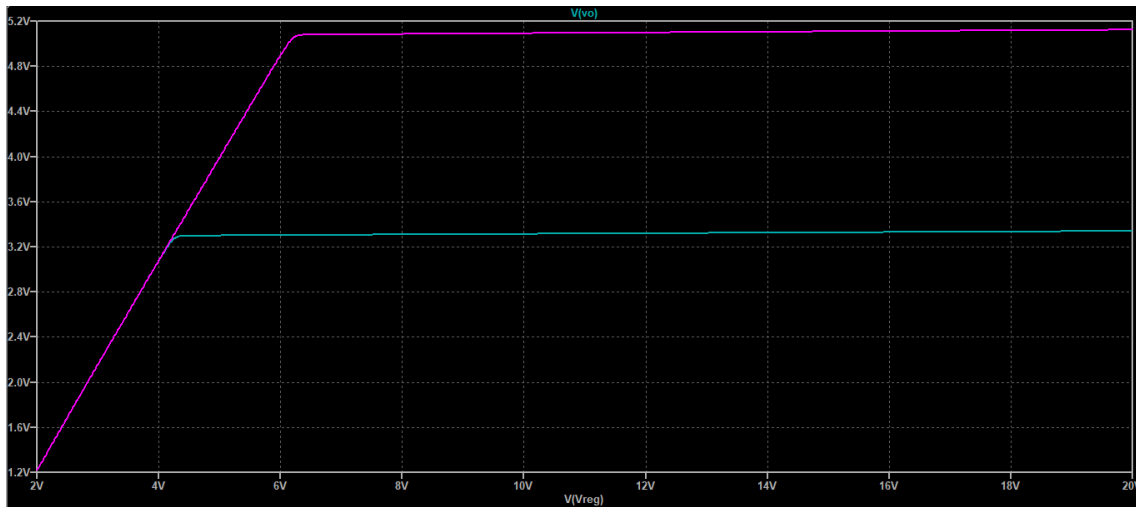
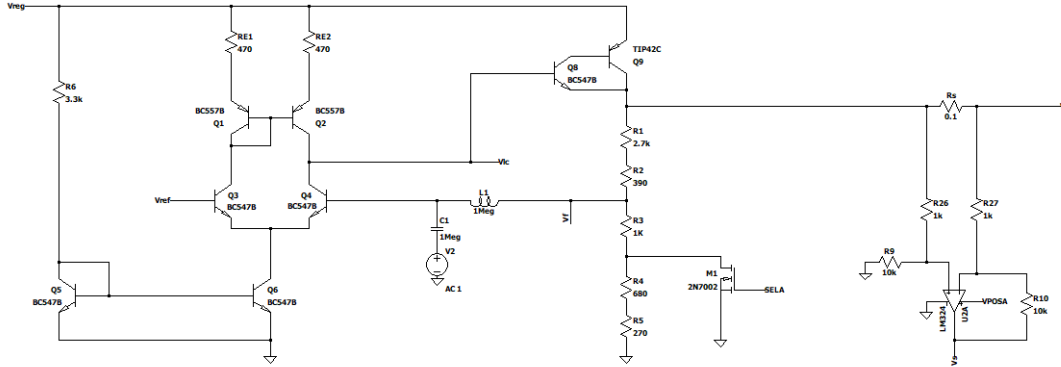


Figura 12: Gráfico de la tensión de salida  $V_o$  respecto a la variación de tensión  $V_{reg}$ .

### 2.0.3. Ganancia de lazo

Para simular la ganancia de lazo  $T$ , se abre el lazo de realimentación con un inductor y un capacitor de gran impedancia, como se observa en la figura 13. De esta forma se logra romper el lazo en señal, pero sin afectar la polarización del circuito. Por otro lado, al igual que en los cálculos teóricos, el mejor caso se obtiene tomando  $R_L \rightarrow \infty$ , por lo tanto se realiza la simulación a circuito abierto.

Figura 13: Esquemático de la simulación de lazo  $T$ .

Como se observa en la figura 14 se obtiene una ganancia de 57 dB para  $V_o = 3,3\text{ V}$  y 53 dB para  $V_o = 5\text{ V}$ , es decir una ganancia de  $T = 708$  y  $T = 447$  respectivamente siendo estos similares a los calculados previamente en la sección 1.2.3.

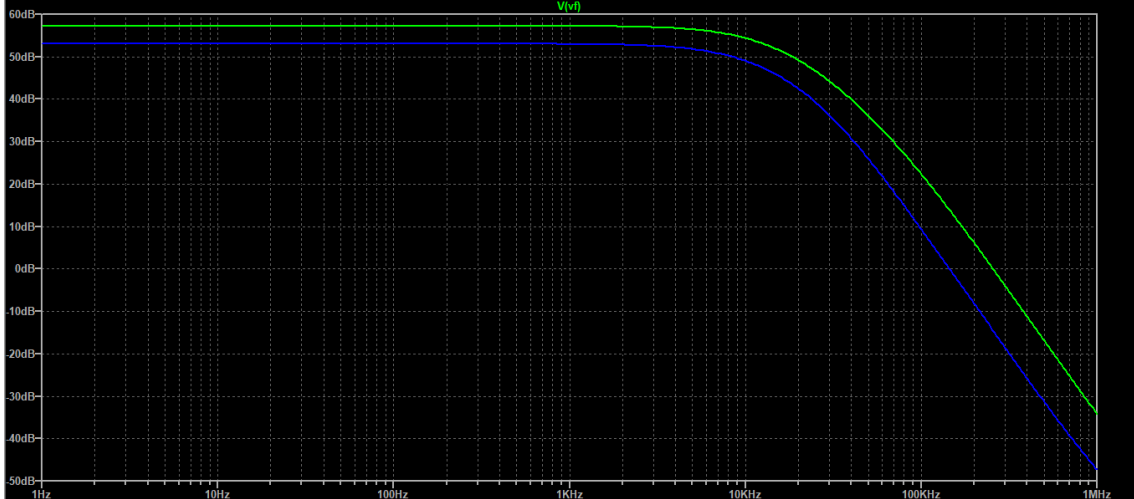


Figura 14: Simulación de la ganancia de lazo.

Por otro lado, se analiza el peor caso posible para verificar que el amplificador funciona correctamente incluso para valores bajos de la carga. Se extraen esos valores de la figura 11: para la salida de 5 V, el mínimo valor de la carga para la región donde se regula la tensión es aproximadamente de  $7\Omega$ . A su vez, esta impedancia

corresponde a  $5\Omega$  para  $V_o = 3,3\text{ V}$ .

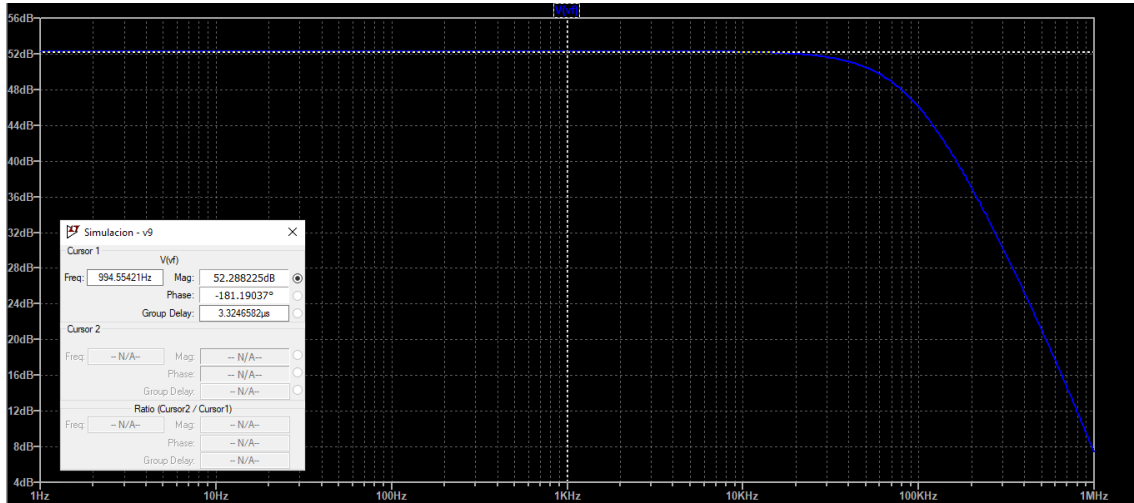


Figura 15: Simulación de la ganancia para  $V_o = 3,3\text{ V}$  con  $R_L = 5\Omega$ .

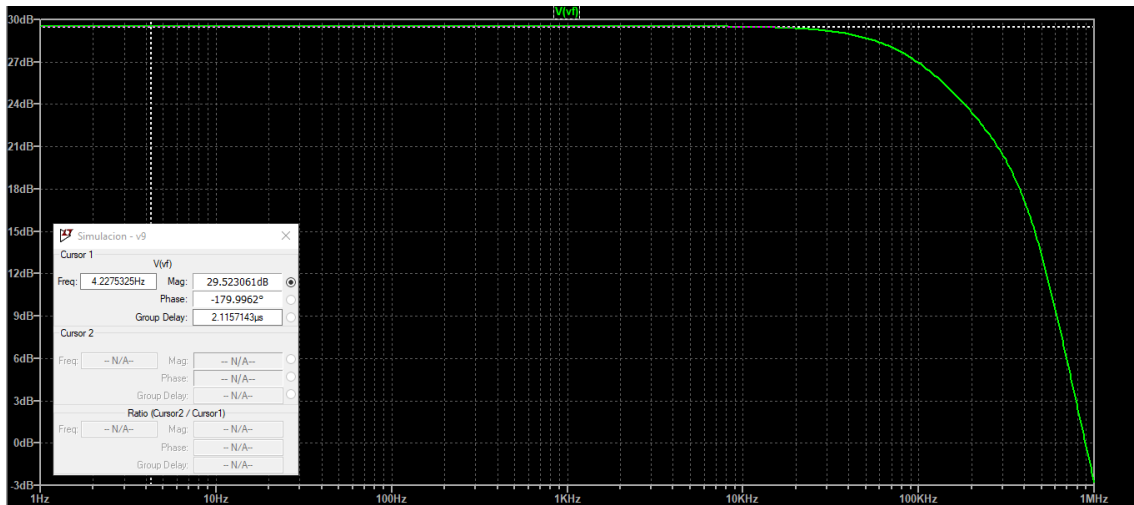


Figura 16: Simulación de la ganancia para  $V_o = 5\text{ V}$  con  $R_L = 7\Omega$ .

En las figuras 15 y 16 se aprecia que a pesar de estar en el peor caso posible, con valores bajos de resistencia de la carga, aún así la ganancia  $T$  es al menos un orden de magnitud mayor a uno.

### 3. Esquemático del PCB

Para realizar el esquemático del PCB, es necesario modificar los símbolos de los operacionales considerando que en cada DIP hay cuatro *opamps*. Por esta razón utilizamos dos encapsulados LM324, teniendo en cuenta que los tres operacionales restantes se ponen en corto para evitar sobrecalentamiento en el encapsulado. Por otro lado, las fuentes de tensión se reemplazan por pines por los cuales se proporcionará la tensión esperada.



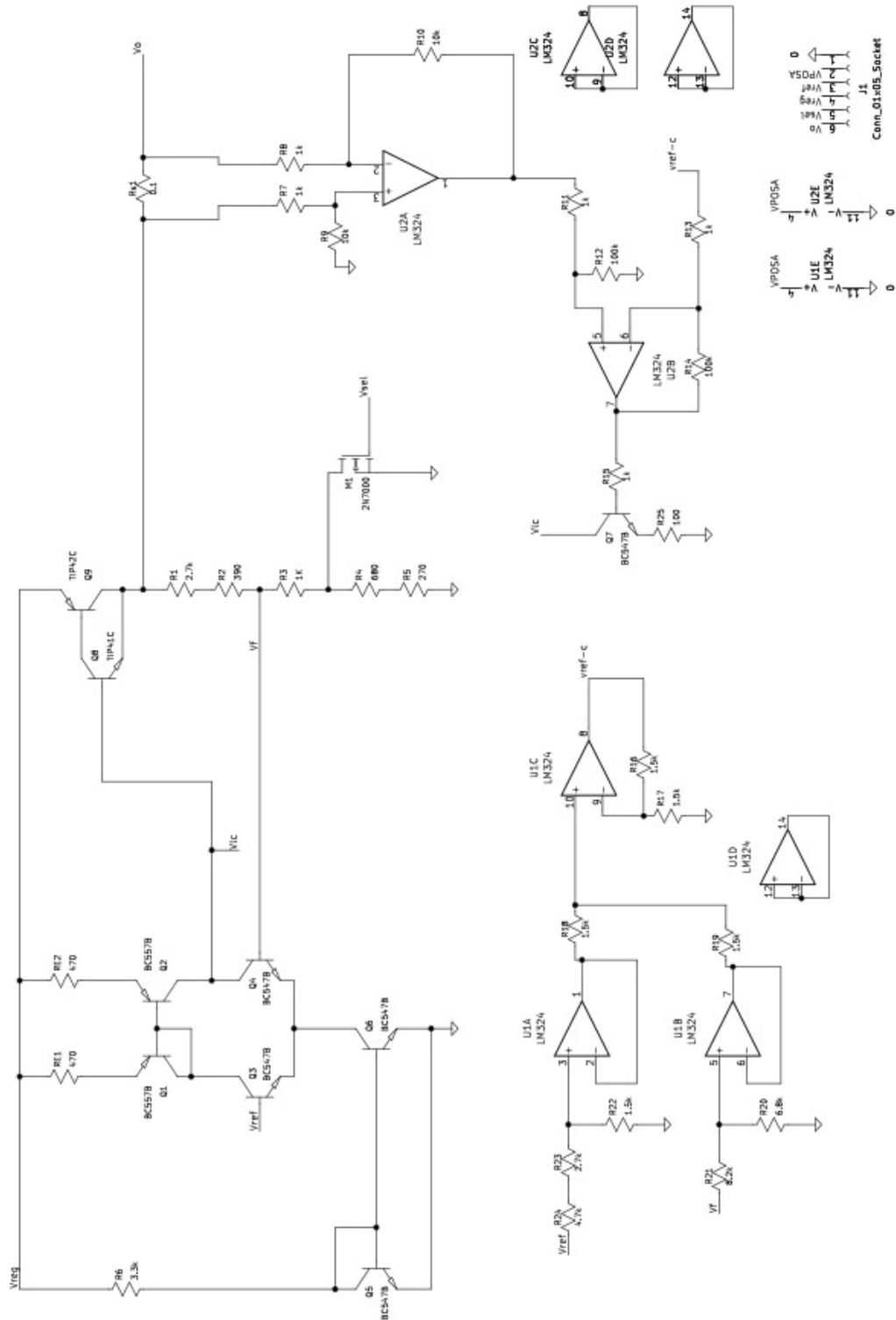


Figura 17: Esquemático del PCB