

数字逻辑实验指导

信息工程学院

关文革、左瑞欣

实验 1 芯片的认识与 Quartus 的使用

1. 实验目的

- (1) 认识芯片。
- (2) 掌握基于 Quartus 软件的开发流程。

2. 实验内容

用系统提供的基本元件实现异或门，掌握基于 Quartus 开发平台设计简单门电路、建立波形文件，实现逻辑电路的仿真与分析。

3. 实验要求

- (1) 给出异或门的真值表，依据真值表写出异或门的逻辑表达式，画出用基本逻辑门（与门、或门、非门）实现异或门的逻辑电路图。
- (2) 记录实验的全部过程，如编译中出现的错误，分析产生错误的原因，给出改正的方法，记录下测试的结果并进行分析说明。

4. 实验报告

学生提交的实验报告必须有原理图、仿真结果及分析，实验体会。

实验 2 用 VHDL 设计组合逻辑电路（1）

1. 实验目的

- (1) 掌握组合逻辑电路的特点。
- (2) 掌握利用 VHDL 描述组合逻辑电路的方法。

2. 实验基本内容

使用 VHDL 设计有三个裁判的多数表决器，要求根据电路的逻辑函数用并行赋值语句实现。建立波形文件，实现逻辑电路的仿真与分析。

3. 实验要求

- (1) 列出表决器的逻辑函数式。
- (2) 给出表决器的 VHDL 语言描述，要求根据电路的逻辑函数式用并行赋值语句实现。
- (3) 记录实验的全部过程，如编译中出现的错误，分析产生错误的原因，给出改正的方法，记录下测试的结果并进行分析说明。

4. 实验报告

学生提交的实验报告必须有多数表决器的真值表、逻辑函数表达式、表决器的 VHDL 语言描述、仿真结果及分析，实验体会。

实验3 用 VHDL 设计组合逻辑电路（2）

1. 实验目的

- (1) 掌握组合逻辑电路的特点。
- (2) 掌握利用 VHDL 语言描述组合逻辑电路的方法。
- (3) 掌握一位全加器的逻辑原理

2. 实验基本内容

使用 VHDL 设计一位全加器，要求使用 CASE 语句实现。建立波形文件，实现逻辑电路的仿真与分析。

3. 实验要求

- (1) 给出一位全加器的真值表。
- (2) 给出一位全加器的 VHDL 描述，要求根据真值表使用 CASE 语句实现。
- (3) 记录实验的全部过程，如编译中出现的错误，分析产生错误的原因，给出改正的方法，记录下测试的结果并进行分析说明。

4. 实验报告

学生提交的实验报告必须有一位全加器器的真值表、VHDL 语言描述、仿真结果及分析，实验体会。

实验 4 组合逻辑电路的综合设计

1. 实验目的

- (1) 掌握串行进位加法器的工作原理
- (2) 掌握层次结构设计方法
- (3) 掌握利用原理图设计复杂组合逻辑电路的方法。

2. 实验基本内容

使用画原理图的方法，使用 4 个全加器构成串行进位的加法器。建立波形文件，实现逻辑电路的仿真与分析。

3. 实验步骤

使用原理图的方法设计时，首先将一位全加器设置成可调用的底层元件，方法是：使用 VHDL 设计一位全加法，选择 File—Create/Update---Create Symbol Files for Current File 命令，将当前设计文件变成一个元件图符存盘，以待在高层次设计中调用。之后，建立四位加法器的顶层文件，通过选择 File—New 命令并选择 Block Diagram/Schematic File 选项打开原理图编辑窗口，调出元件，依据设计的原理图连接四位加法器电路图。

4. 实验要求

- (1) 画出用 4 个全加器构成串行进位加法器的原理图。
- (2) 记录实验的全部过程，如编译中出现的错误，分析产生错误的原因，给出改正的方法，记录下测试的结果并进行分析说明。

5. 实验报告

学生提交的实验报告必须有 4 个全加器构成串行进位加法器的原理图、仿真结果及分析，实验体会。

实验 5 用 VHDL 设计触发器

1. 实验目的

- (1) 掌握触发器的逻辑功能
- (2) 掌握描述触发器的特性表。
- (3) 掌握利用 VHDL 设计触发器的方法。

2. 实验基本内容

使用 VHDL 设计一个 D 触发器，在时钟脉冲的上升沿触发，有一个低电平有效的异步复位端。建立波形文件，实现逻辑电路的仿真与分析。

3. 实验要求

- (1) 画出 D 触发器的框图，给出每个引脚的名称及功能说明。
- (2) 给出 D 触发器的特性表。
- (3) 依据框图和特性表，写出 D 触发器的 VHDL 程序。
- (4) 记录实验的全部过程，如编译中出现的错误，分析产生错误的原因，给出改正的方法，记录下测试的结果并进行分析说明。

4. 实验报告

学生提交的实验报告必须有设计的 D 触发器的框图、特性表、VHDL 程序、仿真结果及分析，实验体会。

实验 6 用 VHDL 设计寄存器

1. 实验目的

- (1) 掌握时序逻辑电路的特点。
- (2) 掌握寄存器的逻辑功能及其特性表。
- (3) 进一步加深层次结构的设计方法。
- (4) 掌握使用元件例化语句进行层次结构的设计方法。

2. 实验基本内容

使用 D 触发器构成 8 位寄存器，在时钟脉冲的上升沿置数，有一个低电平有效的异步复位端。建立波形文件，实现逻辑电路的仿真与分析。

3. 实验要求

- (1) 画出由 D 触发器构成 8 位寄存器的框图，给出每个引脚的名称及功能说明。
- (2) 给出寄存器的特性表。
- (3) 使用元件例化语句，写出寄存器的 VHDL 程序。
- (4) 记录实验的全部过程，如编译中出现的错误，分析产生错误的原因，给出改正的方法，记录下测试的结果并进行分析说明。

(1) 实验报告

学生提交的实验报告必须有设计的寄存器的框图、特性表、VHDL 程序、仿真结果及分析，实验体会。

实验 7 用 VHDL 设计计数器

1. 实验目的

- (1) 掌握计数器的工作原理。
- (2) 掌握计数器的功能表及状态转换图。

2. 实验基本内容

设计一个 4 位计数器，具有低电平有效的异步清 0 端，同步计数的功能。
建立波形文件，实现逻辑电路的仿真与分析。

3. 实验要求

- (1) 画出 4 位计数器的框图，给出每个引脚的名称及功能说明。
- (2) 给出计数器的功能表。
- (3) 画出状态转换图。
- (4) 写出计数器的 VHDL 程序。
- (5) 记录实验的全部过程，如编译中出现的错误，分析产生错误的原因，
给出改正的方法，记录下测试的结果并进行分析说明。

4. 实验报告

学生提交的实验报告必须有 4 位计数器的框图、功能表、状态转换图、VHDL 程序、仿真结果及分析，实验体会。

实验 8 时序逻辑电路的综合设计

1. 实验目的

- (1) 掌握状态机的结构。
- (2) 掌握状态机的状态转换图。
- (3) 掌握用 VHDL 描述状态机的方法。

2. 实验基本内容

使用状态机设计一个 101 序列检测器。建立波形文件，实现逻辑电路的仿真与分析。

3. 实验要求

- (1) 画出状态机的结构，说明选择 Mealy 状态机还是 Moore 状态机。
- (2) 画出 101 序列检测器的框图，给出每个引脚的名称及功能说明。
- (3) 画出 101 序列检测器的状态转移图。
- (4) 依据状态转换图，写出 101 序列检测器的 VHDL 描述。
- (5) 记录实验的全部过程，如编译中出现的错误，分析产生错误的原因，给出改正的方法，记录下测试的结果并进行分析说明。

4. 实验报告

学生提交的实验报告必须有状态机的结构、101 序列检测器的框图、状态转换图、VHDL 程序、仿真结果及分析，实验体会。

拓展实验：

编码器与七段显示译码器的应用

1. 实验目的

- (1) 理解优先编码器 74148 和七段字形译码器 7448 的工作原理及使用。
- (2) 熟悉七段数码管的工作原理。
- (3) 进一步熟悉 Quartus 软件的使用，掌握层次化设计的全过程。

2. 实验内容

设医院有 8 个病房和一个护理监控室，每个病房有一个按钮，病房的权利最高为 7#，次之 6#，以此类推，0#病房权利最低。设计一个电路，当有病房按下按钮时，在护理监控室可用七段数码管显示优先级高的病房编号。

3. 实验要求

采用画原理图的方法设计。要求使用优先编码器 74148 和七段字形译码器 7448 及必要的逻辑门电路。建立波形文件，实现逻辑电路的仿真与分析。