



**МИНОБРНАУКИ РОССИИ**  
**федеральное государственное бюджетное образовательное учреждение**  
**высшего образования**  
**«Московский государственный технологический университет «СТАНКИН»**  
**(ФГБОУ ВО «МГТУ «СТАНКИН»)**

**Институт автоматизации  
и робототехники**

**Кафедра промышленная электроника и  
интеллектуальные цифровые системы**

**ОТЧЕТ О ВЫПОЛНЕНИИ**  
**ЛАБОРАТОРНОЙ РАБОТЫ ПО ДИСЦИПЛИНЕ**  
**«Электротехника, электроника и схемотехника»**

СТУДЕНТА 3 КУРСА бакалавриата ГРУППЫ ИДБ-18-01  
(уровень профессионального образования)

**Шубина Анастасия**

**НА ТЕМУ**  
**Триггеры**

**Вариант №25**

Направление: 09.03.01 Информатика и вычислительная техника  
Профиль подготовки: Программное обеспечение средств вычислительной техники и  
автоматизированных систем

Отчет сдан «\_\_\_\_\_» \_\_\_\_\_ 20\_\_ г.

Оценка \_\_\_\_\_

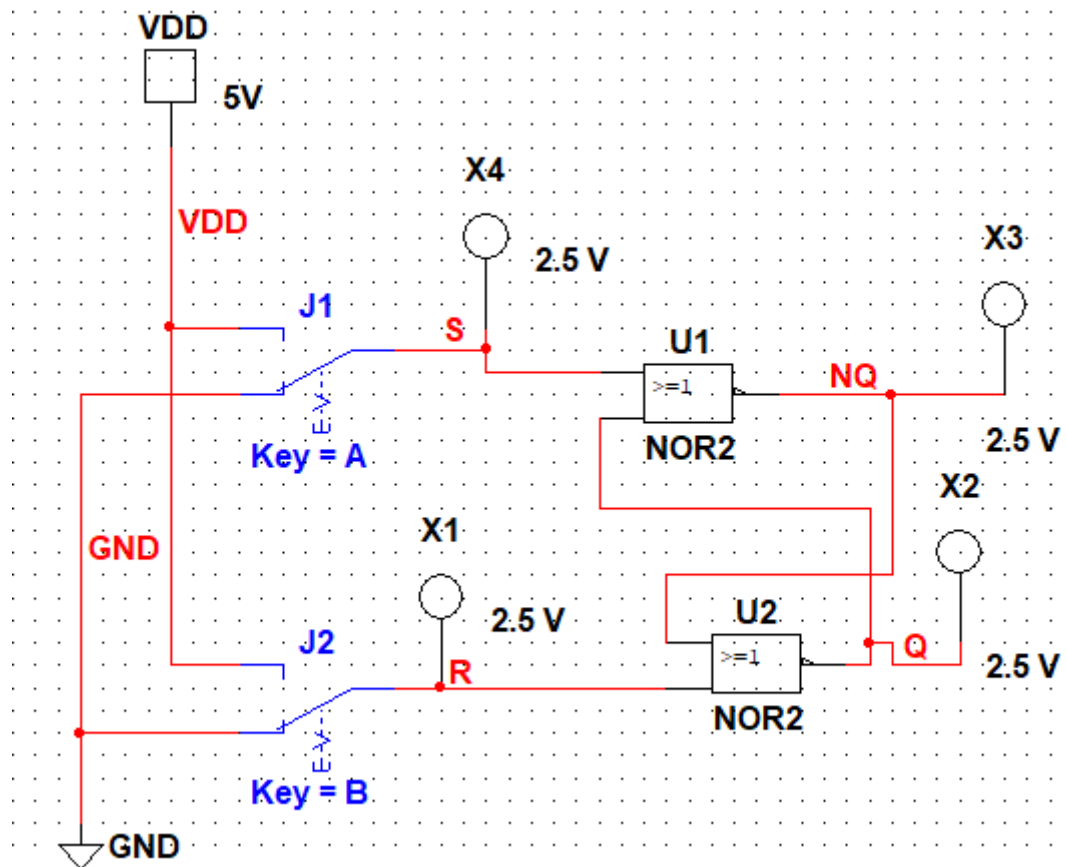
Преподаватель Николай Александрович Хлебалин \_\_\_\_\_  
(Ф.И.О., должность, степень, звание.) (подпись)

**МОСКВА 2020**

# Исследование RS – триггеров

## 1.1 Исследование устройства и работы асинхронного RS – триггера на логических элементах ИЛИ - НЕ

Построим модель для исследования работы асинхронного RS - триггера на логических элементах ИЛИ – НЕ:



**Рис. 1** Схема для моделирования асинхронного RS – триггера на логических элементах ИЛИ – НЕ

Задавая комбинации входных переменных с помощью ключей, по засвечиванию пробников заполним таблицу триггера.

S	R	NQ	Q	Режим
0	0	1	0	хранение предыдущего состояния
0	1	1	0	установка триггера в 1
1	0	0	1	установка триггера в 0
0	0	0	1	хранение предыдущего состояния
1	1	0	0	запрещенное состояние

**Таб. 1** Переключений (истинности, состояний, переходов) RS-триггера ИЛИ-НЕ

### Асинхронные модели

Устройство, меняющее своё состояние немедленно при изменении команды на логических портах, называют асинхронным триггером. Он имеет в своём составе только порты: R (сброс) и S (установка). Ограничения для пользования подобными схемами связано с соперничеством между сигналами, которые при попадании на разные входы RS-триггера движутся разными путями, как бы состязаясь между собой. При этом возникают временные задержки и сдвиги, вызванные разными причинами: изменения температуры, долгий срок службы и прочее. Такая «гонка» вызывает частые ошибочные переворачивания ячейки.

Тактовая синхронизация в данном случае не эффективна, потому асинхронные ячейки применяются в качестве асинхронных счётчиков, различных ключей, делителей частоты и им подобных схемных решений.

Рис. Асинхронные модели

## RS-триггеры

Простейшая функциональная схема **RS-триггера** в базе ИЛИ-НЕ приведена на рис. 7.1,а. Здесь  $R$  (от англ. *Reset* - сброс) - вход сброса триггера в состояние логического нуля,  $S$  (от англ. *Set* - устанавливать) - вход установки триггера в логическую единицу,  $Q$  - прямой выход триггера (состояние  $Q = 1$  считается для триггера единичным, а противоположное, при  $Q = 0$ , - нулевым),  $\bar{Q}$  - инверсный выход триггера.

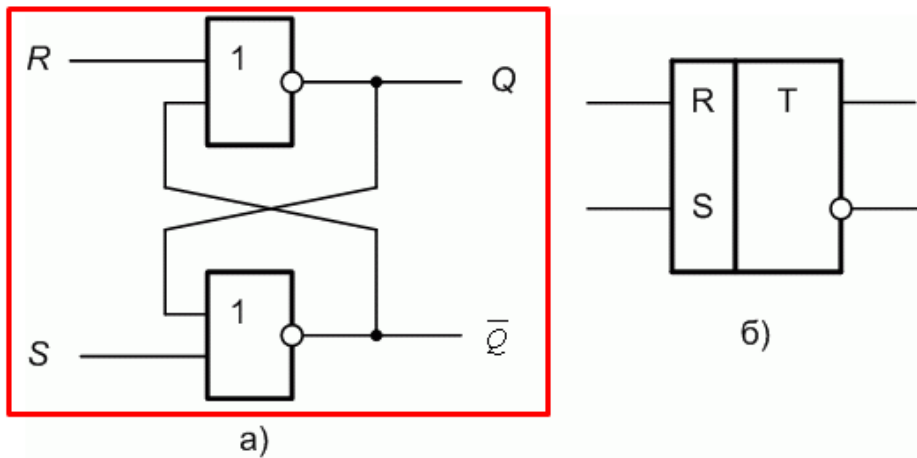


Рис. 7.1. RS-триггер в базе ИЛИ-НЕ: а - функциональная схема; б - УГО

Рис.2. Схема асинхронного RS – триггера на логических элементах ИЛИ – НЕ

Подключаем логический анализатор XLA1

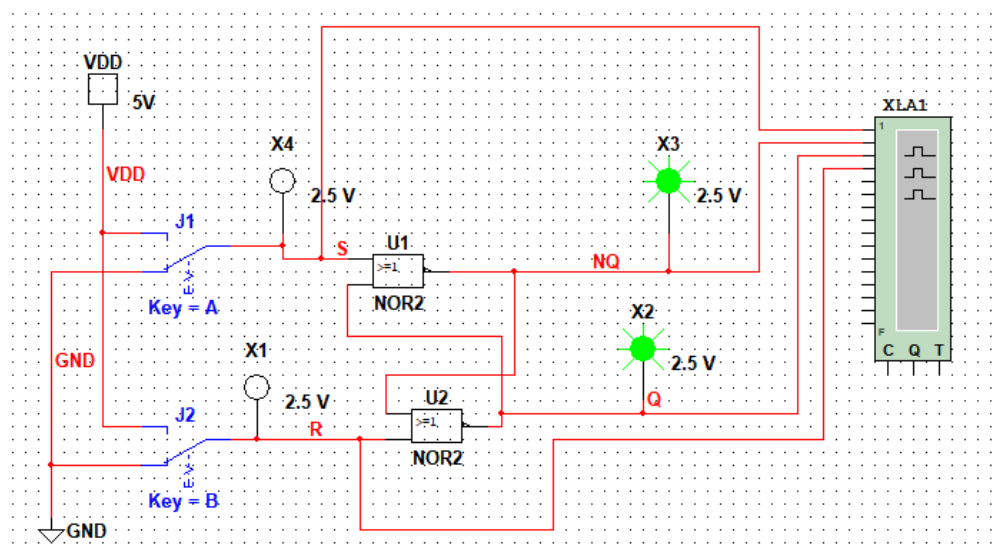
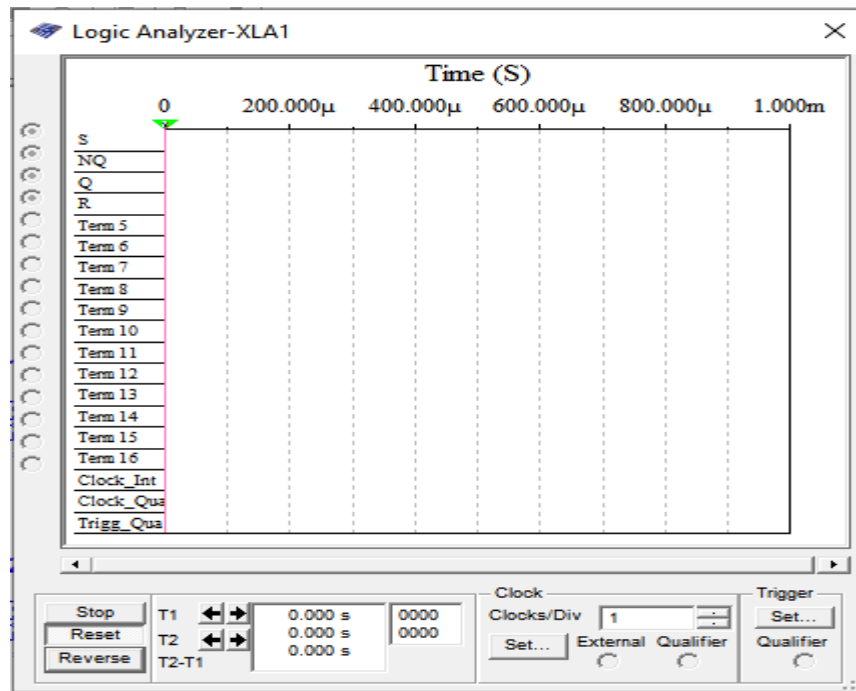
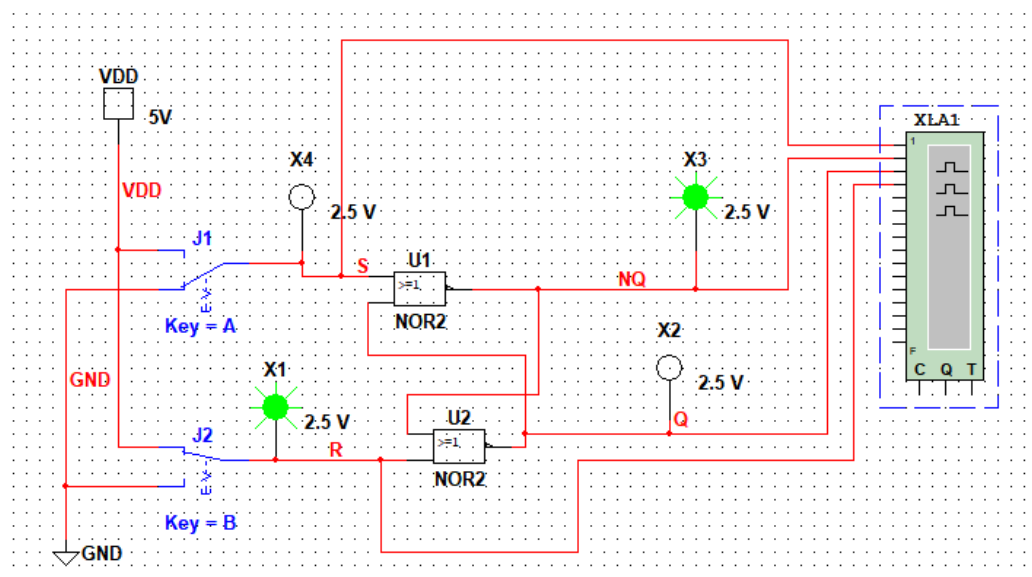


Рис. 3 Схема для моделирования асинхронного RS – триггера на логических элементах ИЛИ – НЕ при  $R = 0$ ,  $S = 0$



**Рис. 4** Временная диаграмма при  $R = 0$ ,  $S = 0$

Временная диаграмма пустая, так как предыдущего значения не было.



**Рис. 5** Схема для моделирования асинхронного RS – триггера на логических элементах ИЛИ – НЕ при  $R = 1$ ,  $S = 0$

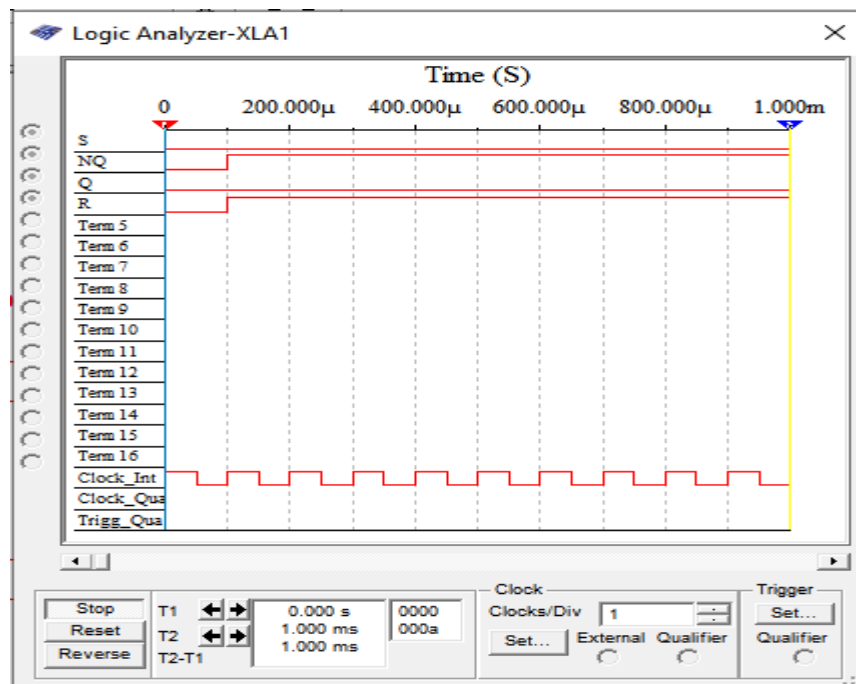


Рис. 6 Временная диаграмма при  $R = 1, S = 0$

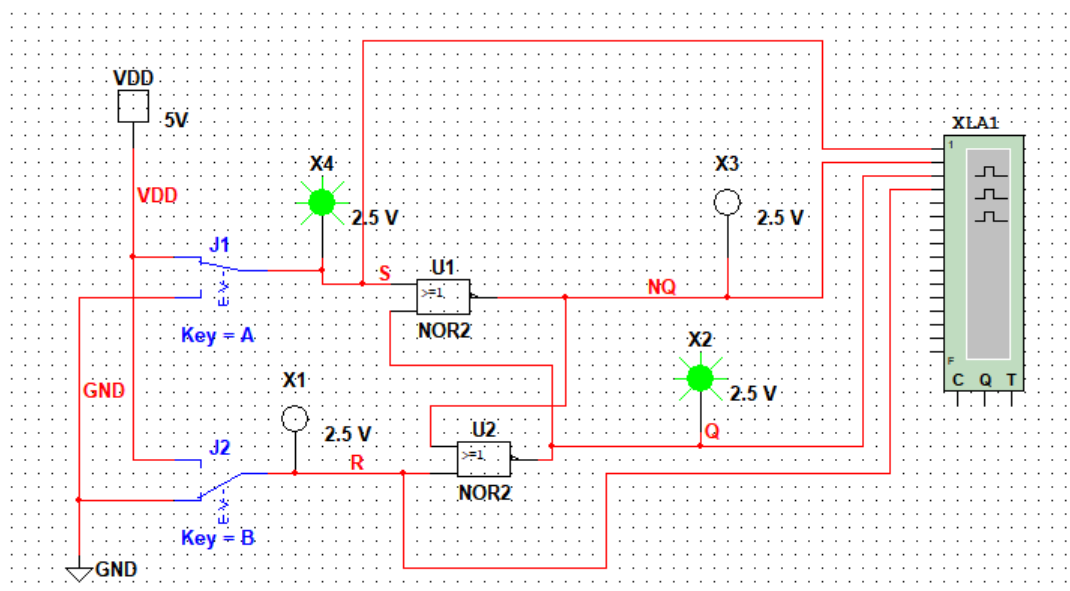


Рис. 7 Схема для моделирования асинхронного RS – триггера на логических элементах ИЛИ – НЕ при  $R = 0, S = 1$

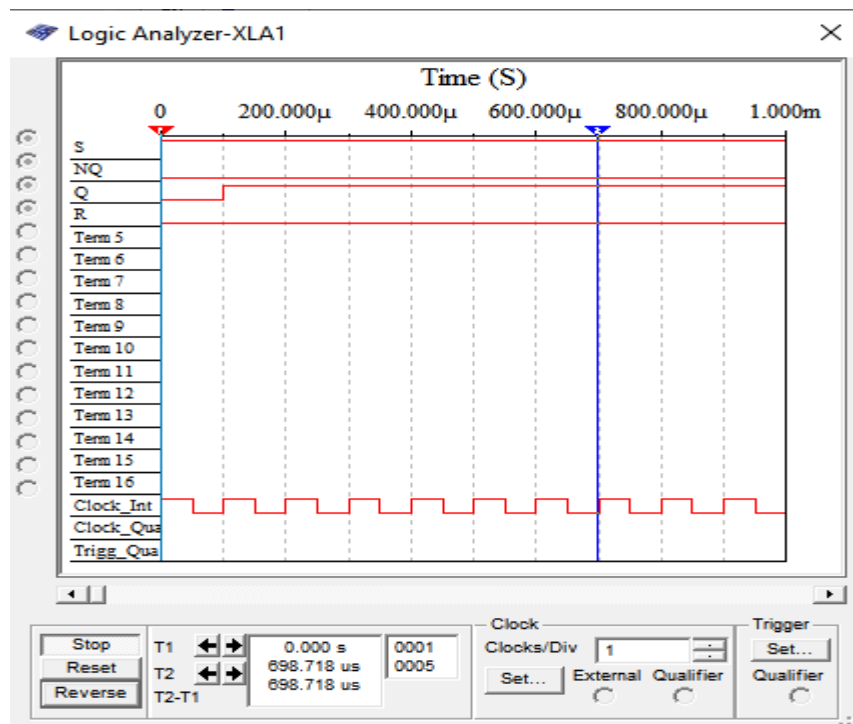


Рис. 8 Временная диаграмма при  $R = 0, S = 1$

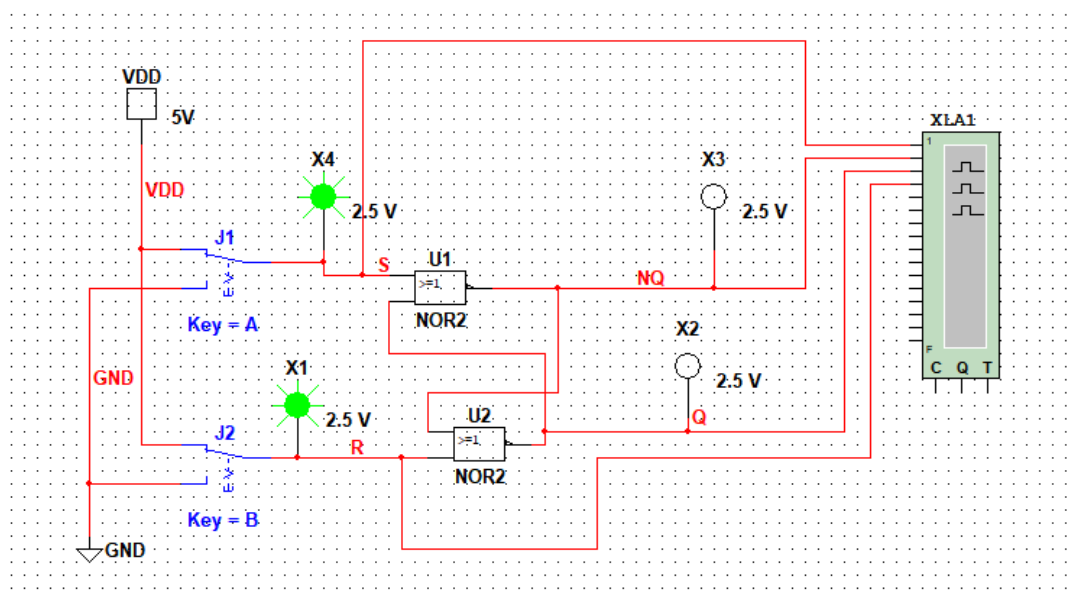


Рис. 9 Схема для моделирования асинхронного RS – триггера на логических элементах ИЛИ – НЕ при  $R = 1, S = 1$

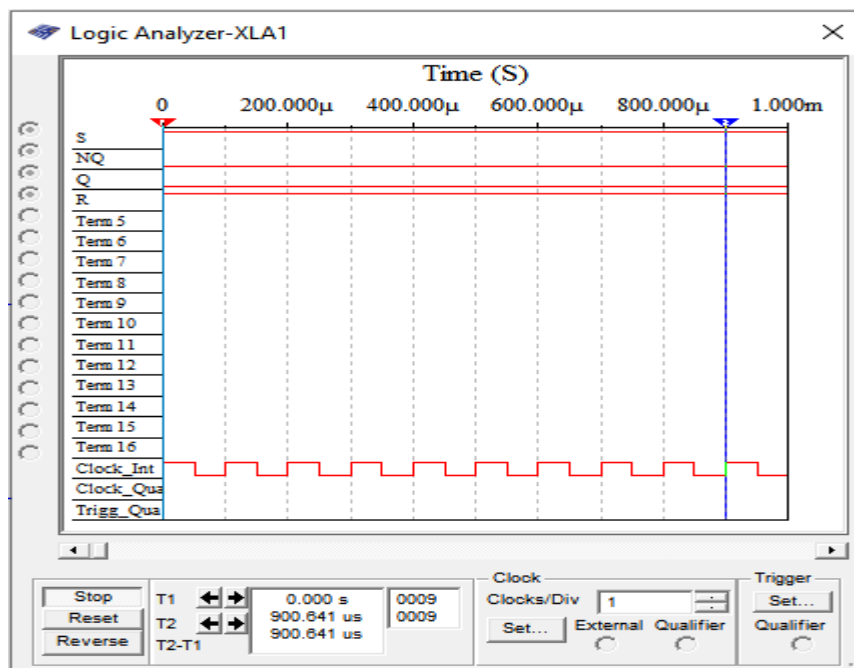


Рис. 10 Временная диаграмма при  $R = 1$ ,  $S = 1$

Теория:

S	R	$Q(t)$	$\overline{Q}(t)$	$Q(t+1)$	$\overline{Q}(t+1)$
0	0	0	1	0	1
0	0	1	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	1	0
1	1	0	1	не определено	
1	1	1	0	не определено	

$Q(t)$  - начальный момент времени

$Q(t+1)$  - последующий момент времени

Таблица 2



## CMOS Quad 3-State R/S Latches

High-Voltage Types (20-Volt Rating)  
Quad NOR R/S Latch - CD4043B  
Quad NAND R/S Latch - CD4044B

■ CD4043B types are quad cross-coupled 3-state CMOS NOR latches and the CD4044B types are quad cross-coupled 3-state CMOS NAND latches. Each latch has a separate Q output and individual SET and RESET inputs. The Q outputs are controlled by a common ENABLE input. A logic "1" or high on the ENABLE input connects the latch states to the Q outputs. A logic "0" or low on the ENABLE input disconnects the latch states from the Q outputs, resulting in an open circuit condition on the Q outputs. The open circuit feature allows common busing of the outputs.

The CD4043B and CD4044B types are supplied in 16-lead hermetic dual-in-line ceramic packages (F3A suffix), 16-lead dual-in-line plastic packages (E suffix), 16-lead small-outline packages (D, DR, DT, DW, DWR, and NSR suffixes), and 16-lead thin shrink small-outline packages (PW and PWR suffixes).

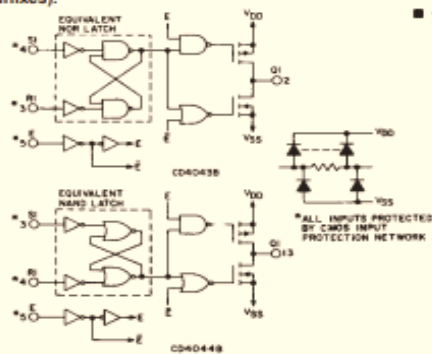


Fig. 1 - Logic diagrams.

### MAXIMUM RATINGS, Absolute-Maximum Values:

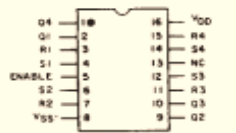
DC SUPPLY-VOLTAGE RANGE, ( $V_{DD}$ )	-0.5V to +20V
Voltages referenced to $V_{SS}$ Terminal)	
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5V to $V_{DD} + 0.5V$
DC INPUT CURRENT, ANY ONE INPUT	$\pm 10\text{mA}$
POWER DISSIPATION PER PACKAGE ( $P_D$ ):	
For $T_A = -55^\circ\text{C}$ to $+100^\circ\text{C}$	500mW
For $T_A = +100^\circ\text{C}$ to $+125^\circ\text{C}$	Derate Linearly at 12mW/ $^\circ\text{C}$ to 200mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
For $T_A = \text{FULL PACKAGE-TEMPERATURE RANGE (All Package Types)}$	100mW
OPERATING-TEMPERATURE RANGE ( $T_A$ )	$-55^\circ\text{C}$ to $+125^\circ\text{C}$
STORAGE TEMPERATURE RANGE ( $T_{stg}$ )	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 $\pm$ 1/32 inch (1.59 $\pm$ 0.79mm) from case for 10s max	$+265^\circ\text{C}$

### Features:

- 3-state outputs with common output ENABLE
- Separate SET and RESET inputs for each latch
- NOR and NAND configurations
- 5-V, 10-V, and 15-V parametric ratings
- Standardized symmetrical output characteristics
- 100% tested for quiescent current at 20 V
- Maximum input current of 1  $\mu\text{A}$  at 18 V over full package temperature range; 100 nA at 18 V and  $25^\circ\text{C}$
- Noise margin (over full package temperature range):
  - 1 V at  $V_{DD} = 5\text{ V}$
  - 2 V at  $V_{DD} = 10\text{ V}$
  - 2.5 V at  $V_{DD} = 15\text{ V}$
- Meets all requirements of JEDEC Tentative Standard No. 18B, "Standard Specifications for Description of 'B' Series CMOS Devices"

### Applications:

- Holding register in multi-register system
- Four bits of independent storage with output ENABLE
- Strobed register
- General digital logic
- CD4043B for positive logic systems
- CD4044B for negative logic systems



TOP VIEW

NC = NO CONNECTION

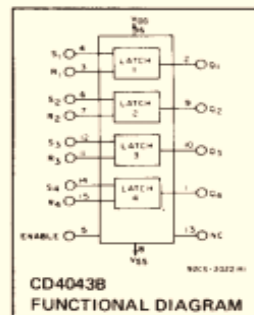
CD4043B

### TERMINAL ASSIGNMENTS

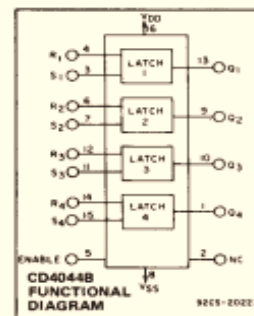
S	R	E	Q
X	X	0	OC*
0	0	1	NC*
1	0	1	1
0	1	1	0
1	1	1	$\Delta$

\*OPEN CIRCUIT  
\*NO CHANGE  
 $\Delta$  DOMINATED BY S=1 INPUT

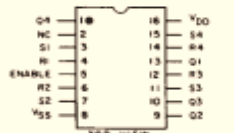
CD4043B



CD4043B  
FUNCTIONAL DIAGRAM



CD4044B  
FUNCTIONAL DIAGRAM



TOP VIEW

NC = NO CONNECTION

CD4044B

S	R	E	Q
X	X	0	OC*
1	1	1	NC*
0	1	1	1
1	0	1	0
0	0	1	$\Delta$

\*OPEN CIRCUIT  
\*NO CHANGE  
 $\Delta$  DOMINATED BY R=0 INPUT

CD4044B

### TRUTH TABLES

Recommended Operating Conditions  $T_A = 25^\circ\text{C}$   
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges.

Characteristic	$V_{DD}$ (V)	Min.	Max.	Units
Supply-Voltage Range ( $T_A = \text{Full Package Temperature Range}$ )		3	18	V
SET or RESET Pulse Width, $t_W$	5	160	—	ns
	10	80	—	ns
	15	40	—	ns

# CD4043B, CD4044B Types

## STATIC ELECTRICAL CHARACTERISTICS

CHARACTER- ISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V <sub>O</sub> (V)	V <sub>IN</sub> (V)	V <sub>DD</sub> (V)					+25			
				-55	-40	+85	+125	Min.	Typ.	Max.	
Quiescent Device Current, I <sub>DD</sub> Max.	—	0,5	5	1	1	30	30	—	0.02	1	μA
	—	0,10	10	2	2	60	60	—	0.02	2	
	—	0,15	15	4	4	120	120	—	0.02	4	
	—	0,20	20	20	20	600	600	—	0.04	20	
Output Low (Sink) Current I <sub>OL</sub> Min.	0.4	0,5	5	0.64	0.61	0.42	0.36	0.51	1	—	mA
	0.5	0,10	10	1.6	1.5	1.1	0.9	1.3	2.6	—	
	1.5	0,15	15	4.2	4	2.8	2.4	3.4	6.8	—	
Output High (Source) Current, I <sub>OH</sub> Min.	4.6	0,5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	—	mA
	2.5	0,5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	—	
	9.5	0,10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	—	
	13.5	0,15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	—	
Output Voltage: Low-Level, V <sub>OL</sub> Max.	—	0,5	5	0.05				—	0	0.05	V
	—	0,10	10	0.05				—	0	0.05	
	—	0,15	15	0.05				—	0	0.05	
Output Voltage: High-Level, V <sub>OH</sub> Min.	—	0,5	5	4.95				4.95	5	—	V
	—	0,10	10	9.95				9.95	10	—	
	—	0,15	15	14.95				14.95	15	—	
Input Low Voltage, V <sub>IL</sub> Max.	0.5, 4.5	—	5	1.5				—	—	1.5	V
	1, 9	—	10	3				—	—	3	
	1.5, 13.5	—	15	4				—	—	4	
Input High Voltage, V <sub>IH</sub> Min.	0.5, 4.5	—	5	3.5				3.5	—	—	V
	1, 9	—	10	7				7	—	—	
	1.5, 3.5	—	15	11				11	—	—	
Input Current I <sub>IN</sub> Max.	—	0,18	18	±0.1	±0.1	±1	±1	—	±10 <sup>-5</sup>	±0.1	μA
3-State Output Leakage Current I <sub>OUT</sub> Max.	0,18	0,18	18	±0.4	±0.4	±12	±12	—	±10 <sup>-4</sup>	±0.4	μA

Рис.12 Техническая документация асинхронного RS-триггера CD4043B

## 2 Краткие теоретические сведения

Триггеры предназначены для запоминания двоичной информации. Использование триггеров позволяет реализовывать устройства оперативной памяти (то есть памяти, информация в которой хранится только на время вычислений). Однако триггеры могут использоваться и для построения некоторых цифровых устройств с памятью, таких как счётчики, преобразователи последовательного кода в параллельный или цифровые линии задержки.

### 2.1 RS-триггер

Основным триггером, на котором базируются все остальные триггеры является RS-триггер.

RS-триггер имеет два логических входа:

- R - установка 0 (от слова reset);
- S - установка 1 (от слова set).

RS-триггер имеет два выхода:

- Q - прямой;
- $\bar{Q}$  - обратный (инверсный).

Состояние триггера определяется состоянием прямого выхода. Простейший RS-триггер состоит из двух логических элементов, охваченных перекрёстной положительной обратной связью (рисунок 2.1).

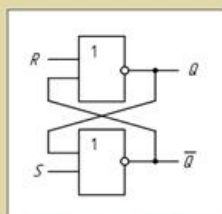


Рисунок 2.1 - Схема простейшего RS-триггера

Таблица 2.1 - Таблица переходов RS триггера в базисе ИЛИ-НЕ

R	S	Q(t)	Q(t+1)	Пояснения
0	0	0	0	Режим хранения информации R=S=0
0	0	1	1	
0	1	0	1	Режим установки единицы S=1
0	1	1	1	
1	0	0	0	Режим установки нуля R=1
1	0	1	0	
1	1	0	*	R=S=1 запрещённая комбинация
1	1	1	*	

Базовым при построении различных триггеров служит асинхронный RS-триггер, функционирование которого характеризует полученная по таблице состояний (табл.5.2), логическая формула

$$Q^{n+1} = \bar{R}\bar{S}Q^n \vee \bar{R}S\bar{Q}^n \vee \bar{R}SQ^n \vee RS\bar{Q}^n \vee RSQ^n,$$

причем запрещенные состояния приняты единичными. Преобразование приводит логическую формулу виду  $Q^{n+1} = S \vee \bar{R}Q^n$ . При анализе работы удобно использовать сокращенную таблицу состояний (табл.7.1).

Таблица 7.1. Сокращенная таблица переходов RS триггера

$R^n$	$S^n$	$Q^{n+1}$	Режимы
0	0	$Q^n$	хранения
0	1	1	установка
1	0	0	сброс
1	1	н/о	запрещенные

Таблица 7.1. Таблица истинности RS-триггера в базисе ИЛИ-НЕ

Управляющие сигналы		Состояние выходов		Режим работы
S	R	Q	$\bar{Q}$	
0	0	$Q_{i-1}$	$\bar{Q}_{i-1}$	Хранение ранее записанной информации
0	1	0	1	Сброс триггера
1	0	1	0	Установка триггера
1	1	0	0	Неустойчивое состояние

**Вывод:** На выходе элемента ИЛИ—НЕ имеется инвертор (усилитель). Поэтому на двух таких элементах можно выполнить триггер, если вход одного элемента соединить с выходом другого. Полученный таким образом триггер является асинхронным RS- триггером. Он имеет два входа: S — установки триггера в 1, R — установки триггера в 0. Асинхронный RS-триггер — простейший интегральный триггер, применяющийся самостоятельно, а также входящий в состав более сложных интегральных триггеров в качестве запоминающей ячейки.

## 1.2 Исследование устройства и работы асинхронного RS – триггера на логических элементах И – НЕ

Используем модель x\_RS\_И-НЕ.ms10 для исследования работы асинхронного RS - триггера на логических элементах И – НЕ:

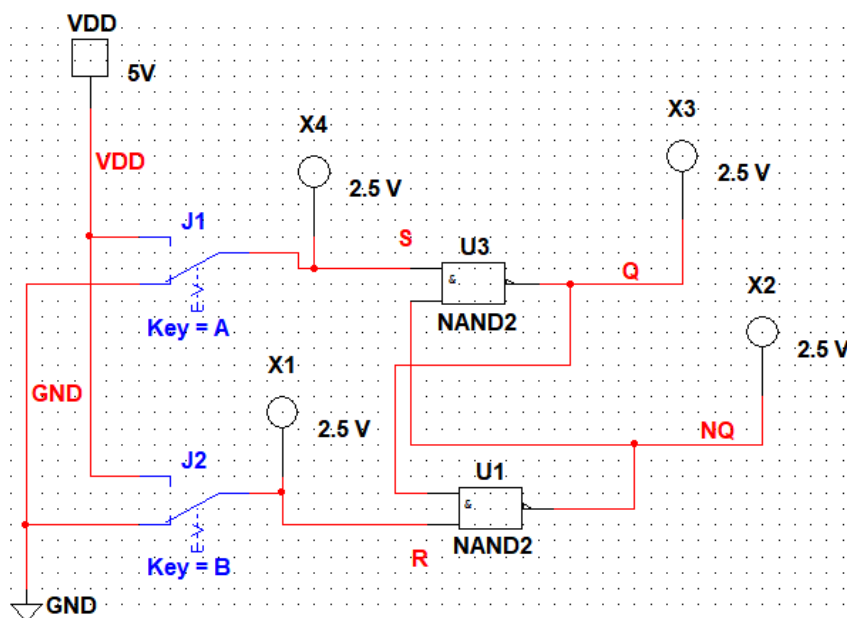


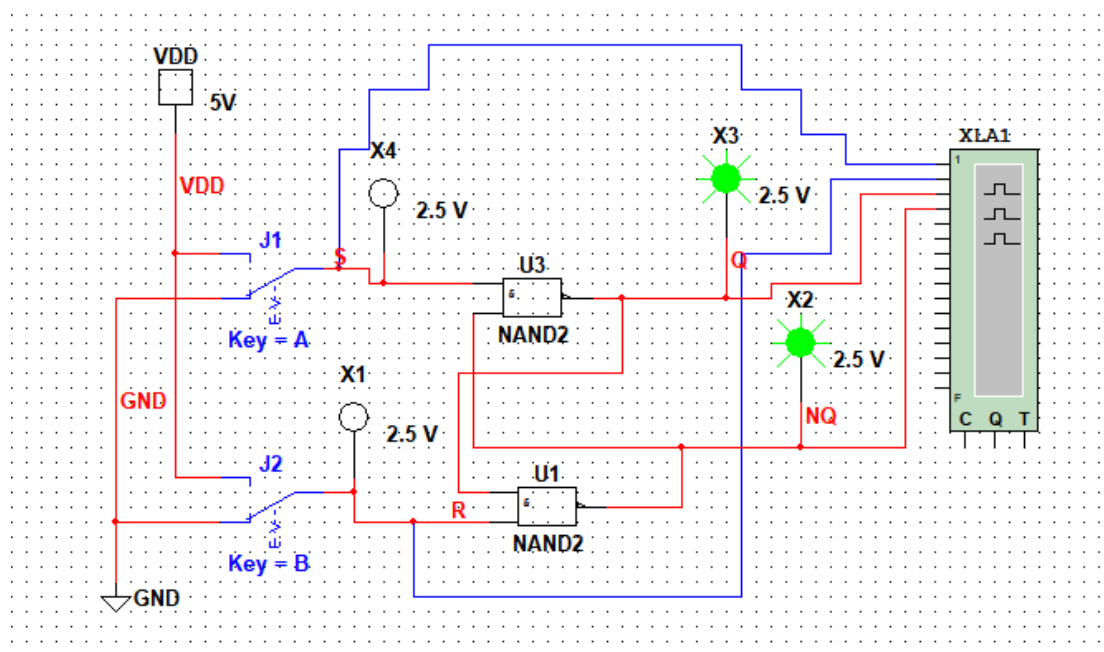
Рис. 13 Схема для моделирования асинхронного RS – триггера на логических элементах И – НЕ

Запустим процесс моделирования, задавая комбинации входных переменных с помощью ключей, по засвечиванию пробников заполним таблицу переключений триггера.

S	R	NQ	Q	Режим
1	1	1	0	хранение предыдущего состояния
0	1	0	1	установка триггера в 1
1	0	1	0	установка триггера в 0
1	1	0	1	хранение предыдущего состояния
0	0	1	1	запрещенное состояние

**Таб. 3** Переключений (истинности, состояний, переходов) RS-триггера И-НЕ

Подключим логический анализатор XLA1 и выведем изображение его дисплея:



**Рис. 14** Схема для моделирования асинхронного RS – триггера на логических элементах И – НЕ с логическим анализатором XLA1

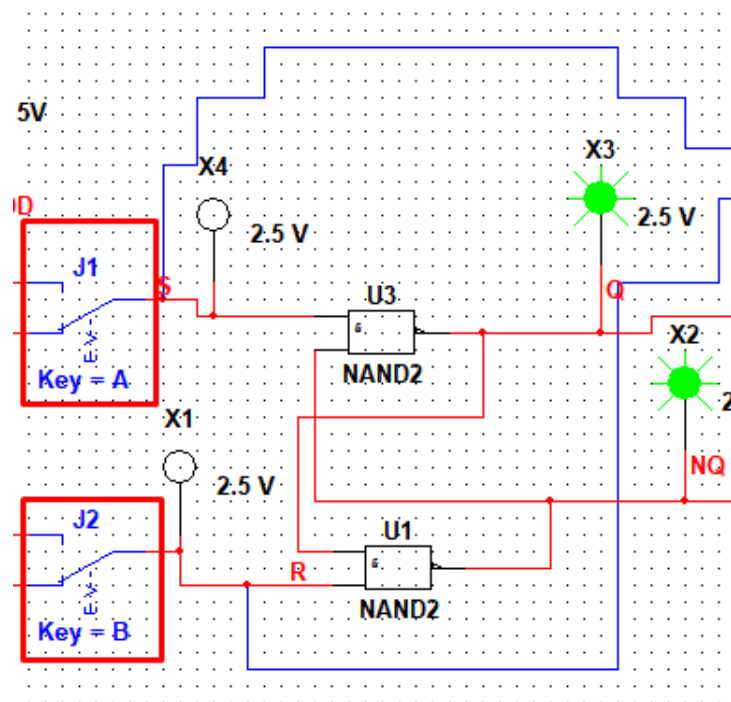


Рис. 15 Схема с  $S = 0, R = 0$

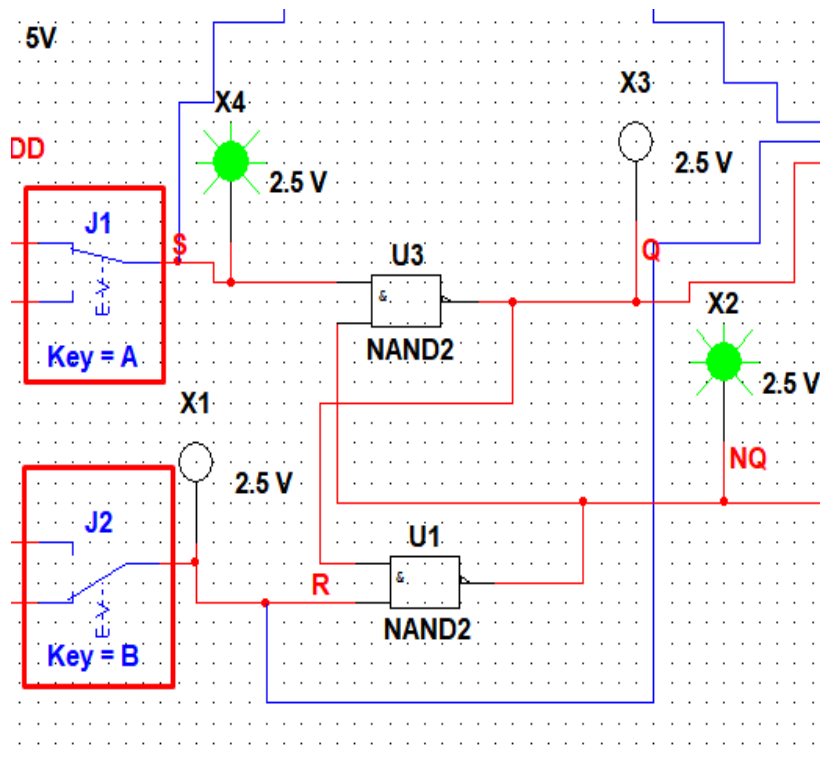


Рис. 16 Схема с  $S = 1, R = 0$



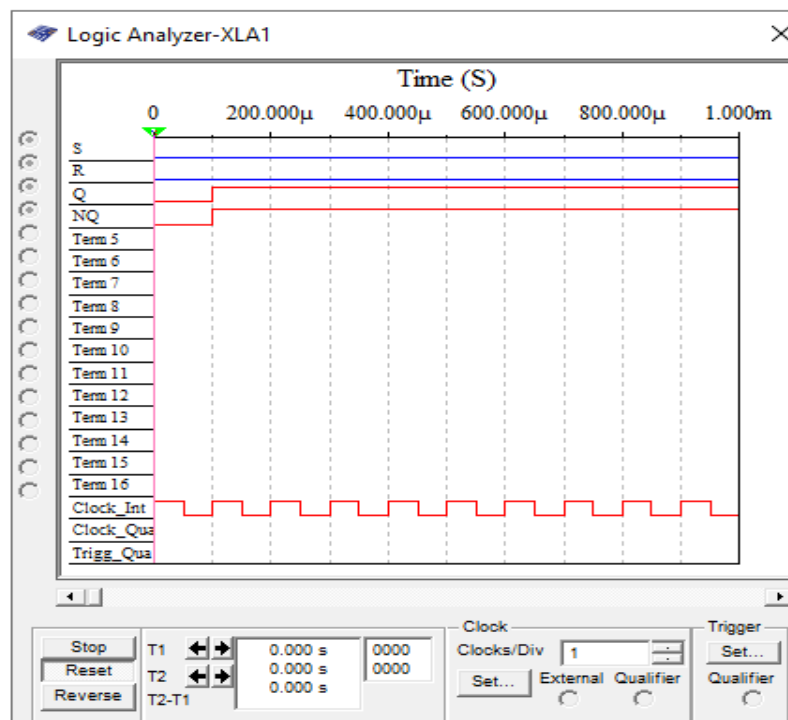


Рис. 17 Временная диаграмма при  $S = 0$ ,  $R = 0$

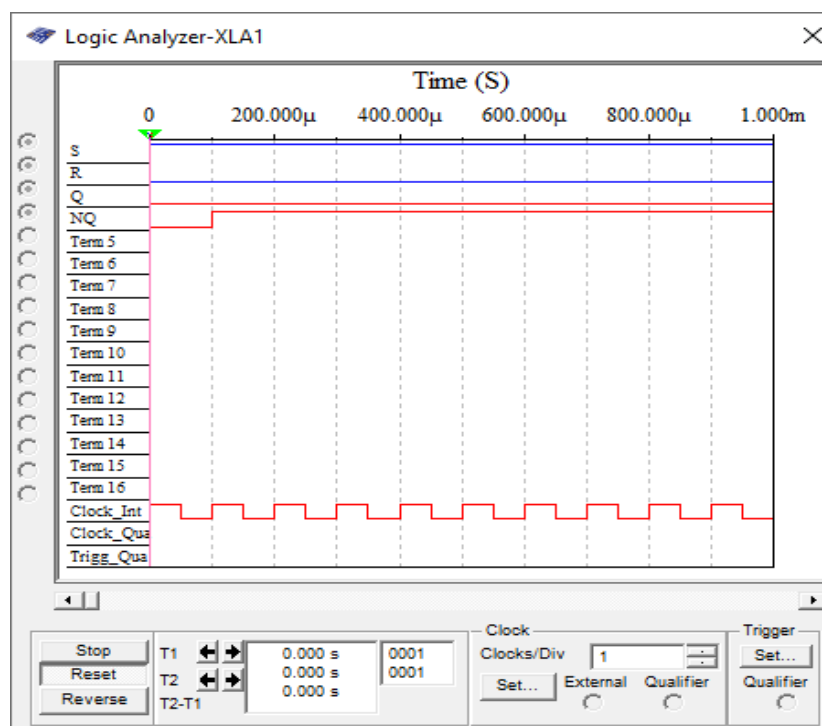


Рис. 18 Временная диаграмма при  $S = 1$ ,  $R = 0$

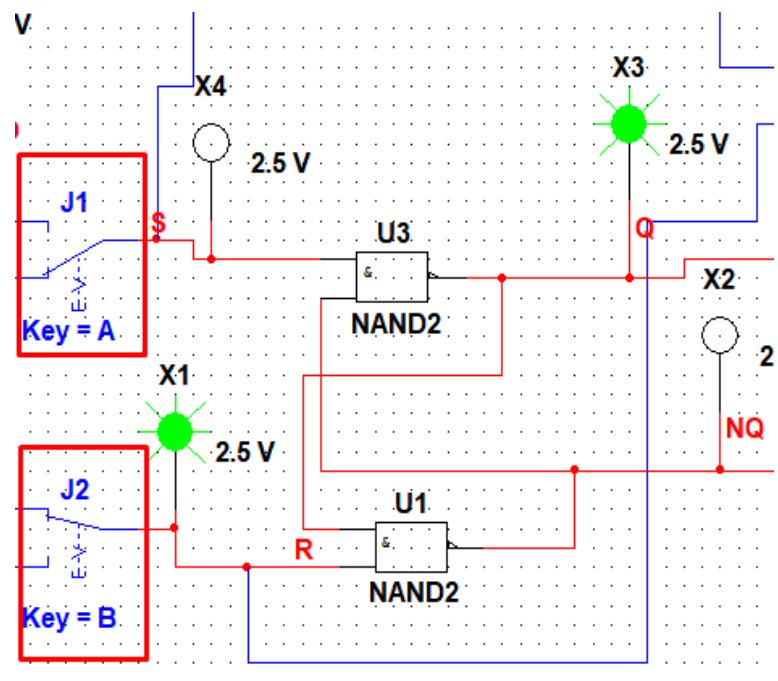


Рис. 19 Схема с  $S = 0, R = 1$

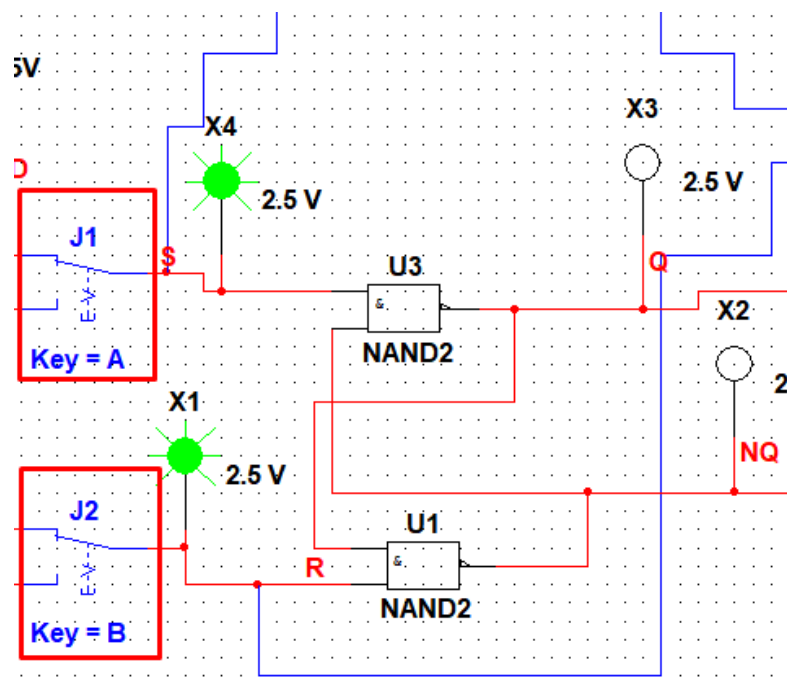


Рис. 20 Схема с  $S = 1, R = 1$



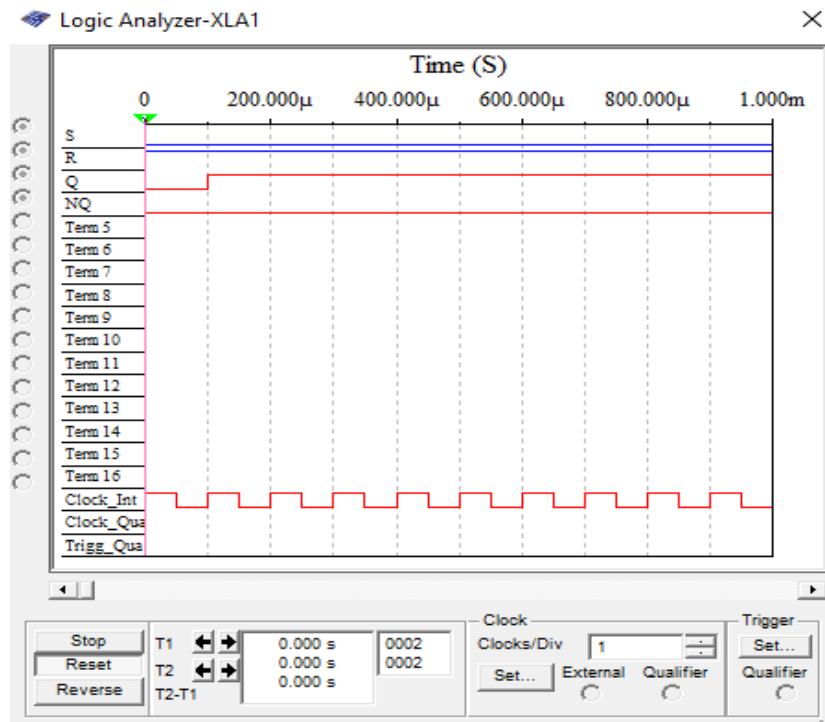


Рис. 21 Временная диаграмма при  $S = 0, R = 1$

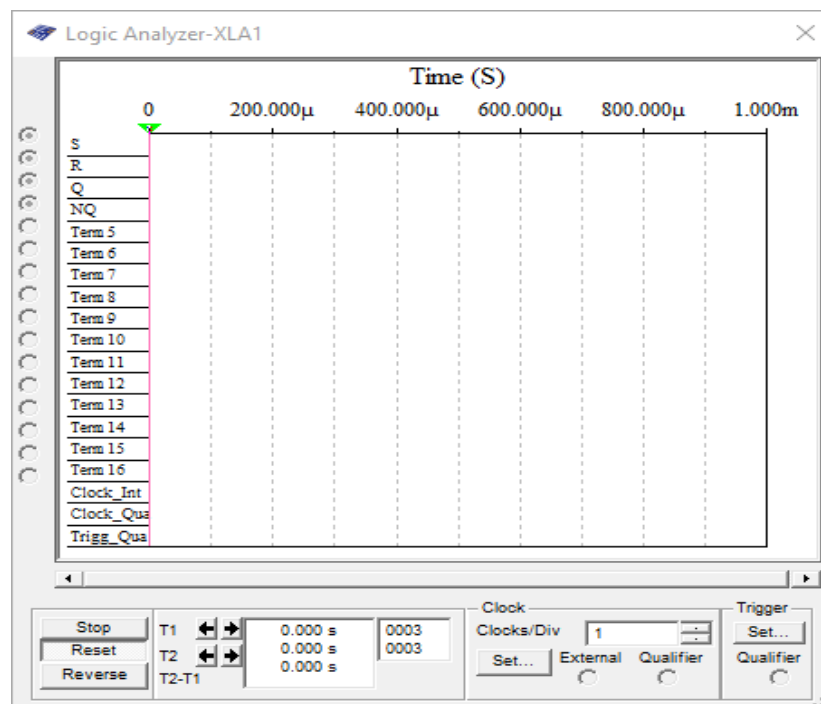


Рис. 22 Временная диаграмма при  $S = 1, R = 1$

Временная диаграмма пустая, так как предыдущего значения не было.

## Теория:

Микросхемы представляют собой четыре RS-триггера. Содержат 88 интегральных элементов. Корпус типа 238.16-1, масса не более 1,2 г и 201.16-5, 2103.16-3, масса не более 2,5 г.



Условное графическое обозначение К555ТР2, КМ555ТР2

Назначение выводов: 1, 5, 10, 14 - входы сброс; 2, 3, 6, 11, 12, 15 - входы установки лог. 1; 4, 7, 9, 13 - выходы; 8 - общий; 16 - напряжение питания.

**Таблица истинности**

Вход				Выход	Вход				Выход
$\overline{S1}$	$\overline{S2}$	$\overline{S}$	$\overline{R}$	$Q_{n+1}$	$\overline{S1}$	$\overline{S2}$	$\overline{S}$	$\overline{R}$	$Q_{n+1}$
1	1	1	1	$Q_n$	1	1	1	0	0
0	1				0	1			
1	0	0	1	1	1	0	0	0	1*
1	0				0	0			

Примечание. 1\* - состояние логической единицы неустойчивое, может не сохраняться после снятия напряжений логического нуля на входах  $\overline{S}$  и  $\overline{R}$ .

RS-триггер можно построить и на элементах "И-НЕ" (рисунок 2.2).

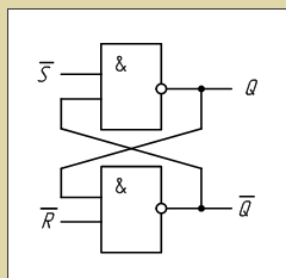
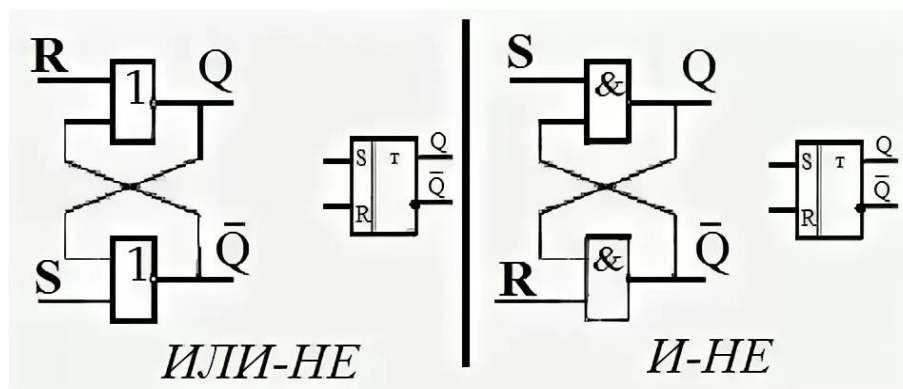
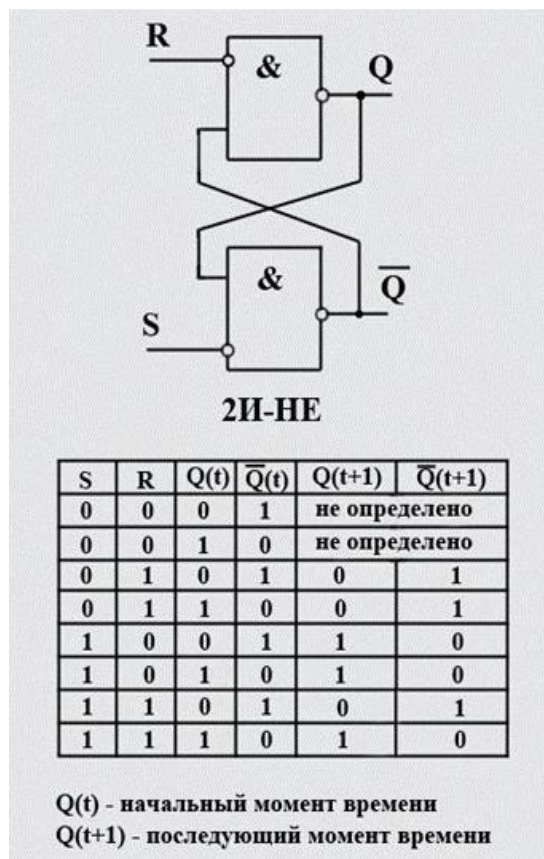


Рисунок 2.2 - Схема RS-триггера, построенного на схемах "2И-НЕ"

Входы R и S инверсные (активный уровень "0"). Переход (переключение) этого триггера из одного состояния в другое происходит при установке на одном из входов "0". Комбинация R=S=0 является запрещенной.

Таблица 2.2 - Таблица переходов RS триггера в базисе "2И-НЕ"

R	S	Q(t)	Q(t+1)	Пояснения
0	0	0	*	R=S=0 запрещенная комбинация
0	0	1	*	
0	1	0	0	Режим установки нуля R=0
0	1	1	0	
1	0	0	1	Режим установки единицы S=0
1	0	1	1	
1	1	0	0	Режим хранения информации R=S=1
1	1	1	1	



**Вывод:** На выходе элемента И—НЕ имеется инвертор (усилитель). Поэтому на двух таких элементах можно выполнить триггер, если вход одного элемента соединить с выходом другого. Полученный таким образом триггер является асинхронным RS- триггером. Он имеет два входа: S — установки триггера в 1, R — установки триггера в 0. Асинхронный RS-триггер — простейший интегральный триггер, применяющийся самостоятельно, а также входящий в состав более сложных интегральных триггеров в качестве запоминающей ячейки. Однако RS-триггеры на основе 2ИЛИ-НЕ триггеры с прямыми входами, тогда как RS-триггеры на основе 2ИЛИ-НЕ триггеры с инверсивными входами.

## 2 Исследование D – триггеров

### 2.1 Исследование D – триггера в интегральном исполнении

Построим модель для исследования работы D – триггера в интегральном исполнении.

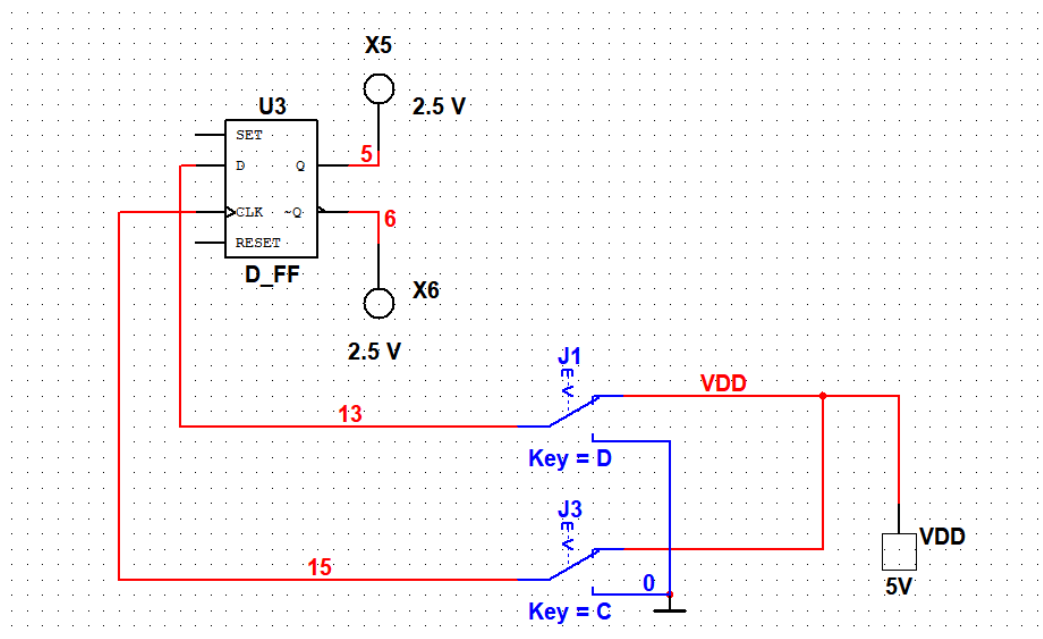


Рис. 32 Схема для моделирования D – триггера в интегральном исполнении

На информационный вход D - триггера подаются логические 1 и 0, формируемые ключом D. Синхронизирующий сигнал в виде логической 1 подаётся на вход CLK от ключа C. Триггер срабатывает по переднему фронту импульса синхронизации. Перед изменением сигналов на информационном входе, на синхронизирующем входе следует установить логический 0. Изменение уровней сигналов фиксируется пробниками.

Запустим процесс моделирования, Задавая комбинации входных переменных с помощью ключей, по засвечиванию пробников заполнить таблицу переключений D – триггера.



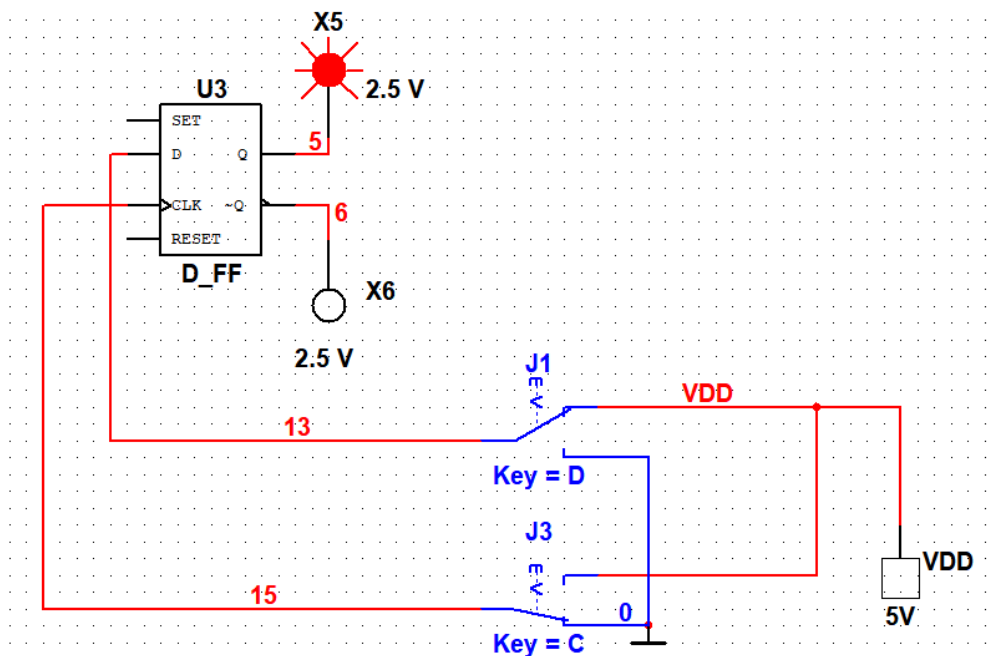


Рис. 35 Хранение предыдущего состояния

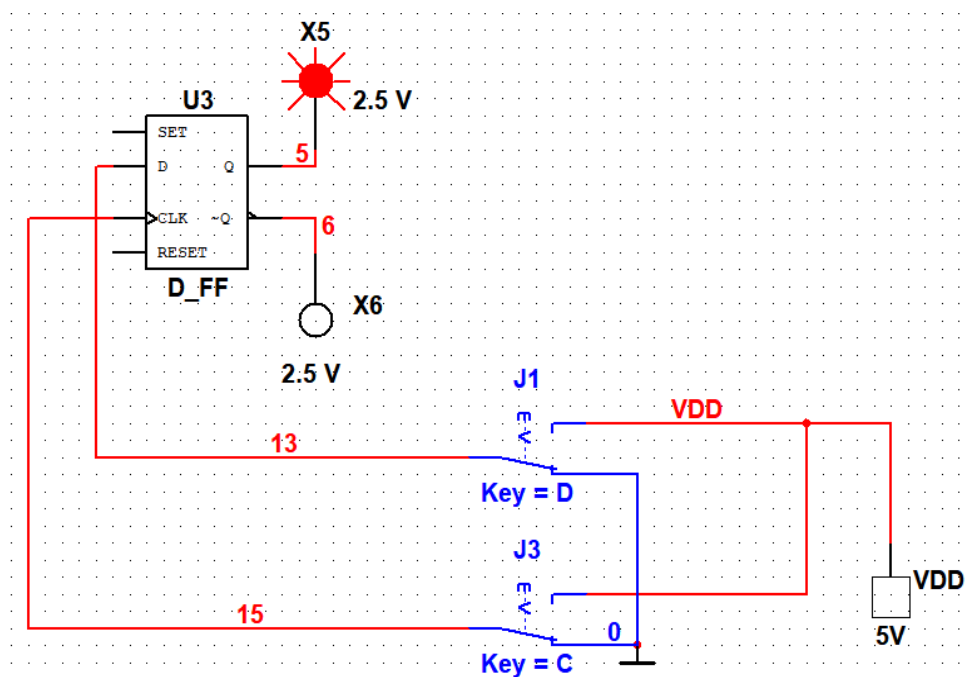


Рис. 36 Хранение предыдущего состояния

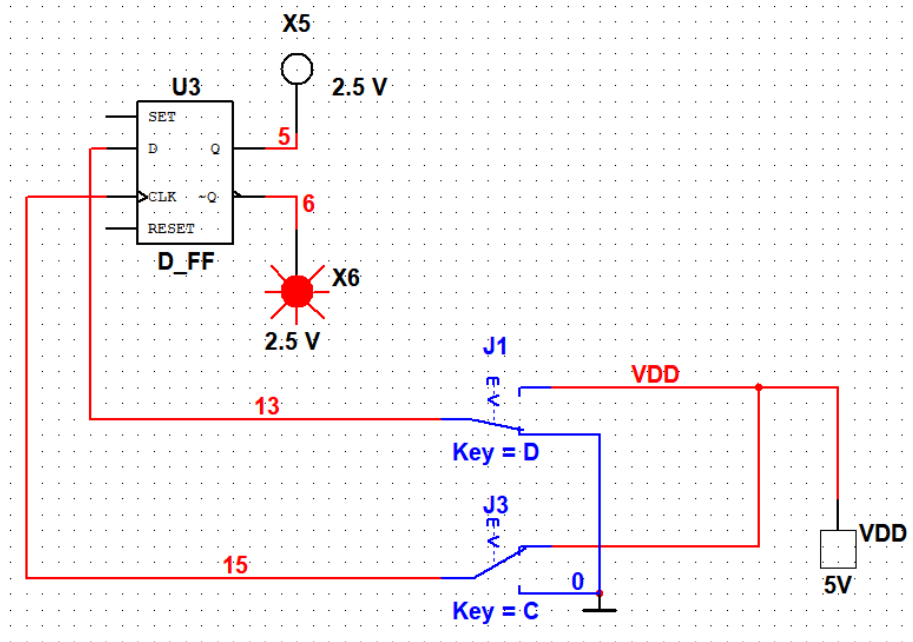


Рис. 37 Состояние триггера при переключении с  $C = 0$ ,  $D = 0$  на  $C = 1$ ,  $D = 0$  (Установка триггера в 0)

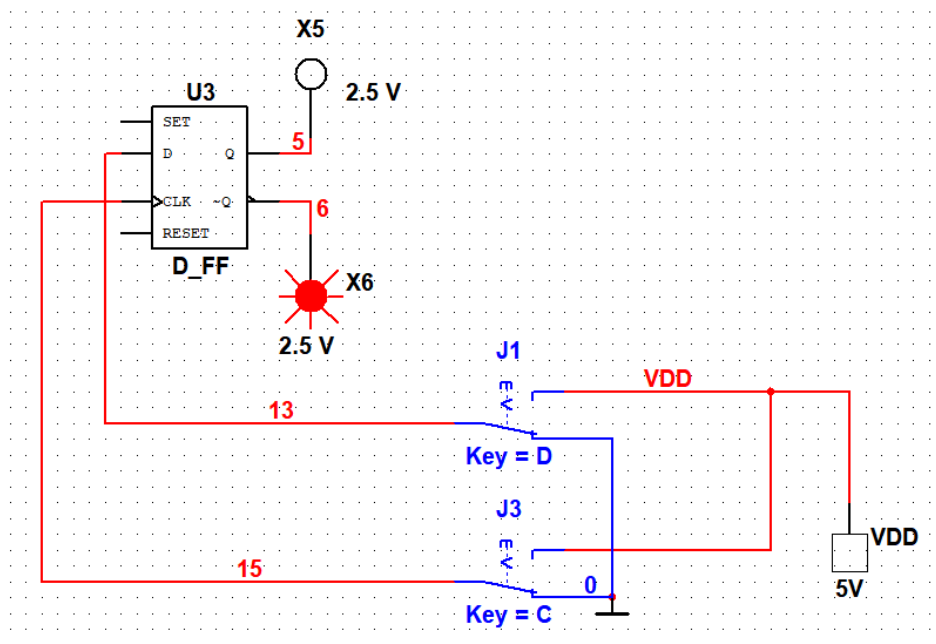


Рис. 38 Хранение предыдущего состояния

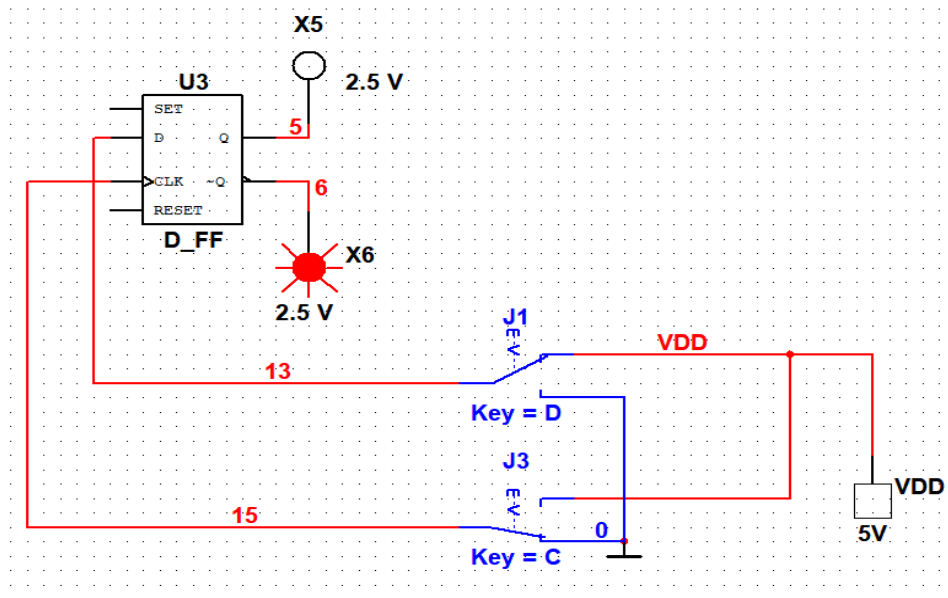


Рис. 39 Хранение предыдущего состояния

Подключим логический анализатор XLA1 схеме:

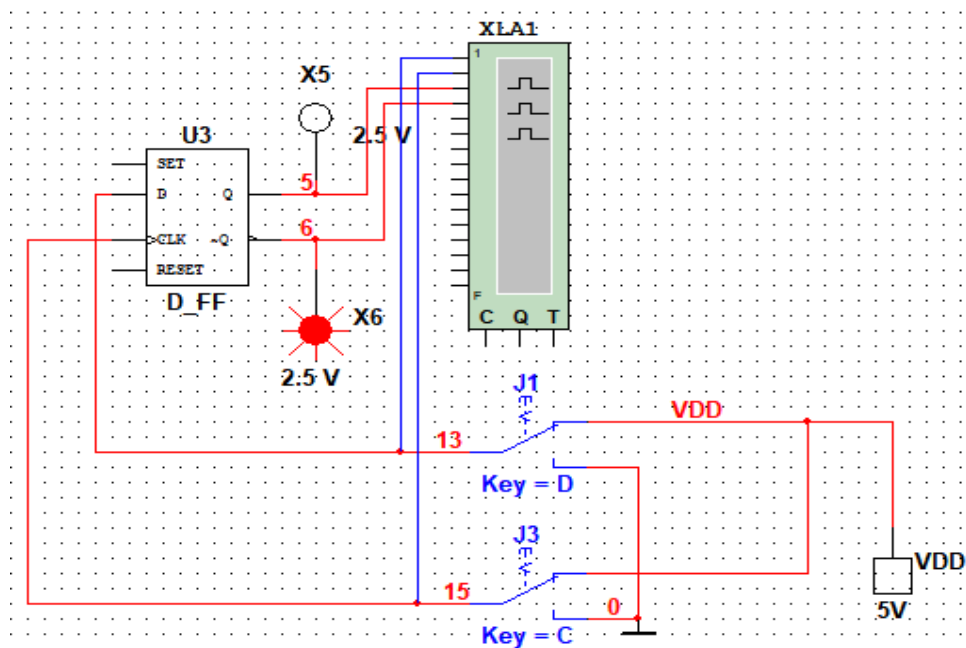


Рис. 40 Схема для моделирования D – триггера в интегральном исполнении с подключенным XLA1

С помощью логического анализатора XLA1 получим временные диаграммы работы триггера:



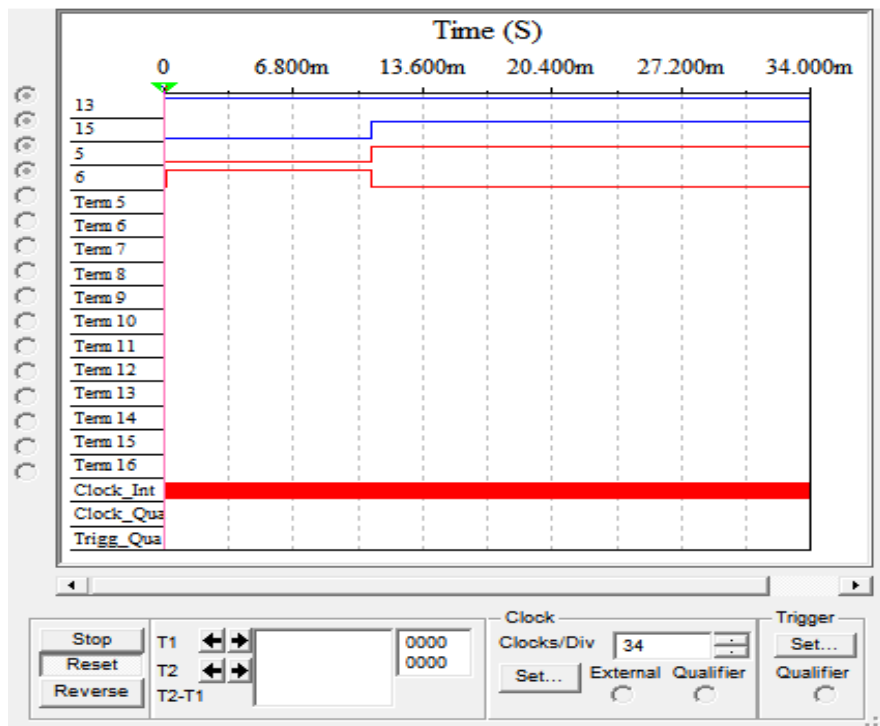


Рис. 41 Временная диаграмма триггера при переключении с  $C = 0, D = 1$  в  $C = D = 1$

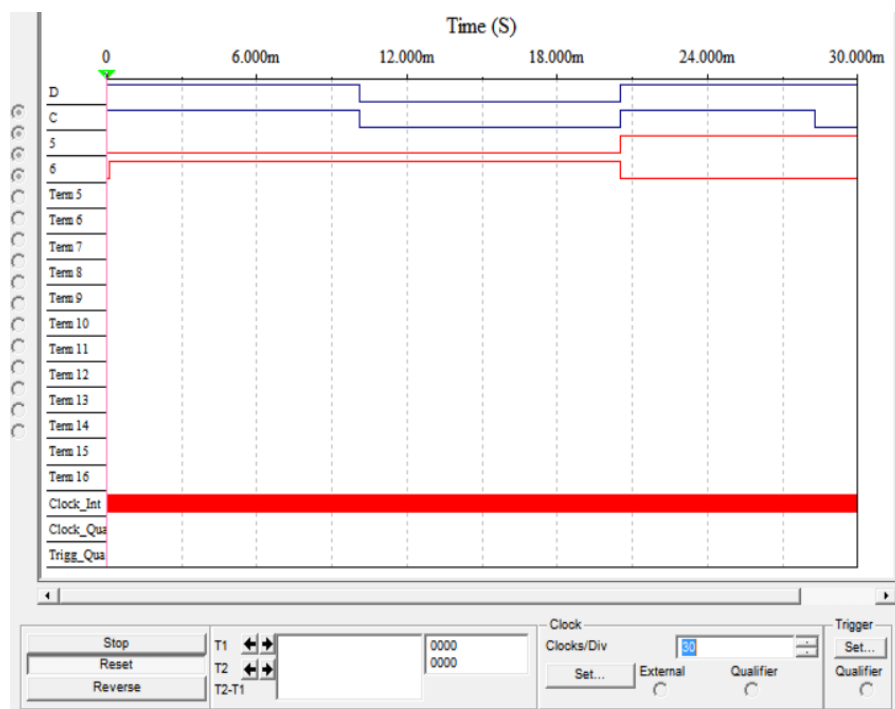


Рис. 42 Временная диаграмма триггера при переключении комбинаций (Установка триггера в 1 и хранение)

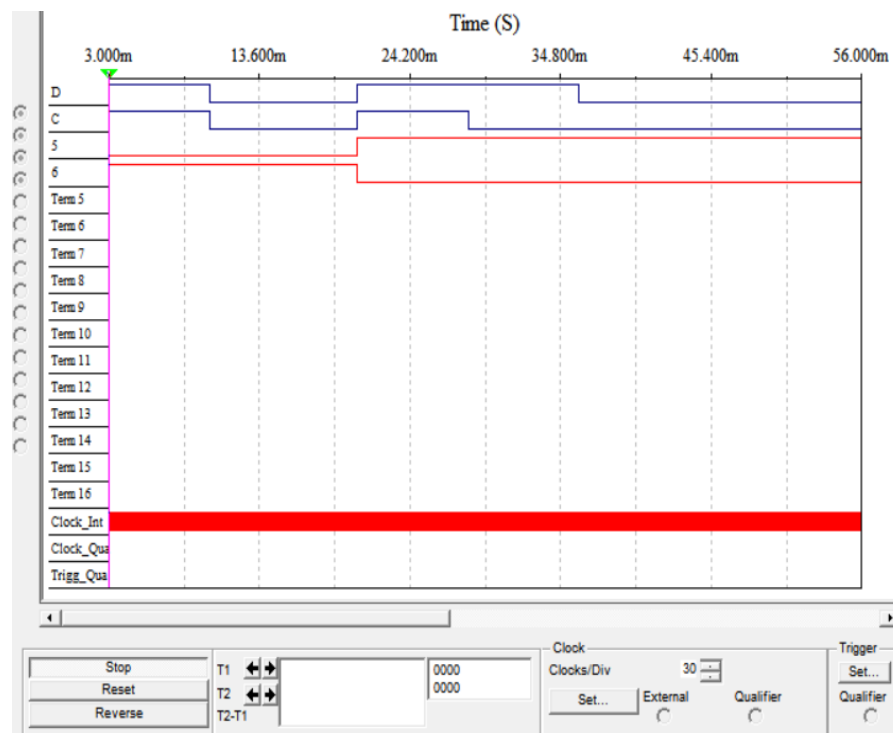
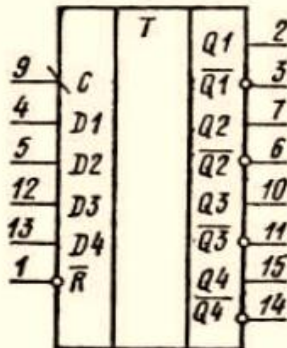


Рис. 43 Временная диаграмма триггера при переключении комбинаций (Установка триггера в 0 и хранение)

## Теория:

Микросхемы представляют собой четыре D-триггера с прямыми и инверсными выходами. Имеют общий для всех триггеров синхровход С и вход сброса  $\overline{R}$ . Корпус типа 238.16-1, масса не более 1,2 г и 4307.16-А.



Условное графическое обозначение КР1533ТМ8, КФ1533ТМ8, ЭКА1533ТМ8, ЭКФ1533ТМ8

### Таблица истинности

Вход			Выход	
$\overline{R}$	С	D	Q	$\overline{Q}$
0	X	X	0	1
1	┐	1	1	0
1	┘	0	0	1
1	0	X	Q0	$\overline{Q0}$

Примечание. X - безразличное состояние; Q0,  $\overline{Q0}$  - предыдущее состояние выхода; ┐ - переход из низкого уровня в высокий.

Назначение выводов: 1 - вход установки в состояние «логический 0»  $\overline{R}$ ; 2 - выход Q1; 3 - выход  $\overline{Q1}$ ; 4 - вход информационный D1; 5 - вход информационный D2; 6 - выход  $\overline{Q2}$ ; 7 - выход Q2; 8 - общий; 9 - вход тактовый С; 10 - выход Q3; 11 - выход  $\overline{Q3}$ ; 12 - вход информационный D3; 13 - вход информационный D4; 14 - выход  $\overline{Q4}$ ; 15 - выход Q4; 16 - напряжение питания.

## Электрические параметры

Номинальное напряжение питания .....	5 В ± 10%
Выходное напряжение низкого уровня:	
- при $I_{\text{вых}}^0 = 4 \text{ мА}$ .....	≤ 0,4 В
- при $I_{\text{вых}}^0 = 8 \text{ мА}$ .....	≤ 0,5 В
Выходное напряжение высокого уровня .....	≥ 2,4 В
Прямое падение напряжения на антизвонном диоде .....	≤  -1,5  В
Ток потребления при $U_n = 5,5 \text{ В}$ .....	≤ 14 мА
Входной ток низкого уровня .....	≤  -0,1  мА
Входной ток высокого уровня .....	≤ 20 мкА
Входной пробивной ток .....	≤ 0,1 мА
Выходной ток .....	-30 ... -112  мА
Время задержки распространения сигнала при включении:	
- по входу 1 .....	≤ 23 нс
- по входу 9 .....	≤ 17 нс
Время задержки распространения сигнала при выключении:	
- по входу 1 .....	≤ 18 нс
- по входу 9 .....	≤ 15 нс
Емкость входа .....	≤ 5 пФ

## Предельно допустимые режимы эксплуатации

Напряжение питания .....	4,5...5,5 В
Входное напряжение низкого уровня .....	0...0,8 В
Входное напряжение высокого уровня .....	2...5,5 В
Максимальное напряжение, подаваемое на выход .....	5,5 В
Температура окружающей среды .....	-10...+70 °С

Рис. 45 Электрические параметры

### 2.3 D - триггер

D-триггер имеет 1 информационный вход (D-вход). Бывают только синхронные D-триггеры. Состояние информационного входа передаётся на выход под действием синхроимпульса (вход C).

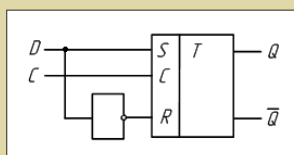


Рисунок 2.4 - Схема D-триггера на основе синхронного RS-триггера

Таблица 2.4 - Таблица переходов D-триггера

C	D	Q(t)	Q(t+1)	Пояснения
0	*	0	0	Режим хранения информации
0	*	1	1	
1	0	*	0	Режим записи информации
1	1	*	1	

Если на входе D - "1", то по приходу синхроимпульса Q = 1.  
Если на D "0", то Q = 0.

В цифровых системах широко распространены триггеры задержки с одним информационным входом. В  $D$ -триггере (*Delay - задержка*) сигнал  $Q^{n+1}$  на выходе совпадает с входным сигналом предшествующего интервала (табл.7.3), т. е. устройство осуществляет задержку (запоминание) двоичного разряда на заданный интервал  $t_D$ , определяемый положением тактирующего импульса.

Таблица 7.3. Состояния  $D$ -триггера

$D^n$	$Q^{n+1}$
0	0
1	1

Тактируемый  $D$ -триггер можно получить на основе синхронного  $RS$ -триггера ( $RST$ ), если сигнал  $D$  подать на его установочный вход  $S$  и через инвертор на вход сброса  $R$  (рис.7.4,а).

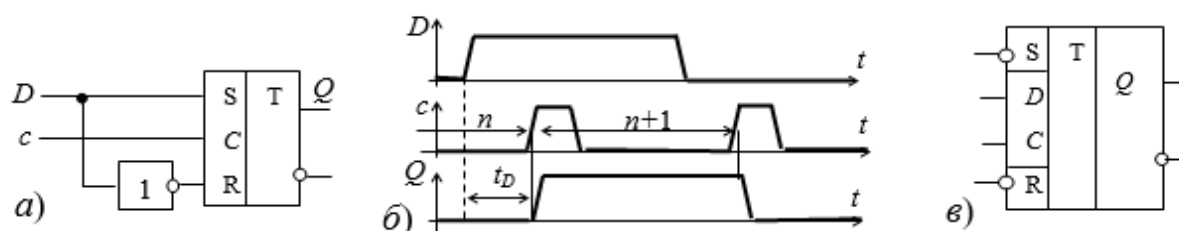


Рис.7.4. Структура  $D$ -триггера (а), временные диаграммы (б) и обозначение (в)

Если в такте  $n$  состояние входа  $D$  изменилось с  $U^0$  на  $U^1$  (рис.7.4,б), то до прихода синхроимпульса на выходе сохраняется предшествующее состояние  $Q^n = 0$ , т. к. информационные входы  $RST$  не активизированы. Выходной сигнал изменится с приходом синхроимпульса, т. е. с задержкой  $t_D$  и сохранится в  $n+1$  такте.

Рис. 47 Теория из лекции «ПОСЛЕДОВАТЕЛЬНОСТНЫЕ УСТРОЙСТВА»

**Вывод:** Экспериментальный триггер срабатывает по переднему фронту. Полученная таблица истинности сходна с предоставленными в технических документах к микросхемам, а также в других теоретических материалах. Если  $C=0$ , то устройство находится в устойчивом положении, таким образом, импульсы, подающиеся на  $D$ -вход не влияют на прибор, выходной импульс будет зависеть от того, какое значение было записано ранее. Если же  $C=1$ , то выходной сигнал зависит от того, что было подано на  $D$

## 2.2 Исследование счётного D – триггера в интегральном исполнении

Используем готовую модель для исследования работы счётного D – триггера в интегральном исполнении.

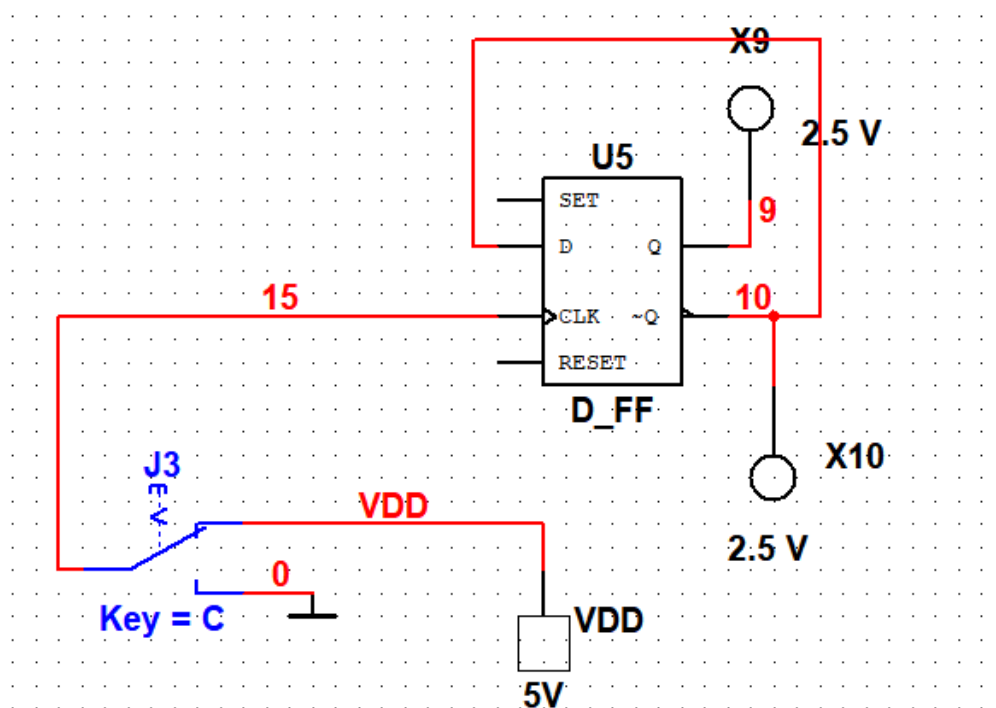


Рис. 48 Схема для моделирования счётного D – триггера в интегральном исполнении

Сигналы, подлежащие счёту, подаются на вход CLK от ключа С. Изменение уровней сигналов фиксируется пробниками.

Запустим процесс моделирования, формируя сигналы с помощью ключа С, по засвечиванию пробников заполним таблицу переключений счётного D – триггера.

С	$Q(t)$	$\bar{Q}(t)$	$Q(t + 1)$	$\bar{Q}(t + 1)$	Режим
Переход с логического 0 в 1	0	1	1	0	Установка 1
Переход с логического 0 в 1	1	0	0	1	Установка 0
Переход с логического 1 в 0	0	1	0	1	Хранение предыдущего состояния
Переход с логического 1 в 0	1	0	1	0	Хранение предыдущего состояния

Таблица 6

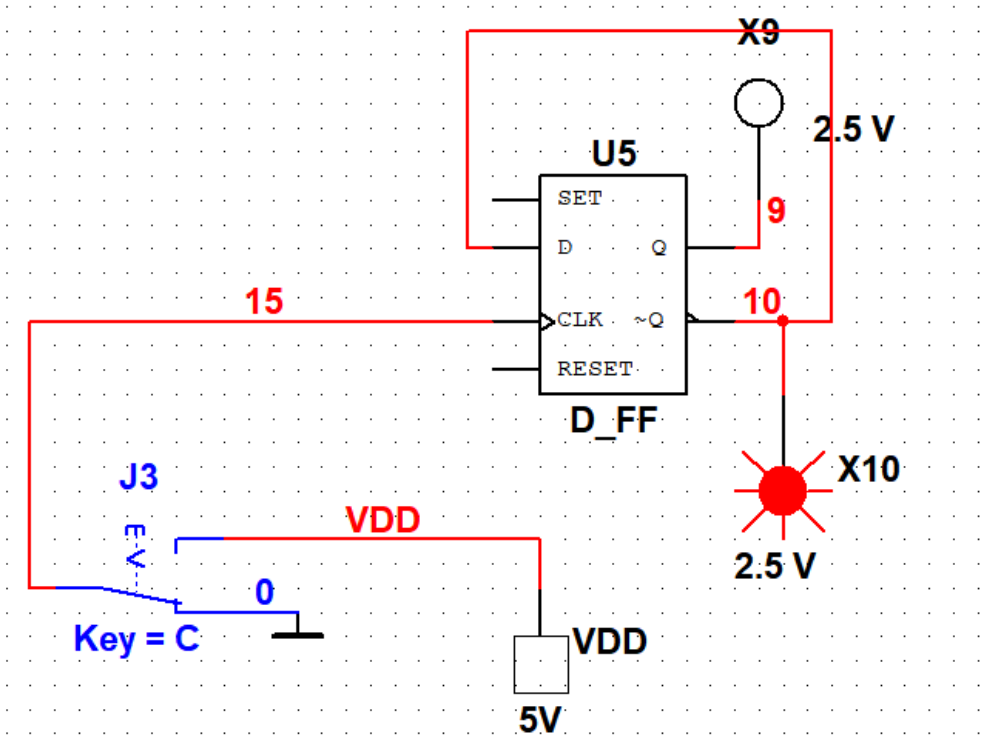


Рис. 49 Начальное состояние триггера

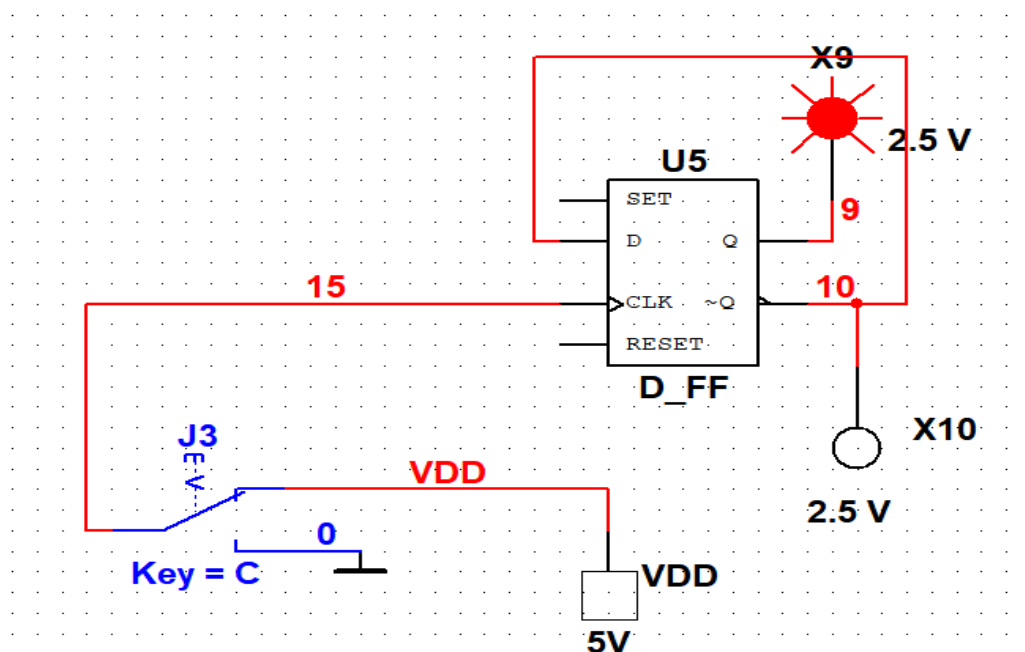


Рис. 50 Переключение ключа при начальном состоянии (установка 1)

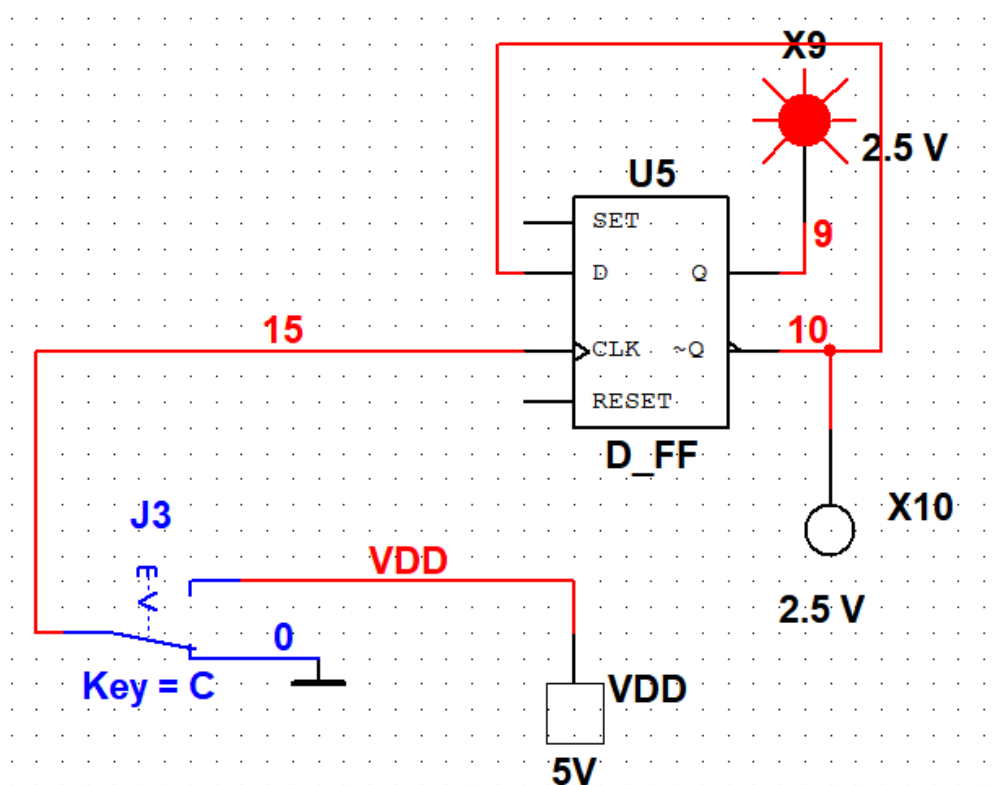


Рис. 51 Переключение ключа при предыдущем состоянии «установка 1» (хранение 1)



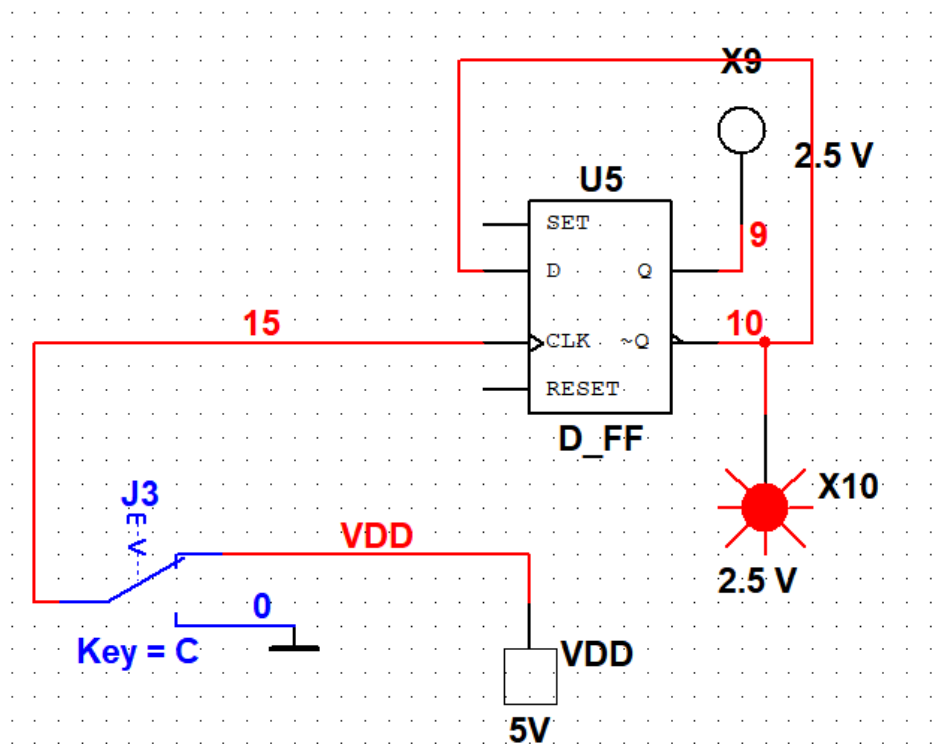


Рис. 52 Переключение ключа при состоянии «хранение 1» (установка 0)

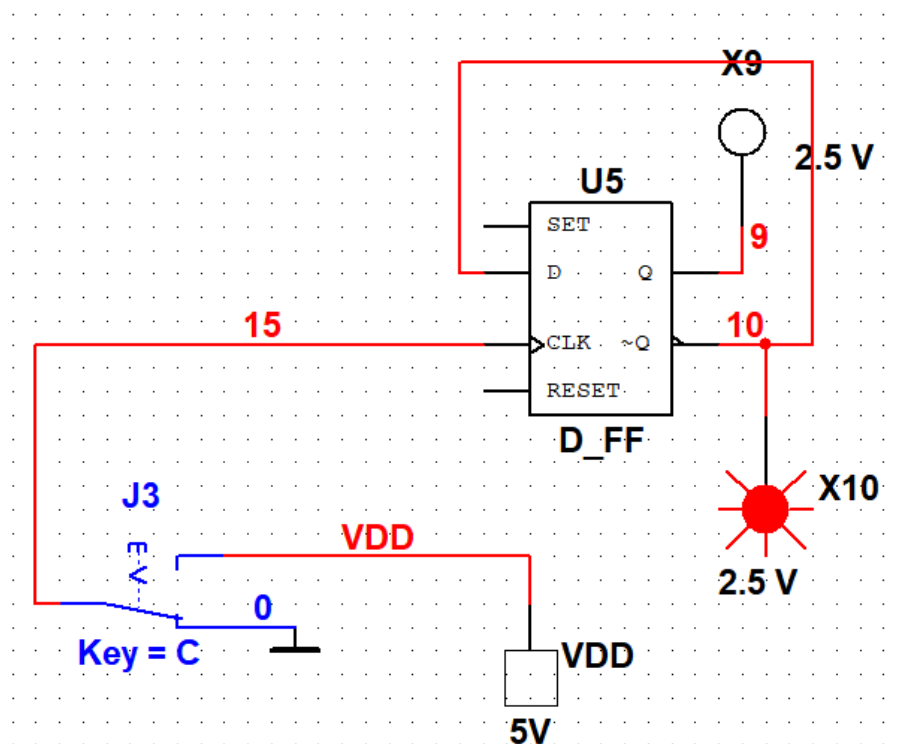


Рис. 53 Переключение ключа при состоянии «установка 0» (хранение 0)

Подключим логический анализатор XLA1:

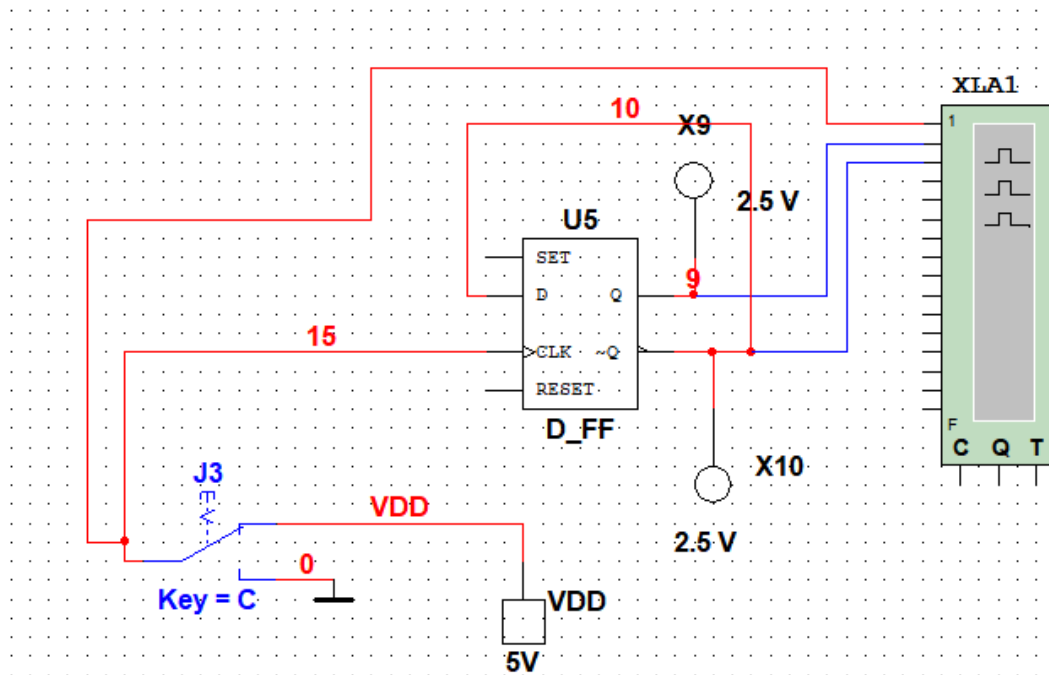


Рис. 54 Схема для моделирования счётного D – триггера в интегральном исполнении с подключенным XLA1

С помощью логического анализатора XLA1 получим временные диаграммы работы триггера. Обратим внимание, по какому фронту импульса синхронизации срабатывает триггер.

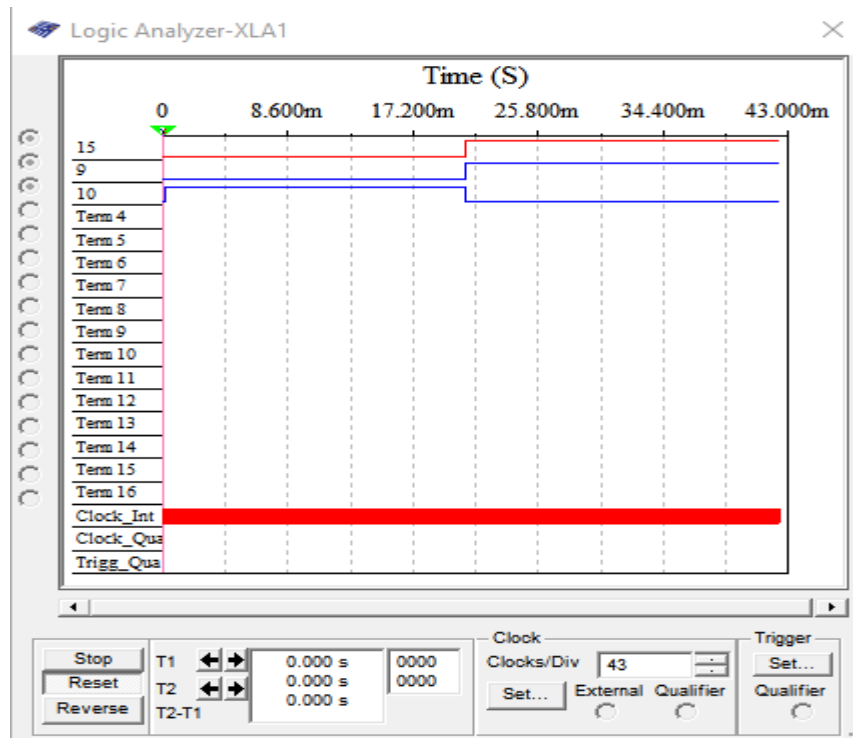


Рис. 55 Временная диаграмма триггера при переключении ключа. (Установка триггера в 1)

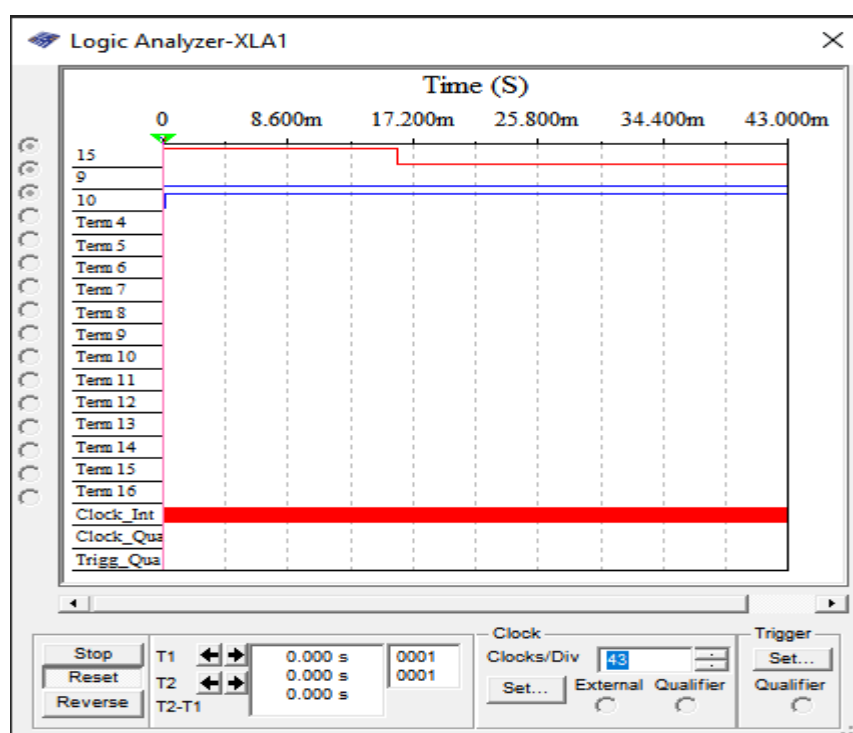


Рис. 56 Временная диаграмма триггера при переключении ключа. (Хранение 1)

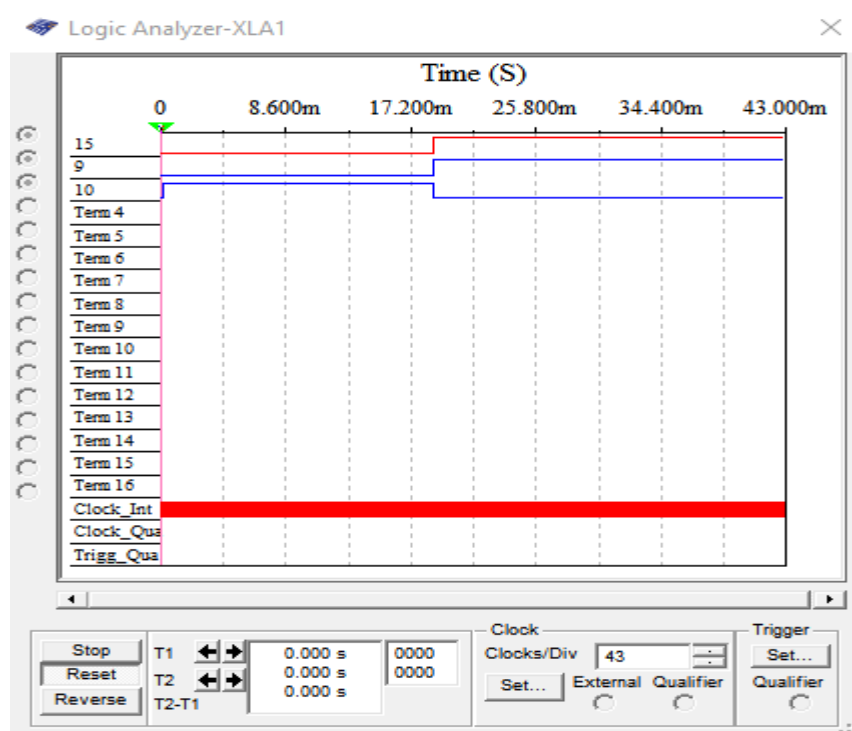


Рис. 57 Временная диаграмма триггера при переключении ключа. (Установка триггера в 0)

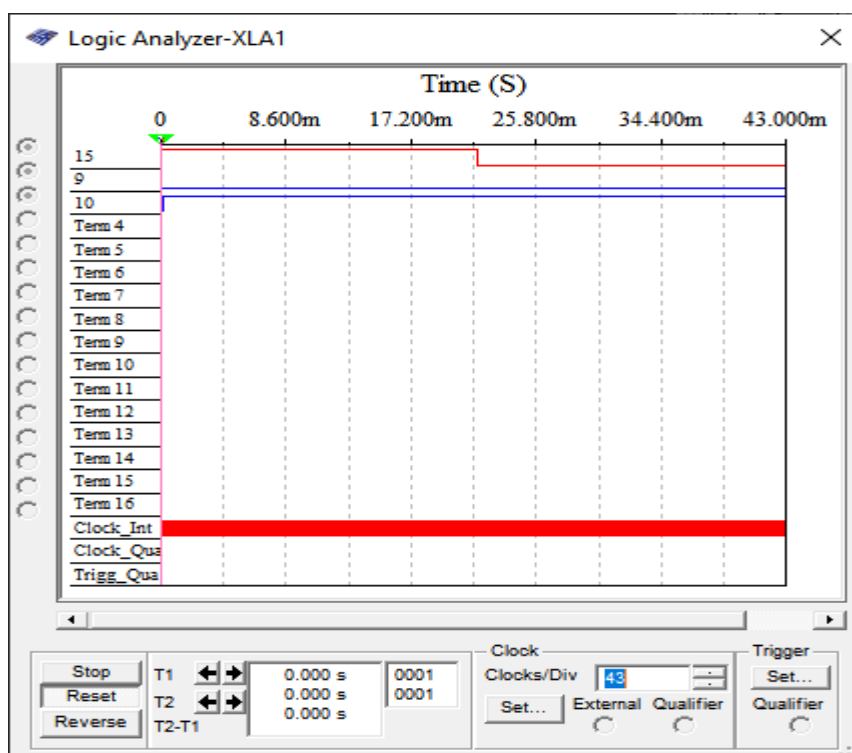


Рис. 58 Временная диаграмма триггера при переключении ключа. (Хранение 0)

Судя по результатам эксперимента, триггер срабатывает по переднему фронту.

## Теория:

T	Q <sub>t</sub>	Q <sub>t+1</sub>
0	0	0
0	1	1
1	0	0
1	1	1
$0 \rightarrow 1$	0	1
$0 \rightarrow 1$	1	0

Т-триггер — это счетный триггер. У данного триггера имеется только один вход. Принцип работы Т-триггера заключается в следующем. После поступления на вход Т импульса, состояние триггера меняется на прямо противоположное. Счётным он называется потому, что Т триггер как бы подсчитывает количество импульсов, поступивших на его вход. Жаль только, что считать этот триггер умеет только до одного. При поступлении второго импульса Т-триггер снова сбрасывается в исходное состояние.

Т-триггеры строятся только на базе двухступенчатых триггеров, подобных рассмотренному ранее D триггеру. Использование двух триггеров позволяет избежать неопределенного состояния схемы при разрешающем потенциале на входе синхронизации "С", так как счетные триггеры строятся при помощи схем с обратной связью

Т триггер можно синтезировать из любого двухступенчатого триггера. При этом не важно ТТЛ или КМОП технология используется. Рассмотрим пример синтеза Т триггера из динамического D триггера. Для того чтобы превратить D триггер в счётный, необходимо ввести цепь обратной связи с инверсного выхода этого триггера на вход, как показано на рисунке 1.

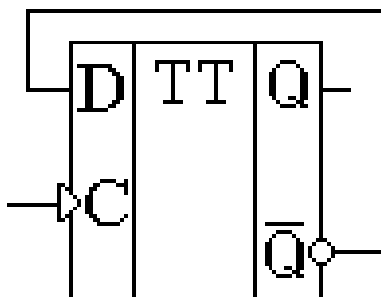


Рисунок 1. Схема Т триггера, построенная на основе D триггера

Временная диаграмма Т триггера приведена на рисунке 2. При построении этой временной диаграммы был использован триггер, работающий по заднему фронту синхронизирующего сигнала.

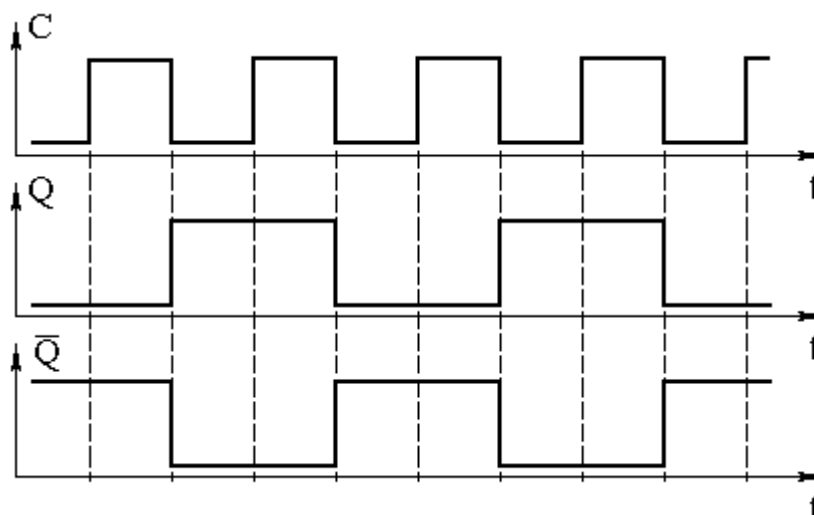


Рис. 59 Временные диаграммы Т триггера

Т-триггеры используются при построении схем различных счётчиков, поэтому в составе БИС различного назначения обычно есть готовые модули этих триггеров.

## K176TM1 (90-97г), 2 D-триггера (CD4003E)



Ном. номер: 21936

Артикул: K176TM1 (90-97г)

PartNumber: K176TM1

Производитель: Россия

**20 ₽**

✓ 88 шт. со склада г.Москва

− 1 +

от 15 шт. — 16 ₽  
от 150 шт. — по запросу

Добавить в корзину 1 шт. на сумму 20 ₽

**В корзину**

Рис. 60 K176TM1 (90-97г), 2 D-триггера (CD4003E)

## Описание

Стандартные серии КМОП: 176, 561, 564. Время задержки 50 нс(типовое), мощность потребления 0,4 мкВт/вентиль, напряжение питания 3-15 В

2 D-триггера со сбросом

Корпус: 201.14-1 (DIP14)

Импортный аналог: CD4003E

## Технические параметры

Серия	176тм
Наличие входа установки/сброса	reset
Тип триггера	D
Тип выхода	Дифференциальный
Кол-во элементов	2
Кол-во бит на элемент	1
Тактирование	передним фронтом
Напряжение питания, В	8.55...9.45
Рабочая температура, °C	-10...+70
Корпус	201.14-1
Подгруппа	триггеры
Технология	4000
Функциональное назначение	d-триггер
Вес, г	1.9

Рис. 61 Технические параметры K176TM1 (90-97г), 2 D-триггера (CD4003E)

Микросхема **K176TM1** содержит два D - триггера, причем триггер в микросхеме K176TM1 имеет только вход сброса R. Триггер переключается по положительному перепаду на тактовом входе C, при этом логический уровень, присутствующий на входе D передается на выход Q. Вход сброса R независим от тактового входа C и имеет высокие активные уровни. Максимальная тактовая частота до 5 МГц, но время фронта тактового сигнала не должно превышать 5 мкс. С другой стороны, длительность тактового импульса не должна быть менее 100 нс. Время установления выходных данных — более 25 нс.

Зарубежным аналогом микросхемы K176TM1 является микросхема **CD4003**.

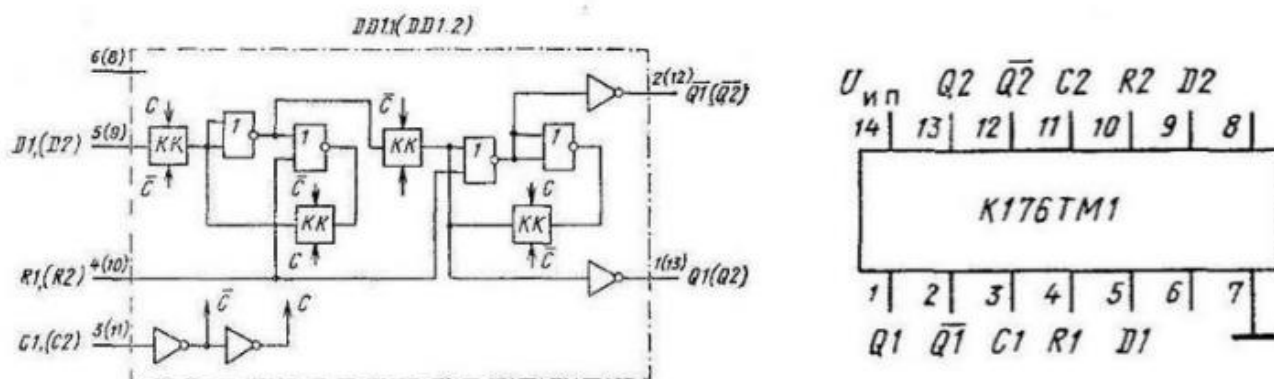


Рис. 62 Микросхема K176TM1

**Вывод:** Полученная таблица истинности и временные диаграммы совпадают с оными, представленными в сторонних теоретических материалах. Судя по результатам эксперимента, триггер срабатывает по переднему фронту.



### 3 Исследование JK – триггеров

#### 3.1 Исследование JK – триггера в интегральном исполнении

Откроем модель для исследования работы JK – триггера в интегральном исполнении:

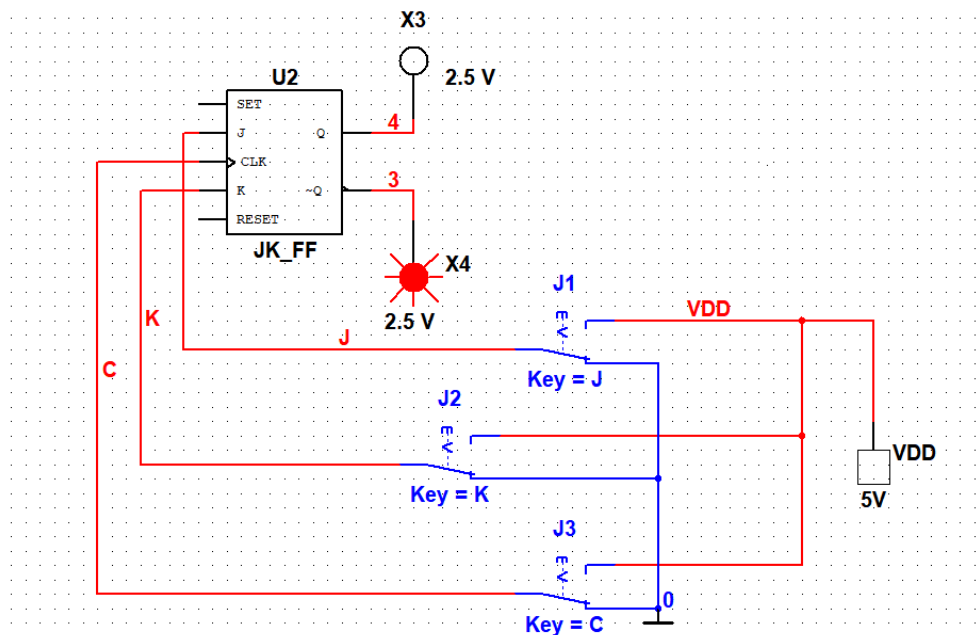


Рис. 63 Схема для моделирования JK – триггера в интегральном исполнении

Синхронизирующий сигнал в виде логической 1 подаётся на вход CLK от ключа С.

Запустим процесс моделирования. Задавая комбинации входных переменных с помощью ключей, по засвечиванию пробников заполнить таблицу переключений (истинности, состояний, переходов) JK - триггера.

С	J	K	$Q(t+1)$	$\bar{Q}(t+1)$	Режим
X	0	0	$Q(t)$	$\bar{Q}(t)$	Хранение
0	X	X	$Q(t)$	$\bar{Q}(t)$	Хранение
$0 \rightarrow 1$	0	1	0	1	Установка 0
$0 \rightarrow 1$	1	0	1	0	Установка 1
$0 \rightarrow 1$	1	1	$\bar{Q}(t)$	$Q(t)$	Счетный режим

Таб.8 X – безразличное состояние,  $0 \rightarrow 1$  – переход с логического 0 в 1.

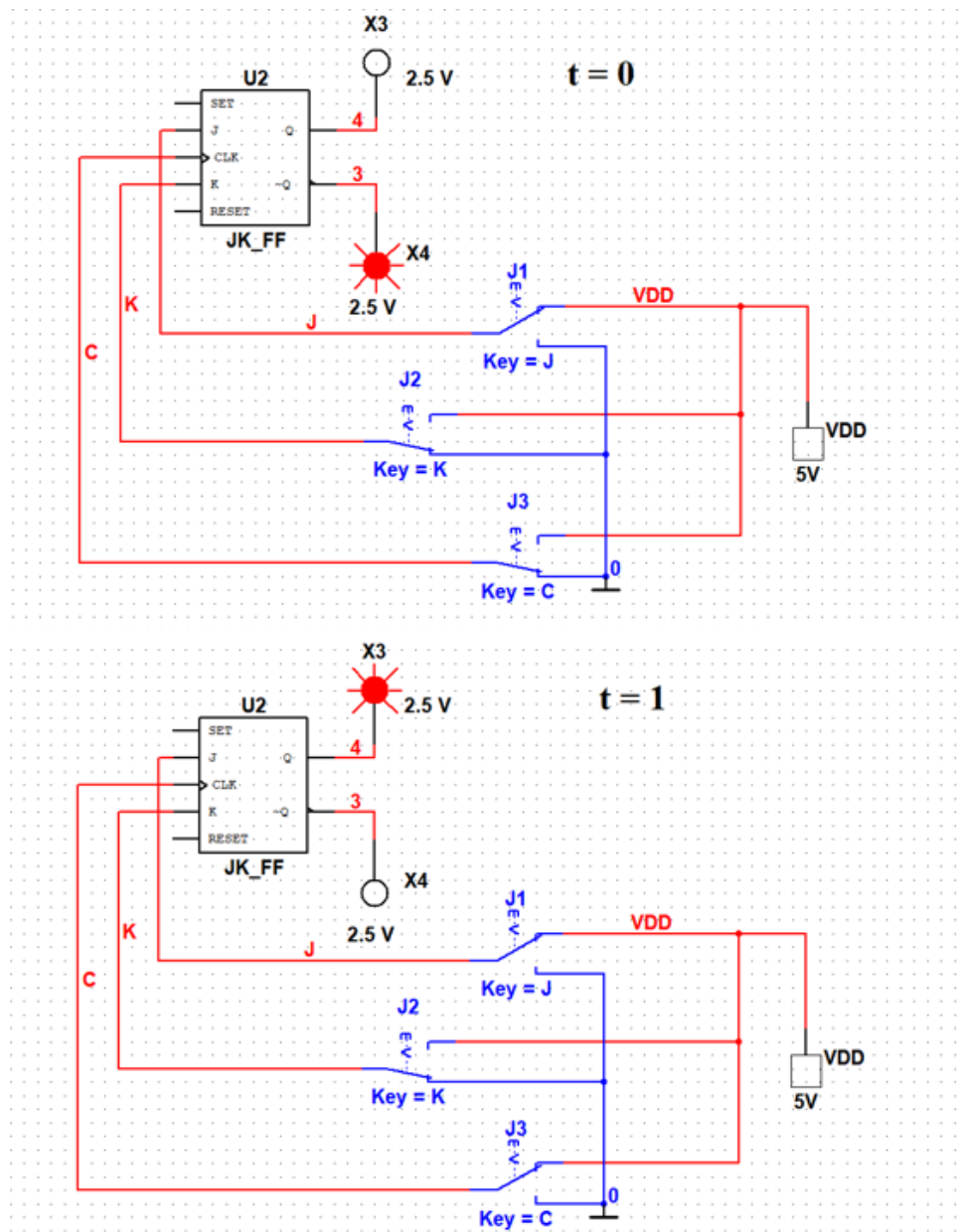


Рис. 63 Установка 1

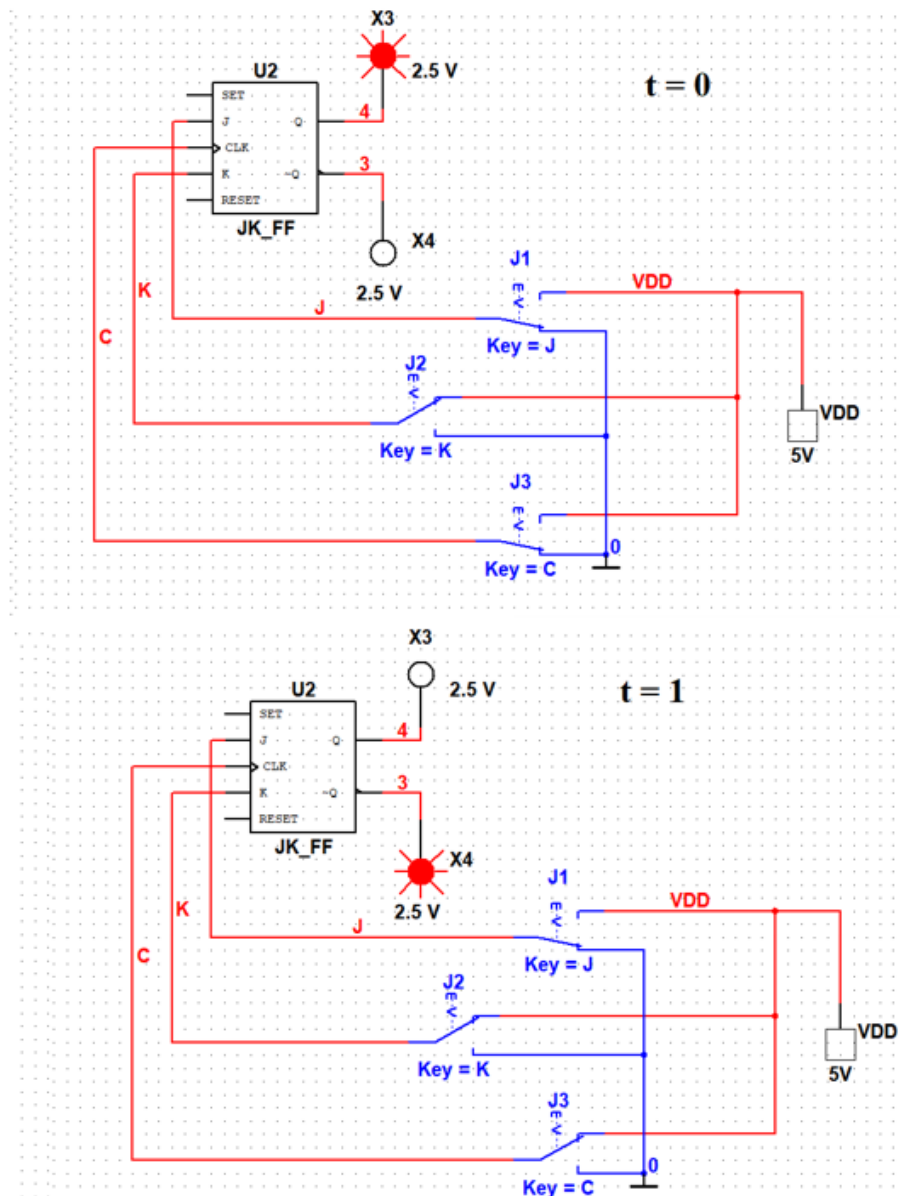


Рис. 64 Установка 0

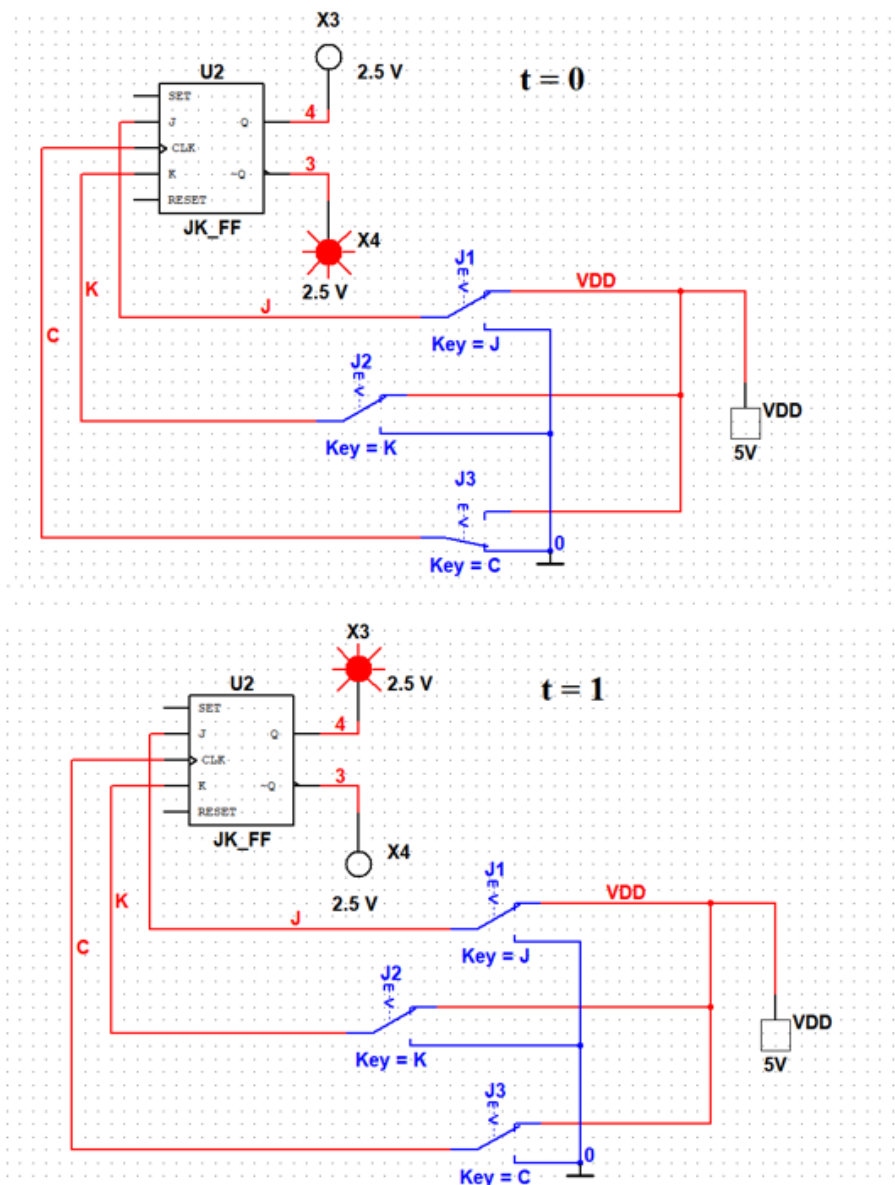


Рис 65 Счетный режим

Можно использовать другую модель, в которой синхронизирующий сигнал в виде импульсов частотой 10 Гц автоматически подаётся на вход CLK от источника V2

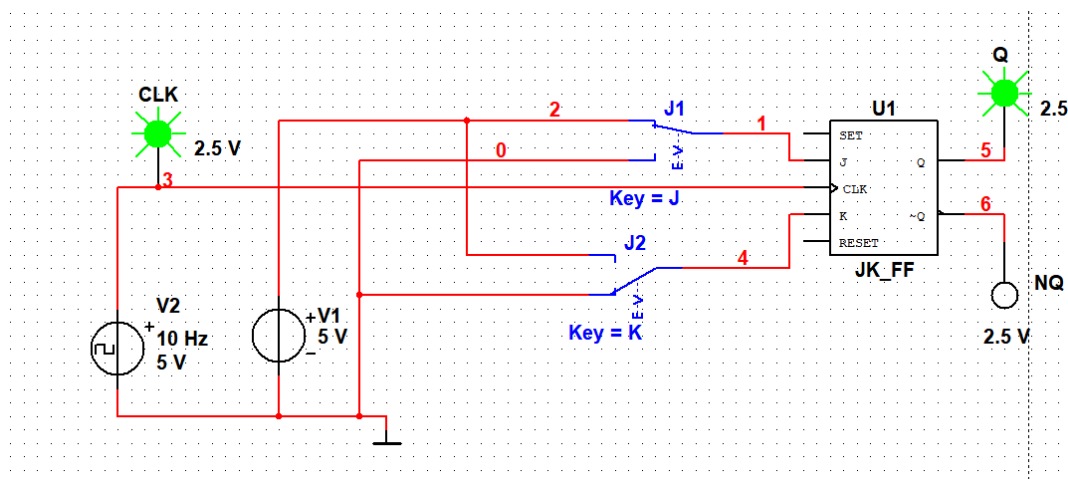


Рис. 66 Схема для моделирования JK – триггера с автоматической генерацией синхросигнала

Схема на рисунке 3.8 и рисунке 3.1 имеют аналогичные таблицы переключений.

3.1.3 Нарисовать временные диаграммы работы JK – триггера или подключить логический анализатор XLA1 и привести изображение его дисплея. Обратить внимание, по какому фронту импульса синхронизации срабатывает триггер.

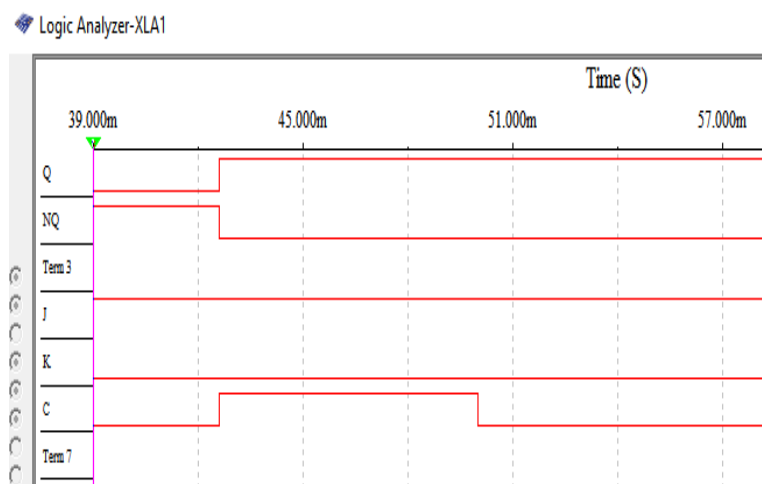


Рис. 67 Временная диаграмма с набором  $J = 1$ ,  $K = 0$  при переключении ключа  $C$  (Установка 1)

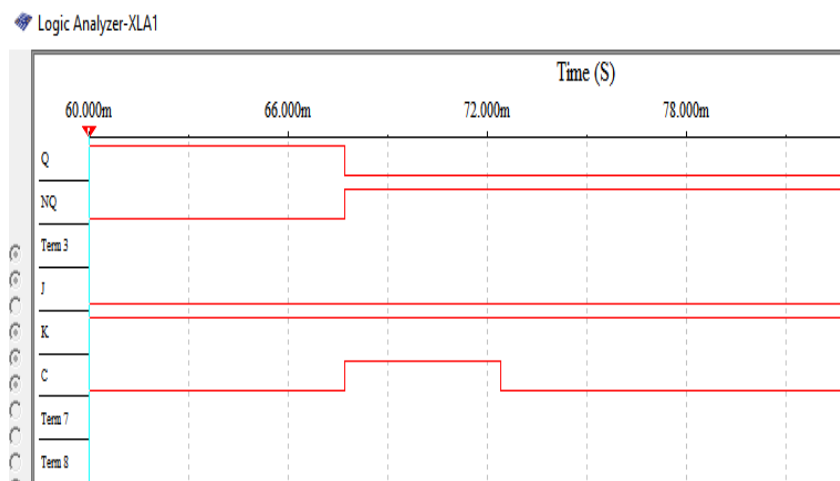


Рис. 68 Временная диаграмма с набором  $J = 0$ ,  $K = 1$  при переключении ключа  $C$  (Установка 0)

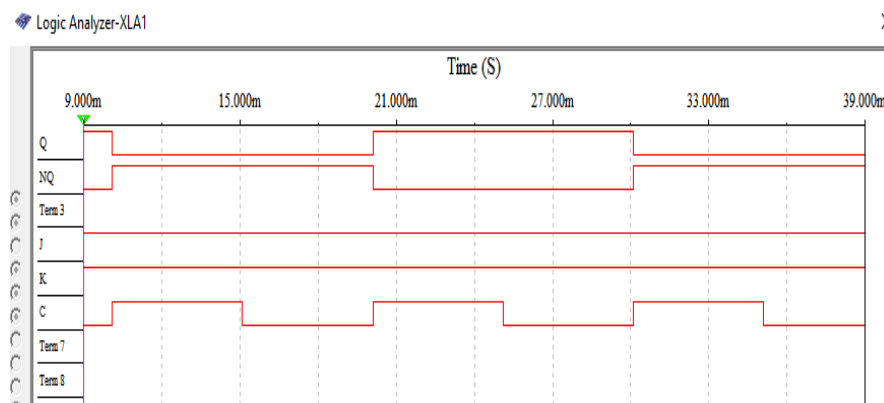


Рис. 69 Временная диаграмма с набором  $J = 1$ ,  $K = 1$  при переключении ключа  $C$  (Счетный режим)

Экспериментальный триггер срабатывает по переднему фронту.

Теория:

Таблица истинности jk триггера практически совпадает с таблицей истинности синхронного RS-триггера. Для того чтобы исключить запрещённое состояние, его схема изменена таким образом, что при подаче двух единиц jk триггер превращается в счётный триггер. Это означает, что при подаче на тактовый вход С импульсов он изменяет своё состояние на противоположное. Таблица истинности jk триггера приведена в таблице 1.

С	К	Ј	Q(t)	Q(t+1)	Пояснения
0	x	x	0	0	Режим хранения информации
0	x	x	1	1	
1	0	0	0	0	Режим хранения информации
1	0	0	1	1	
1	0	1	0	1	Режим установки единицы J=1
1	0	1	1	1	
1	1	0	0	0	Режим записи нуля K=1
1	1	0	1	0	
1	1	1	0	1	K=J=1 счетный режим триггера
1	1	1	1	0	

Рис. 70 Таблица истинности JK – триггера

Аналог - SN74LS107

Микросхема КР1533ТВ6 представляет собой два JK-триггера, срабатывающих по отрицательному фронту тактового сигнала, со входами сброса. Низкий уровень напряжения на входе сброса  $\bar{R}$  устанавливает прямой выход  $Q$  соответствующего триггера в состояние низкого уровня напряжения вне зависимости от логического состояния на других входах.

При наличии на входе сброса напряжения высокого уровня для правильной работы триггера требуется предварительная установка информации по входам  $J$  и  $K$  относительно отрицательного фронта тактового сигнала, а также соответствующая выдержка информации после подачи отрицательного фронта синхросигнала  $C$ . При подаче на входы  $J$  и  $K$  напряжения высокого уровня триггер будет работать в качестве счетного.

Расположение выводов

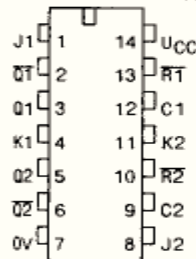


Таблица назначения выводов

01	J1	Вход разрешения установки универсального JK-триггера в состояние "логическая 1"
02	$\bar{Q}1$	Выход
03	Q1	Выход
04	K1	Вход разрешения установки универсального JK-триггера в состояние "логический 0"
05	Q2	Выход
06	$\bar{Q}2$	Выход
07	0V	Общий вывод
08	J2	Вход разрешения установки универсального JK-триггера в состояние "логическая 1"
09	C2	Вход тактовый
10	R2	Вход установки в состояние "логический 0"
11	K2	Вход разрешения установки универсального JK-триггера в состояние "логический 0"
12	C1	Вход тактовый
13	R1	Вход установки в состояние "логический 0"
14	UCC	Вывод питания от источника напряжения

Таблица истинности

Входы				Выход	
$\bar{R}$	C	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	L	L	H	L	H
H	L	H	H	L	H
H	L	L	L	Q <sub>0</sub>	$\bar{Q}_0$
H	L	H	L	H	$\bar{Q}_0$
H	H	X	X	Q <sub>0</sub>	$\bar{Q}_0$

Функциональная схема

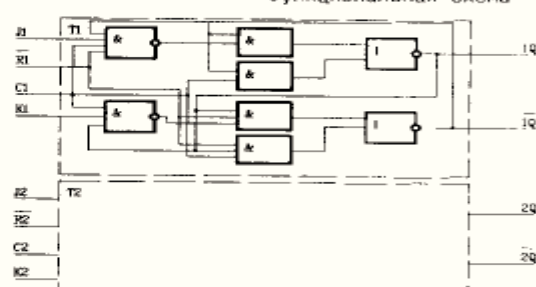
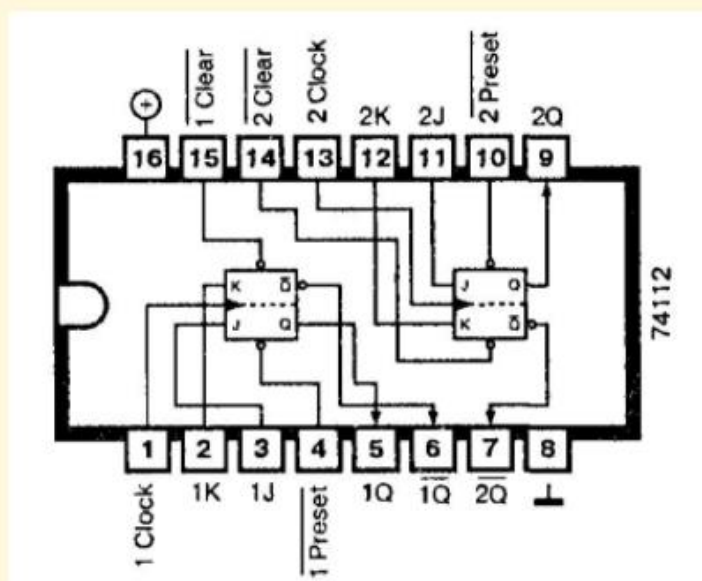


Рис 71 Микросхема КР1533ТВ6

# 74112



## Описание

Микросхема 74112 содержит два отдельных JK-триггера с входами установки и сброса. Запуск триггеров происходит по отрицательному фронту тактового импульса.

Рис. 72 микросхема 74112

## Работа схемы

Входные данные передаются на выходы микросхемы 74112 при перепаде напряжения на входе тактовых импульсов с высокого уровня на низкий (отрицательный фронт).

Когда на входы J и K микросхемы 74112 одновременно подается напряжение высокого уровня, триггер переключается из одного состояния в другое при каждом отрицательном фронте тактового импульса, благодаря чему возможно деление частоты на 2.

В течение подачи напряжения высокого уровня на вход тактовых импульсов микросхемы 74112 изменение уровней напряжения на входах J и K не оказывает никакого влияния на состояние триггера.

Входы установки  $\overline{\text{Preset}}$  и сброса  $\overline{\text{Clear}}$  микросхемы 74112 работают асинхронно, то есть независимо от всех других входов. Если на вход  $\overline{\text{Preset}}$  подается напряжение низкого уровня, то на выходе Q устанавливается напряжение высокого уровня. Если на вход сброса  $\overline{\text{Clear}}$  подается напряжение низкого уровня, то и на выходе Q формируется такое напряжение.

Аналог микросхемы 74112, но с другим расположением выводов, — 7476.

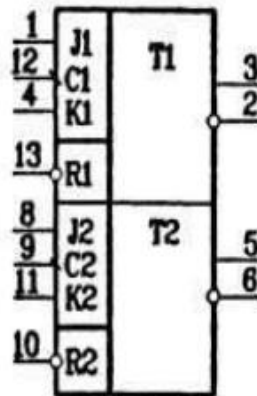
Рис. 73 работа схемы 74112



## КР1533ТВ6, КФ1533ТВ6, ЭКА1533ТВ6, ЭКФ1533ТВ6

Микросхемы представляют собой два JK-триггера со сбросом. Корпус типа 201.14-1, масса не более 1 г и 4306.14-А.

Назначение выводов: 1, 8 - входы разрешения установки универсального JK-триггера в состояние лог. 1 J1, J2; 2, 3, 5, 6 - выходы  $\overline{Q1}$ , Q1, Q2,  $\overline{Q2}$ ; 4, 11 - вход разрешения установки универсального JK-триггера в состояние лог. 0 K1, K2; 7 - общий; 9, 12 - входы тактовые C2, C1; 10, 13 - входы установки в состояние лог. 0  $\overline{R2}$ ,  $\overline{R1}$ ; 14 - напряжение питания.



Условное графическое обозначение КР1533ТВ6, КФ1533ТВ6, ЭКА1533ТВ6, ЭКФ1533ТВ6

### Таблица истинности

Вход				Выход	
$\overline{R}$	C	J	K	Q	$\overline{Q}$
0	X	X	X	0	1
1	$\neg$	0	1	0	1
1	$\neg$	1	1	Счетный режим	
1	$\neg$	0	0	Q0	$\overline{Q0}$
1	$\neg$	1	0	1	0
1	1	X	X	Q0	$\overline{Q0}$

Рис. 74 Техническая документация микросхемы КР1533ТВ6

**Вывод:** Полученная таблица переключений экспериментального триггера сходиться с представленной на рисунке и отличается от документации микросхемы КР1533ТВ6, т.к. микросхема работает по заднему фронту. Экспериментальный триггер срабатывает по переднему фронту.

### 3.2 Исследование синхронного счётного JK – триггера в интегральном исполнении

Откроем модель для исследования работы синхронного счётного JK – триггера в интегральном исполнении или собрать её самостоятельно.

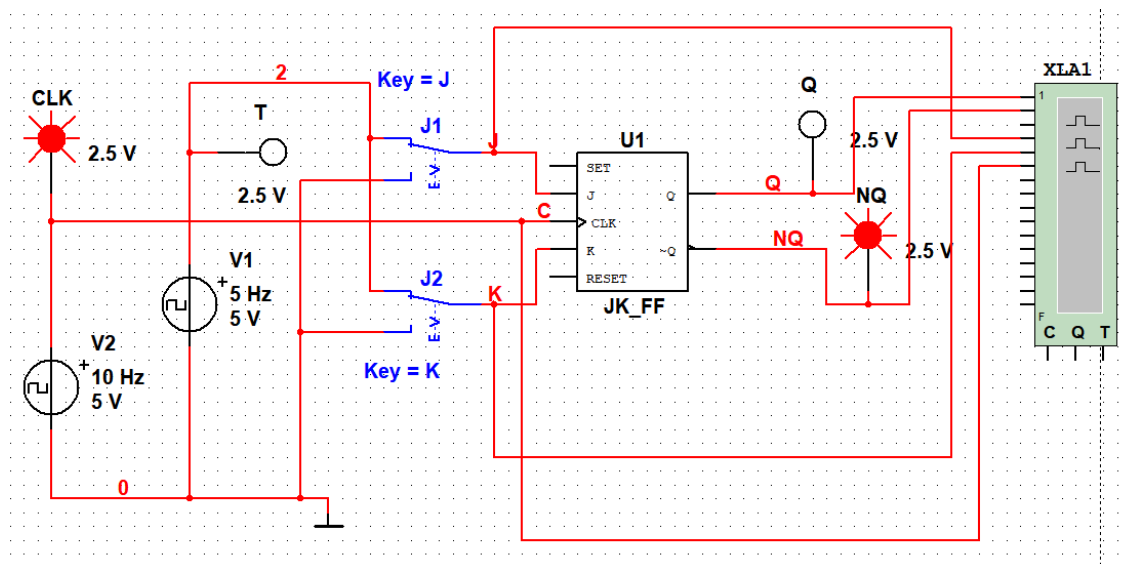


Рис. 75 Схема для моделирования синхронного счётного JK – триггера в интегральном исполнении

Сигнал Т, подлежащий счёту, в виде последовательности логических 0 и 1 частотой 5 Гц подаётся на объединённые входы J и K от источника V1. Синхронизирующий сигнал в виде импульсов частотой 10 Гц подаётся на вход CLK от источника V2.

3.2.2 Запустить процесс моделирования. По засвечиванию пробников заполнить таблицу переключений (истинности, состояний, переходов) синхронного счётного JK – триггера. Шаблон для таблицы взять из рекомендованных и доступных Вам источников. Предпочтение нужно отдавать таблицам, приведённым в промышленной документации производителей микросхем JK – триггеров.

C	J	K	$Q(t+1)$	$\bar{Q}(t+1)$	Режим
X	0	0	$Q(t)$	$\bar{Q}(t)$	Хранение
$0 \rightarrow 1$	1	1	$\bar{Q}(t)$	$Q(t)$	Счетный режим

Таблица 10

## Работа JK триггера в счетном режиме

Если JK входы соединить, как показано на рисунке 2а, то триггер будет работать в счетном режиме: состояние триггера будет изменяться с каждым входным импульсом. Резистор R4 показан на схеме пунктиром – его можно и не ставить, ведь неподключенные входы все равно находятся в состоянии логической единицы. Главным назначением этого резистора является защита от помех через входы JK.

Временная диаграмма работы JK триггера показана на рисунке 2б, и она очень похожа на подобную диаграмму для D – триггера. Основное отличие состоит в том, что изменение состояния триггера происходит не по положительному перепаду уровня на входе С, а по отрицательному – переходу уровня входного импульса из высокого уровня в низкий.

Нетрудно заметить, что частота импульсов на выходе триггера ровно в два раза ниже, чем частота входных импульсов. Поэтому триггеры в счетном режиме часто используются как делители частоты на два. Два триггера включенные последовательно разделят частоту на четыре, а три триггера уже на восемь и так далее по степени числа 2.

Если требуется делитель частоты с нечетным коэффициентом деления, то используются несколько триггеров с обратными связями, но об этом будет рассказано в следующей части статьи о счетчиках и формирователях импульсов.

Из сказанного можно сделать вывод: если JK входы одновременно находятся в состоянии логической единицы (высокого уровня), триггер работает в счетном режиме. Это значит, что по каждому отрицательному перепаду уровня на входе С состояние триггера меняется на противоположное.

Схема для испытания JK триггера K155TB1 показана на рисунке 2.

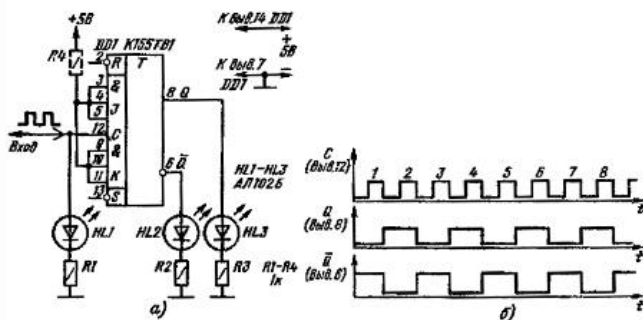


Рисунок 2. Испытания JK триггера K155TB1.

Рис. 76 Работа JK триггера в счетном режиме

Подключим логический анализатор XLA1 и привести изображение его дисплея:

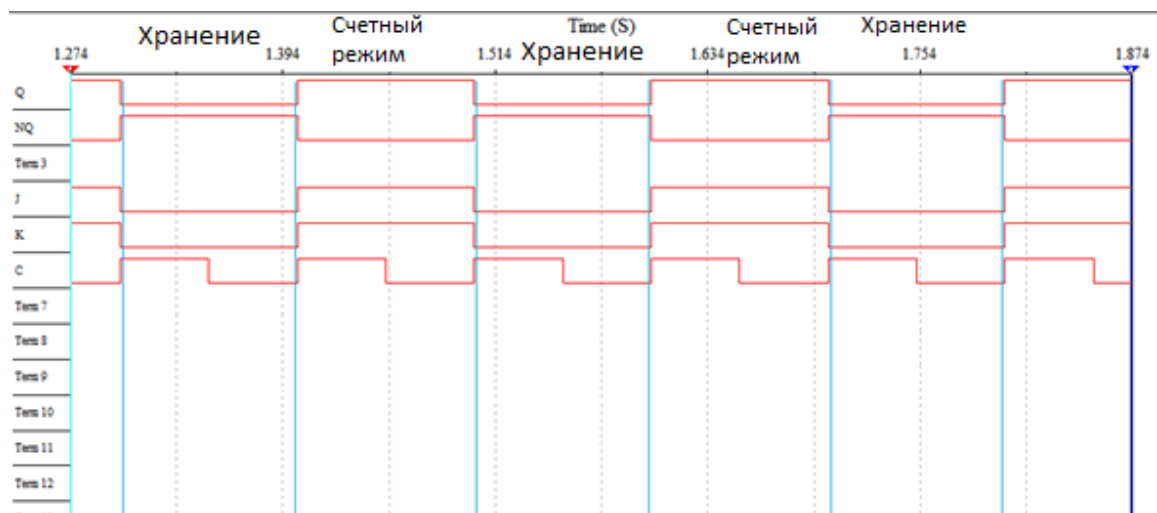


Рис. 77 Временная диаграмма работы JK триггера в счетном режиме

Экспериментальный триггер срабатывает по переднему фронту.

SN54107, SN54LS107A,  
SN74107, SN74LS107A  
DUAL J-K FLIP-FLOPS WITH CLEAR  
SDLS036 - DECEMBER 1983 - REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

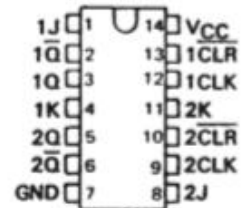
#### description

The '107 contain two independent J-K flip-flops with individual J-K, clock, and direct clear inputs. The '107 is a positive pulse-triggered flip-flop. The J-K input data is loaded into the master while the clock is high and transferred to the slave and the outputs on the high-to-low clock transition. For these devices the J and K inputs must be stable while the clock is high.

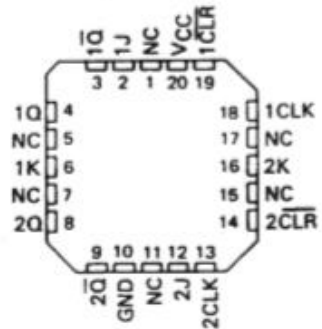
The 'LS107A contain two independent negative-edge-triggered flip-flops. The J and K inputs must be stable prior to the high-to-low clock transition for predictable operation. When the clear is low, it overrides the clock and data inputs forcing the Q output low and the  $\bar{Q}$  output high.

The SN54107 and the SN54LS107A are characterized for operation over the full military temperature range of -55°C to 125°C. The SN74107 and the SN74LS107A are characterized for operation from 0°C to 70°C.

SN54107, SN54LS107A . . . J PACKAGE  
SN74107 . . . N PACKAGE  
SN74LS107A . . . D OR N PACKAGE  
(TOP VIEW)



SN54LS107A . . . FK PACKAGE  
(TOP VIEW)



NC - No internal connection

'107  
FUNCTION TABLE

INPUTS				OUTPUTS	
CLR	CLK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	$\downarrow$	L	L	$Q_0$	$\bar{Q}_0$
H	$\downarrow$	H	L	H	L
H	$\downarrow$	L	H	L	H
H	$\downarrow$	H	H	TOGGLE	TOGGLE

'LS107A  
FUNCTION TABLE

INPUTS				OUTPUTS	
CLR	CLK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	$\downarrow$	L	L	$Q_0$	$\bar{Q}_0$
H	$\downarrow$	H	L	H	L
H	$\downarrow$	L	H	L	H
H	$\downarrow$	H	H	TOGGLE	TOGGLE
H	H	X	X	$Q_0$	$\bar{Q}_0$

Рис. 78 документация SN54107, SN54LS107A, SN74107, SN74LS107A

logic diagrams (positive logic)

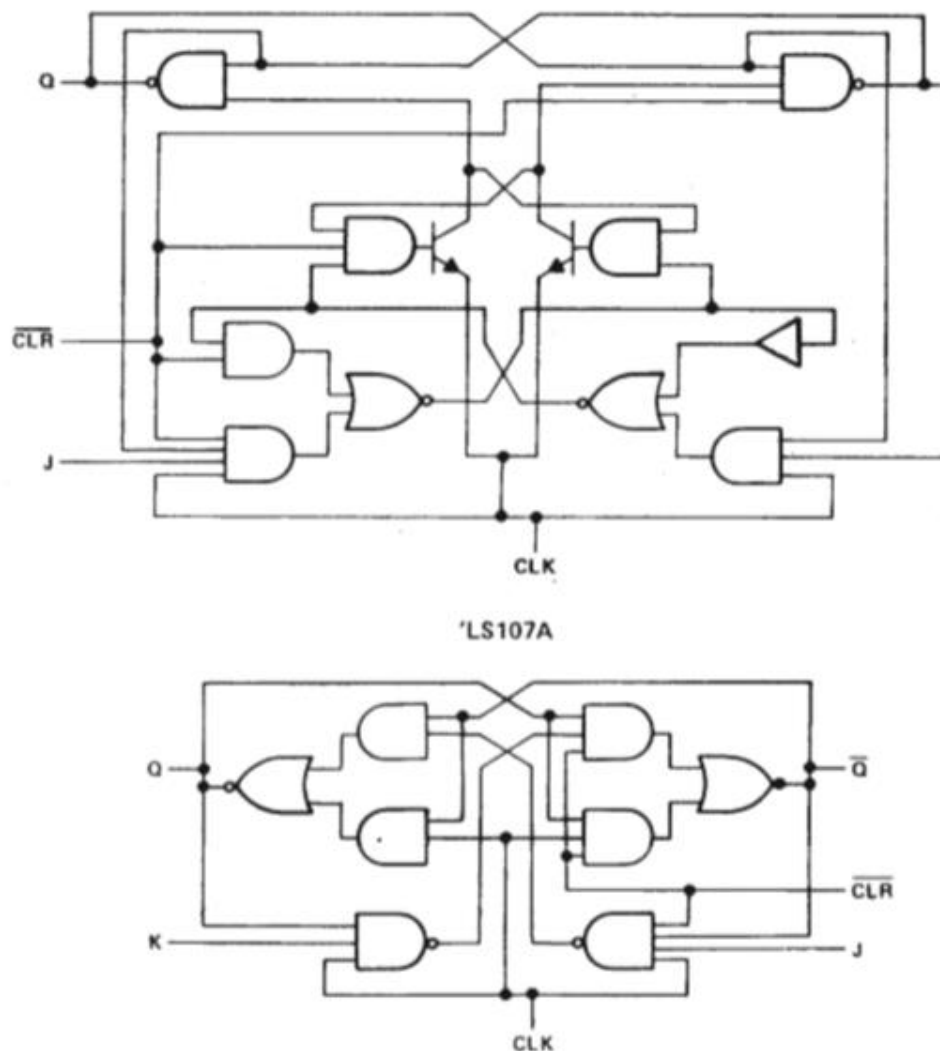


Рис. 79 логические диаграммы

**Вывод:** В результате можно сделать вывод, что в счетном режиме: состояние триггера будет изменяться с каждым входным импульсом. Частота импульсов на выходе триггера ровно в два раза ниже, чем частота входных импульсов. Поэтому триггеры в счетном режиме часто используются как делители частоты на два. Из проведенных исследований можно сделать вывод что, если JK входы одновременно находятся в состоянии логической единицы (высокого уровня), триггер работает в счетном режиме. Это значит, что по каждому отрицательному перепаду уровня на входе C состояние триггера меняется на противоположное.