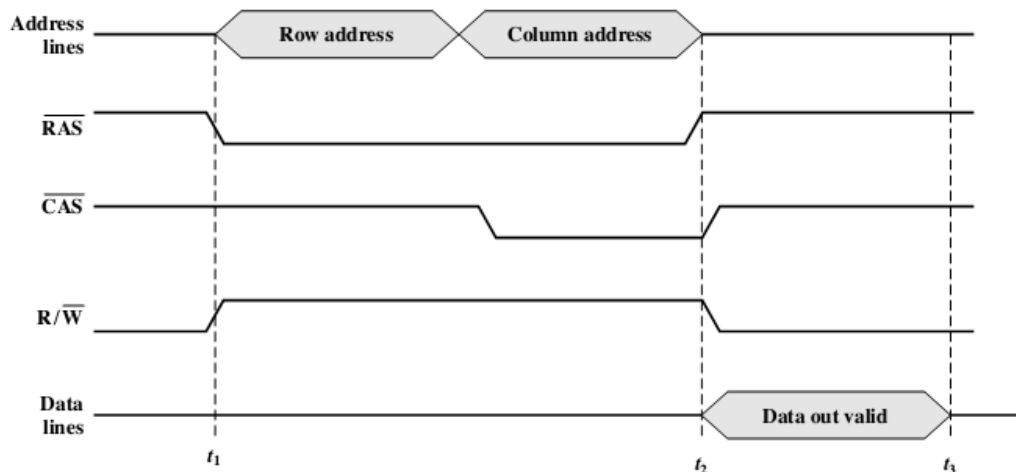


“计算机组织结构” 作业 02

1. 假设采用分散式刷新，下图表示一个 DRAM 经由总线的读操作的简化时序。存取时间认为是由 t_1 到 t_2 。由 t_2 到 t_3 是刷新时间，此期间 DRAM 芯片必须再充电，然后处理器才能再次存取它们。



- a) 假定存取时间是 60ns，刷新时间是 40ns。问：存储周期是多少（单位：ns，精度：整数）？假定 1 位输出，这个 DRAM 所支持的最大数据传输率是多少（单位 Mbps，精度：整数）？
- b) 使用这些芯片构成一个 32 位宽的存储器系统，其产生的数据传输率是多少（单位 Mbps，精度：整数）？
2. 已知某机主存容量为 64KB，按字节编址。假定用 $1K \times 4$ 位的 DRAM 芯片构成该存储器，请问：
- a) 需要多少个这样的 DRAM 芯片？
- b) 主存地址共多少位？高几位用于选片？低几位用于片内选片？
3. 假定用 $8K \times 8$ 位的 EPROM 芯片组成 $32K \times 16$ 位的只读存储器，请问
- a) 数据寄存器（用于存放数据）最少应有多少位？
- b) 地址寄存器（用于存放地址）最少应有多少位？
- c) 共需要多少个 EPROM 芯片？
4. 计算机系统包含容量为 $32K \times 16$ 位的主存，按字编址，每字 16 位。Cache 采用 4 路组关联的映射方式，数据区大小为 4K 字，主存块大小为 64 字。假设 Cache 初始时是空的，处理器顺序地从存储单元（每个存储单元中包含 1 个字）0, 1, ..., 4351 中取数，然后再重复这一顺序 9 次，并且 Cache 的速度是主存的 10 倍，同时假设块替换用 LRU 算法。请说明使用 Cache 后的速度为原来的多少倍（精度：小数点后 1 位）。

5. 考虑一个每行 16 个字节的 4 行 Cache，主存按每块 16 个字节划分，即块 0 有地址 0 到 15 的 16 个字节，等等。先考虑以程序，它以如下地址顺序访问主存：
 一次：63~70
 循环 10 次：15~32，80~95
- (a) 假设 Cache 组织成直接映射式。块 0、4、...指派到行 0，块 1、5、...指派到行 1，如此类推。请计算命中率（形式：小数，非百分数；精度：小数点后 3 位）。
- (b) 假设 Cache 组织成两路组关联映射式，共有两组，每组两行。偶序号块指派到组 0，奇序号块指派到组 1。使用 LRU 替换策略，请计算命中率（形式：小数，非百分数；精度：小数点后 3 位）。
6. 考虑一个存取时间为 1ns 和命中率 $H=0.95$ 的 L1 Cache。假设我们修改了此 Cache 的设计（Cache 的容量、组织），从而是命中率提升到 0.97，但也使存取时间增大到 1.5ns。如果要使得新设计能导致性能改善，cache 的速度必须是主存的多少倍以上（精度：整数）？
7. 假设主存中的 5 个块 {1, 2, 3, 4, 5} 映射到 cache 的同一组，对于主存块访问地址流 {1, 2, 3, 4, 1, 2, 5, 1, 2, 3, 4, 5}，计算以下情况下的命中率（形式：小数，非百分数；精度：小数点后 3 位）：
- 采用 3-路组关联和 LRU 算法
 - 采用 4-路组关联和 LRU 算法
 - 采用 5-路组关联和 LRU 算法
 - 采用 3-路组关联和 FIFO 算法
 - 采用 4-路组关联和 FIFO 算法
 - 采用 5-路组关联和 FIFO 算法
8. 假设某处理器的时钟频率为 1.2GHz，当 L1 cache 无缺失时的 CPI 为 1（即 CPU 可以快速地从 L1 cache 中读取指令，并在 1 个时钟周期内完成）。访问一次主存的时间为 100ns（包括所有缺失处理），L1 cache 的局部缺失率为 2%。若增加一个 L2 cache，并假定 L2 cache 的访问时间为 5ns，而且其容量足够大到使全局缺失率仅为 0.5%。分析增加 L2 cache 后处理器执行程序的效率为原来的多少倍（精度：小数点后 3 位）？
9. 某计算机的主存地址空间为 256MB，按字节编址，指令 Cache 分离，均有 8 个 Cache 行，每个 Cache 行的大小为 64B，数据 Cache 采用直接映射方式，现有两个功能相同的程序 A 和 B，其伪代码如下所示：

程序 A: <pre>int a[256][256];</pre>	程序 B: <pre>int a[256][256];</pre>
--------------------------------------	--------------------------------------

<pre> int sum_array 1() { int i, j, sum=0; for(i=0;i<256;i++) for (j=0;j<256;j++) sum +=a[i][j]; return sum; } </pre>	<pre> int sum_array 2() { int i, j, sum=0; for(j=0;j<256;j++) for (i=0;i<256;i++) sum +=a[i][j]; return sum; } </pre>
---	---

假定int类型数据用32位补码表示，程序编译时i、j、sum均分配在寄存器中，数组a的首地址为320(十进制)。

- 若不考虑用于 Cache 一致维护和替换算法的控制位，则数据 Cache 的总容量为多少（单位：字节）？
- 数组元素 a[0][31]和 a[1][1]各自所在的主存块对应的 Cache 行号分别是多少（Cache 行号从 0 开始）？
- 程序 A 和 B 的数据访问命中率各是多少（形式：小数，非百分数；精度：小数点后 3 位）？

===== 分割线：以下内容不在小程序上提交 =====

- 一个组关联 Cache 由 64 个行组成，每组 4 行。主存储器包含 4K 个块，每块 128 字，请表示主存地址的格式。
- 一个两路组关联的 Cache 具有 8K 字节的容量，每行 16 字节。64M 字节的主存时字节可寻址的（即以字节为单位进行访问）。请给出主存地址格式。
- 假设 Cache 有 4K 字，每行 32 字。对十六进制主存地址：111111、666666、BBBBBB，请用十六进制格式表示如下信息：(1)直接映射 Cache 的地址格式，(2)全关联映射 Cache 的地址格式，(3)两路组关联 Cache 的地址格式。（提示：每个映射方式下，需要将标记、块内地址等分开表示。）[刘璟 121250083]
- 对一个有两级 Cache 的系统，定义： T_{c1} = 第一级 Cache 存取时间； T_{c2} = 第二级 Cache 存取时间； H_1 = 第一级 Cache 命中率； H_2 = 组合的第一/二级 Cache 命中率。请给出读操作时间的表示。（提示：需要假设主存的存取时间）