

CAPITOLO 9

Flip-Flop Master/Slave ed Edge-Triggered

9.0 Flip Flop Master- Slave e Edge-Triggered

Come annunciato, la soluzione a tutti i problemi denunciati nel paragrafo precedente è duplice

- 1) Flip-Flop Master/Slave
- 2) Flip-Flop Edge Triggered

La prima soluzione è la più semplice da capire ma, per quanto riguarda i F/F tipo JK e T non definitiva. Invece i Flip-Flop Edge-Triggered, pur essendo più complicata da capire, offrono una soluzione che rendono il loro utilizzo più semplice: lo stato futuro di tutti i F/F dipende soltanto dal valore delle variabili d'ingresso al momento della transizione attiva (sia esso fronte positivo sia negativo) del clock. Pertanto prima spiegheremo la struttura Master-Slave e poi l'Edge-Triggered.

9.1 Flip-Flop Master/Slave SR

La Fig. 9.1 riproduce lo schema del F/F RS con Clear e Preset asincroni già visto (qui riprodotto per comodità) e il cui funzionamento è di tipo Latch. Noi utilizzeremo questo circuito come base per realizzare dei F/F Master/ Slave di tipo SR, D, JK e T.

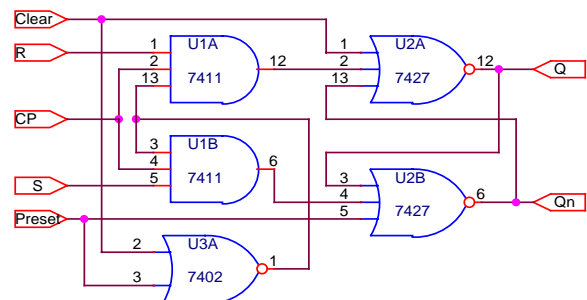


Fig. 9.1

La Fig. 9.2 mostra due blocchi gerarchici PSPICE (RSFF e RSFF_1) che, utilizzando lo stesso F/F RS di Fig. 9.1, realizzano un F/F RS Master-Slave. Ci riferiremo a RSFF col nome di Master e RSFF_1 col nome di Slave. I due F/F sono collegati in cascata: l'uscita Q del Master è collegato con l'ingresso S dello Slave e l'uscita Q' del Master è collegata con l'ingresso R dello Slave. Si noti, tuttavia, che l'ingresso clock dello Slave riceve una forma d'onda complementare rispetto a quello del Master. Bisogna tenere presente ciò per comprendere il funzionamento di questo tipo di F/F. Infatti, esso fa sì che i due F/F siano attivi (come F/F Latch) in tempi diversi e successivi: il Master è attivo

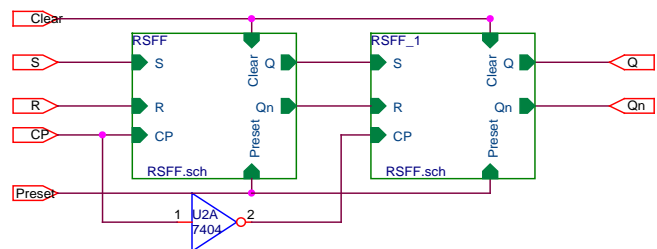


Fig 9.2

quando l'ingresso clock è all'uno logico e lo Slave è attivo quando l'ingresso clock è allo zero logico. In altri termini entrambe le sezioni hanno un comportamento di tipo Latch ma il Master è trasparente nella prima fase del clock (alto) mentre lo Slave nella seconda fase del clock (basso). Mentre il Master è trasparente esegue, se così lo richiedono i livelli di ingresso S e R, dei cambiamenti di stato. Questi però non saranno trasmessi allo Slave (essendo quest'ultimo in fase di Latch). Quando la fase di trasparenza del Master termina, lo stato che esso possiede in quell'istante viene congelato e trasferito alla sezione Slave. Per tutto il tempo in cui il clock è basso il Master non può cambiare stato e quindi lo Slave resta stabilmente nello stato catturato al momento della transizione negativa del clock. È appena il caso di far notare che, se il clock fosse collegato direttamente allo slave e quindi il clock complementato al Master, la transizione catturata dallo Slave sarebbe quella del Master, nel momento in cui avviene la transizione *positiva* del clock.

La Fig. 9.3 definisce il Blocco Gerarchico MSRS (Master Slave Reset Set Flip-Flop) che ha al suo interno le due unità RS Clocked connesse nel modo Master/Slave ora illustrato. Il Timing di Fig. 9.4 mostra il funzionamento di questo F/F controllato dalle linee S e R. Si noti che le variazioni di stato del F/F avvengono (se così è richiesto) al momento della transizione negativa del clock e che a determinarne lo stato finale sono i livelli di S e R presenti in quell'istante. Nessuna commutazione avviene in tempi diversi da quelli ora evidenziati.

Gli ingressi asincroni di Clear e Preset funzionano come già descritto.

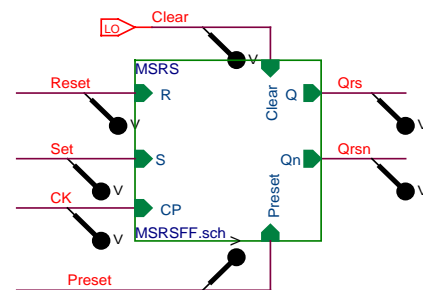


Fig 9.3

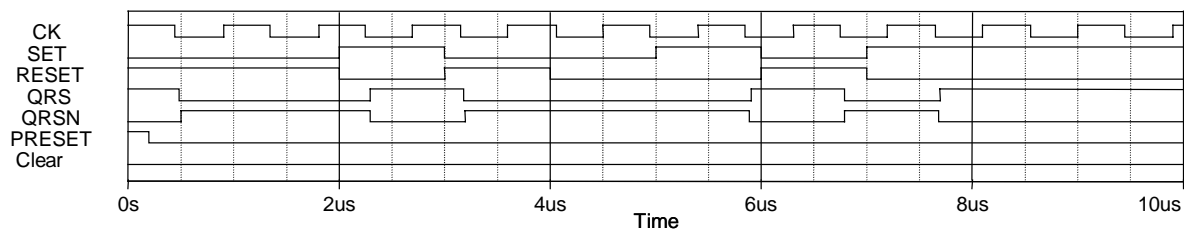


Fig 9.4

9.2 Flip-Flop D Master/Slave

Ricordiamo che per trasformare un F/F SR in uno D bisogna che siano $S=D$ e $R=D'$.

La Fig. 9.5a mostra la modifica del F/F RS in D e la Fig. 9.5b il Blocco Gerarchico PSPICE, MSDFF, che lo definisce. Il timing di Fig. 9.6 mostra come

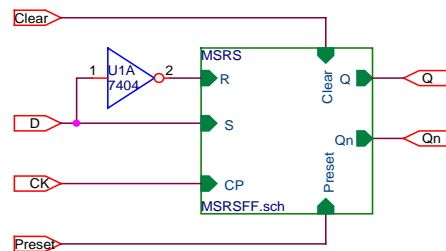


Fig 9.5a

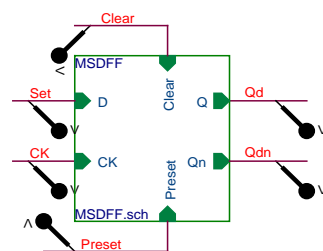


Fig. 95b

che lo stato di uscita commuta sui fronti negativi del clock e che questo prende lo stesso livello logico presente all'ingresso, D, al momento della transizione stessa. Che è il funzionamento richiesto

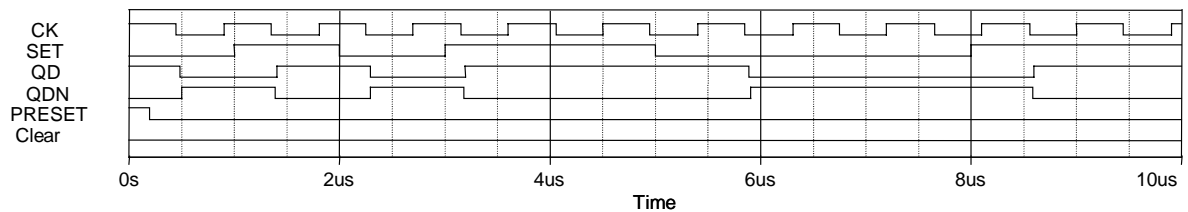


Fig 9.6

9.3 Flip-Flop Master/Slave JK e T

La Fig. 9.7 mostra la realizzazione del F/F JK a partire da F/F RS. Ricordiamo che le equazioni sono: $S=JQ'$ e $R=KQ$. La Fig. 9.8 riporta il Blocco Gerarchico PSPICE, MSJK, che lo definisce. La realizzazione di questa funzione, in realtà potrebbe essere ottenuta utilizzando le due AND della sezione master con un ingresso in più. In tal modo si eviterebbe il passaggio del segnale attraverso un ulteriore livello, come avviene in questo schema, tuttavia il funzionamento sarebbe identico.

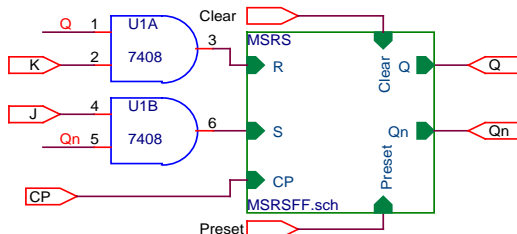


Fig 9.7

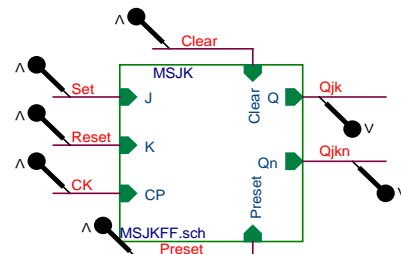


Fig. 9.8

Si noti che la presenza delle reazioni in ingresso delle uscite, Q e Qn, provocano degli effetti indesiderati, come vedremo immediatamente, tuttavia non sono tali da renderlo, inutilizzabile.

Consideriamo il caso in cui $Q = 0$ e $Q_n = 1$ (l'altro caso si studia allo stesso modo!). A causa della reazione, solo la porta U1B è attiva (vedi Fig. 9.7). Se avviene una transizione ad 1 sulla linea J (o il suo stato è =1) durante il tempo in cui il Master è attivo ($CP = 1$) questa transizione o stato setterà il Master ed eventuali altre transizioni a zero (e quindi ad 1) di J non saranno in grado di Resettarlo. Perché vada a zero, infatti, si dovrebbe usare la linea K, ma le sue variazioni non passano la porta U1A che è disabilitata dal livello $Q = 0$. Ciò significa che la transizione di J, avvenuta nel tempo in cui il clock è alto viene memorizzata definitivamente sul Master. Supposto che, quando il clock fa la transizione negativa, il livello

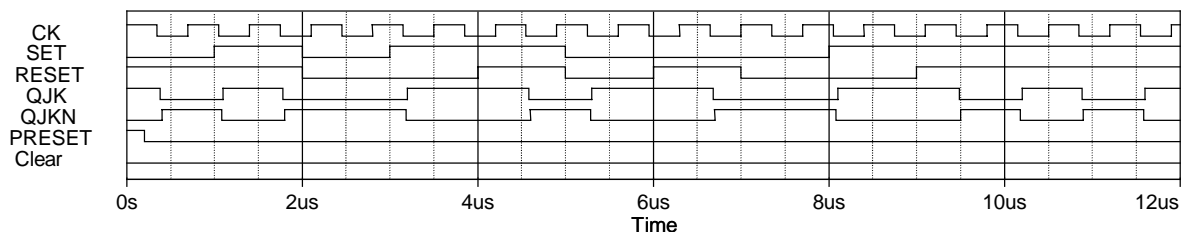


Fig 9.9

di J è ritornato a zero, lo stato trasferito allo Slave è, ciononostante, quello di Setting. Pertanto, osservando lo stato delle linee di controllo J e K al momento della transizione negativa del clock, troviamo una incongruenza tra il loro stato (in quell'istante) e lo stato futuro del F/F (vedi Fig. 9.9 al tempo 5.25 µs circa). Per tale motivo i costruttori di integrati suggeriscono di fare avvenire le variazioni di J e K mentre il master non è attivo (nel nostro caso mentre il clock è allo stato basso) e mantenere, poi, costante i loro livelli per tutta la durata della seconda fase del clock. In tal modo lo stato futuro del F/F è legato univocamente allo stato presente delle linee di controllo all'istante della transizione attiva (nel nostro caso sul fronte negativo).

Nota Bene: Nei F/F Master/Slave, RS e D, tale problema non è riscontrato non essendo presente la reazione.

È per evitare questa prescrizione, in certi casi molto limitativa, che sono stati realizzati flip-flop del tipo, *EDGE-TRIGGERED*. Questi, pur eseguendo la stessa funzione, superano questo inconveniente.

Il timing di Fig. 9.9 mostra il funzionamento di questo F/F. Notare che le transizioni di J e K seguono la descrizione sopra spiegata.

Nella parte finale del timing i livelli di J e K sono mantenuti alti per mostrare il comportamento della versione T di questo F/F ottenuta cortocircuitando gli ingressi J e K e chiamando, T, l'unico ingresso risultante. Infatti quando entrambi sono ad uno il F/F T fa una commutazione di stato, quando sono a zero il F/F resta nello stesso stato.

9.4 D Flip-Flop Edge-Triggered

La realizzazione dei Flip-Flop Edge-Triggered, è il modo alternativo al Master/Slave di ottenere un F/F stabile. Essi, come già detto, sono più complicati da capire e da spiegare. Questi F/F, indipendentemente dal tipo; RS, D, JK e T, effettuano le transizioni di stato che dipende dallo stato delle sue linee di controllo nel momento in cui avviene la **transizione positiva o negativa del clock**. Lo stato futuro del F/F è quindi indipendente dalla loro storia, tra due transizioni consecutivi dello stesso fronte (purché siano rispettati i tempi di set-up del F/F).

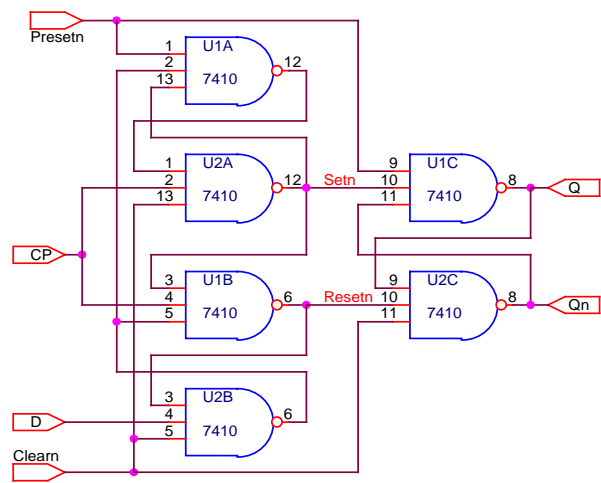


Fig 9.10

9.4.1 Analisi del Flip Flop D Edge-Triggered

Iniziamo ad analizzare il circuito di un F/F di tipo D rappresentato in Fig.9.10. Con questo schema le transizioni di stato avvengono con il fronte positivo del clock.

Le linee di controllo Preset e Clear sono asincrone ed attive basse. Infatti:

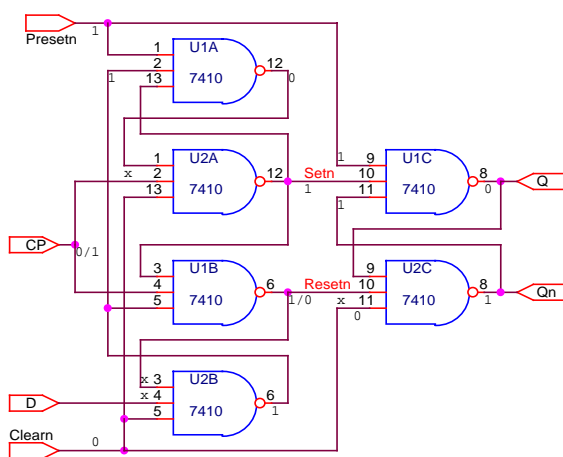


Fig. 9.11

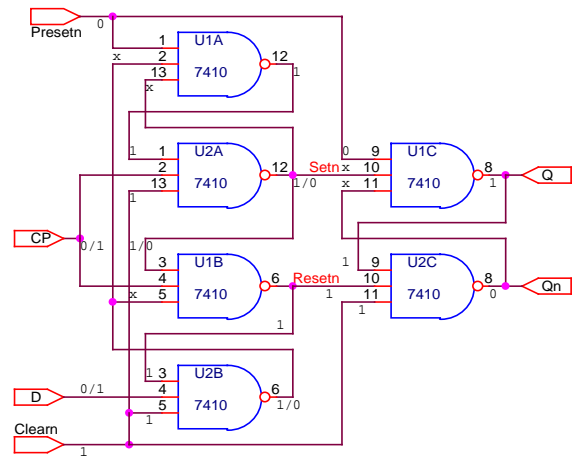


Fig. 9.12

- 1) Si supponga che **Clearn= 0; Presetn= 1**; e si faccia riferimento alla Fig. 9.11 (dove con x in una linea di ingresso si è indicato che l'uscita ne è indipendente). Il F/F è nello stato di Clear. Lo stato di tutte le uscite è quello indicato in Fig. 9.11. Sempre dalla figura si trova che l'unica variazione può avvenire è in uscita di U1B(6) (che dipende dallo stato di CP). Tuttavia Qn resta =1 poiché ne è indipendente.

- 2) Si supponga che **Presetn= 0; Clearn= 1**; e si faccia riferimento alla Fig. 9.12. Il F/F è nello stato di Preset. Lo stato di tutte le uscite è quello indicato in Fig. 9.12. Sempre dalla figura si nota che variazioni possono avvenire in uscita di U2A(12) (che dipende dallo stato di CP) e in uscita di U2B(6) (che dipende dallo stato di D). Si noti che l'uscita di U1B(6) è sempre uguale ad 1 in quanto la porta ha due ingressi in stato complementare. Le variazioni di U2A(12) e di U2b(6) non influenzano rispettivamente l'uscita, Q, di U1C e l'uscita di U1A(12) in quanto entrambe le porte hanno un ingresso allo zero logico.
- 3) Si supponga che **Clock= 0; Clearn=1; Presetn=1**; e si faccia riferimento alla Fig. 9.13. In questa figura con NC (Non Cambia) abbiamo indicato uno stato stabile, che non conosciamo perché dipende dalla storia pregressa o che supponiamo di non conoscere. Si fa tuttavia l'ipotesi che $Q = [Q_n]'$ (sono uno in uno stato complementare dell'altro). Come si vede quando il clock è a zero logico le uniche uscite delle porte logiche che possono cambiare, in dipendenza dallo stato dell'ingresso di controllo D, sono quelle di U2B(6) e U1A(12)=[U2B(6)]' (che ha uno stato complementare di U2B(6)). Entrambe le variazioni sono ininfluenti sullo stato di uscita delle altre porte in quanto hanno tutte almeno un ingresso a zero logico.

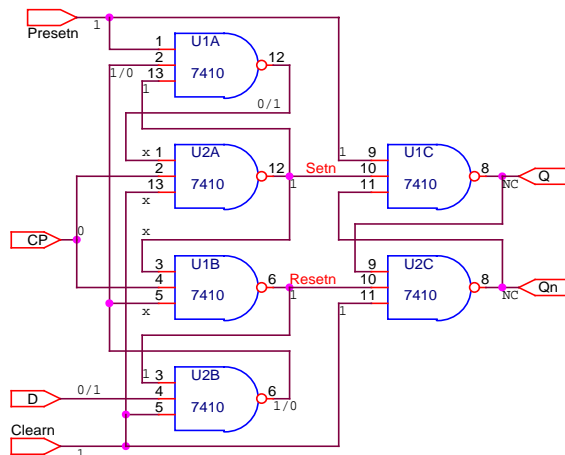


Fig. 9.13

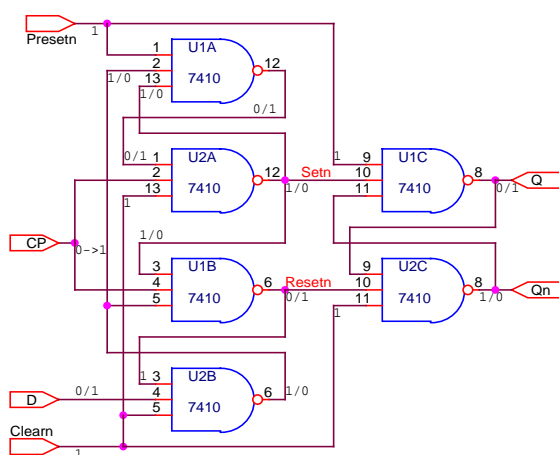


Fig. 9.14

- 4) **Transizione del clock da 0 ad 1; Clearn= 1; Presetn= 1**; e si faccia riferimento alla Fig. 9.14. In questa figura con 0->1 abbiamo indicato una transizione del clock da 0 ad 1 e gli stati presentati sono quelli presenti in un tempo successivo alla transizione. Come si vede, la transizione ad 1 abilita la porta U2A la quale, avendo il secondo ingresso ad 1, segue le variazioni del terzo ingresso. Questo ha un livello uguale a quello di D e quindi se $D = 0$, $Setn = 1$ e $Resetn$ diventa $= 0$, allora il F/F è nello stato di Clear; se $D = 1$, $Setn = 0$ e $Resetn$ diventa $= 1$ allora il F/F è nello stato di Set. Come è allora evidente lo stato futuro del F/F sarà uguale allo stato presente all'ingresso D al momento della transizione del clock da 0 ad 1. Persistendo il clock allo stato 1 ulteriori variazioni della linea D non produrranno cambiamenti di stato. Infatti, se il F/F, per effetto della

transizione del clock e dello stato di D, è settato, Setn= 0; il che chiude la porta U1B e U1A (entrambe hanno le uscite = a 1) e le uscite Setn e Reset e resteranno stabilmente rispettivamente a 0 e a uno. Se invece il F/F è nello stato di Clear, Resetn =0; il che chiude la porta U2B (che ha l'uscita stabilmente uguale ad 1) e quindi le variazioni di D non possono essere trasmesse alle varie porte del F/F.

- 5) **Transizione del clock da 1 ad 0; Clearn= 1; Presetn= 1.** La transizione del clock da 1 a zero è descritta dalla Fig. 9.13, già illustrata, e dalla quale è evidente che lo stato presente è quella del F/F al momento della transizione positiva del clock e che nessuna variazione può avvenire mentre il clock fa un'atransizione negativa e resta a 0.

Possiamo quindi affermare che: *nel F/F D Edge-Triggered eventuali variazioni di stato del F/F avvengono soltanto nell'istante della transizione positiva del clock. Le variazioni che determinano lo stato futuro del F/F avvengono durante il periodo in cui il clock è basso. Lo stato futuro di questo F/F è uguale allo stato della linea D al momento della transizione positiva.*

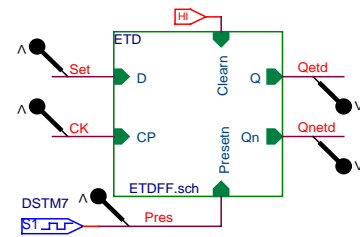


Fig.9.15.

La Fig. 9.15 mostra il Blocco Gerarchico, ETD, PSPICE usato per provare il F/F in oggetto.

Nel successivo Timing di Fig. 9.16 si possono notare gli effetti di quanto descritto verbalmente. Altri fenomeni possono essere trovati sperimentando un altro tipo di variazione della linea D, rispetto al clock e delle linee di Presetn e Clearn. Ricordare che quest'ultime non possono essere contemporaneamente attive (entrambe a 0)

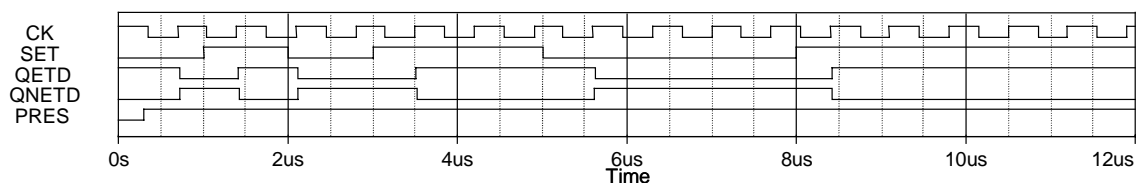


Fig 9.16

9.5 Flip-Flop JK e T Edge-Triggered derivato dal F/F D

Essendo la spiegazione del funzionamento del F/F JK e T Edge-Triggered ancora più complessa di quella per il F/F D premettiamo una realizzazione che è la trasformazione di un F/F

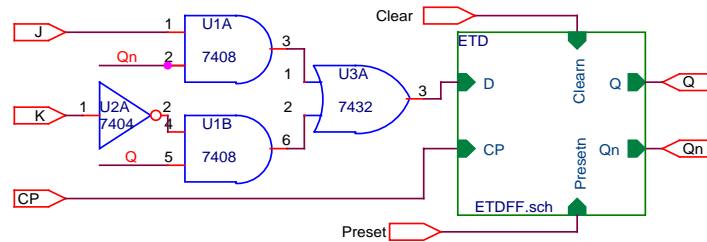


Fig 9.17

D in JK. Questa trasformazione impone l'uso di due ulteriori livelli che, ovviamente, limitano la frequenza massima di lavoro. In compenso la sua comprensione e la prova di funzionamento è immediata. Nel successivo paragrafo sarà introdotto e spiegato lo schema equivalente, normalmente usato, per tale F/F. Il lettore frettoloso può, se vuole, saltare il successivo paragrafo.

Ricordiamo che l'equazione caratteristica di un F/F JK è $Q(t+1) = JQ' + K'Q$. Pertanto se all'ingresso D del F/F Edge Triggered, già illustrato, inviamo questa funzione logica, trasformeremo il suo funzionamento in quello di un F/F JK.

Il circuito di Fig. 9.17 rappresenta come un D F/F viene trasformato in un F/F JK utilizzando il Blocco gerarchico PSPICE, ETD, già illustrato. La Fig. 9.18 definisce il Blocco Gerarchico il F/F JK, ETJK con il quale è stato ottenuto il diagramma temporale di Fig. 9.19

Come si vede dal timing il F/F commuta in accordo allo stato delle linee di controllo al momento in cui avviene la transizione attiva (positiva) del clock. Si noti ancora che quando i due ingressi $J=K=0$ o $J=K=1$ il F/F si comporta come un F/F T e quindi, per esso, non sarà fornito alcuno schema, ma soltanto la seguente osservazione: collegare tra di loro, nello schema della figura, le linee J e K e chiamare l'unica linea ricavata, T. Ovviamente la funzione risultante potrebbe essere ottenuta facendo la XOR tra Q e T come può facilmente essere provato.

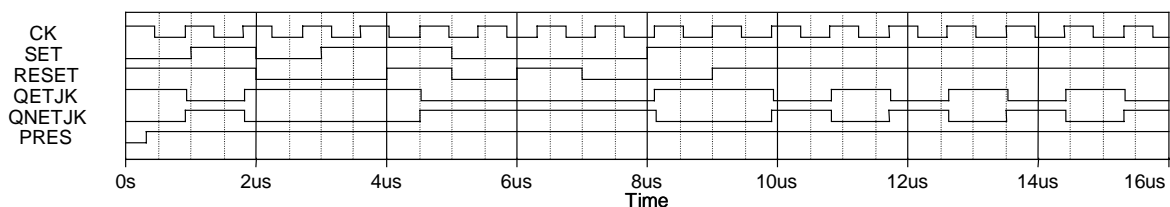


Fig. 9.19

In conclusione possiamo dire, per tutti i F/F Edge-Triggered, le condizioni che ne determinano lo stato futuro sono soltanto date dallo stato delle linee di controllo al momento della transizione attiva del clock. Questa può essere positiva, come qui mostrato, oppure

negativa. Inoltre variazioni di tali controlli in istanti precedenti o successivi la transizione attiva del clock non produrranno alcuna influenza sullo stato futuro.

Ricordiamo che per i F/F Master/Slave JK e T questa affermazione non può essere fatta anzi in quel caso è raccomandato di fare avvenire le transizioni delle linee di controllo mentre il Master **non è attivo** e di tenerli costanti per tutto il tempo il cui il Master è attivo. Solo in questo modo si è sicuri che lo stato futuro resta determinato dal livello delle linee di controllo nell'istante in cui lo Slave diventa attivo.

9.5 Flip-Flop JK e T Edge-Triggered

La Fig. 9.20 mostra una realizzazione di un F/F JK Edge Triggered attivo sui **fronti di discesa**. Esso è costituito da due parti simmetriche: una è dedicata all'uscita, Q, e

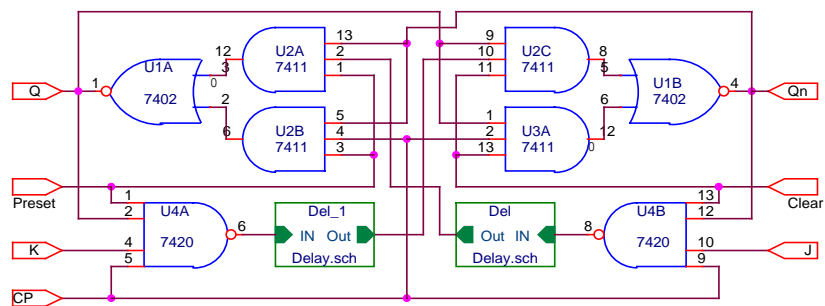


Fig. 9.20

l'altra alla uscita complementare, Qn. Le due sezioni sono interconnesse attraverso due coppie di linee: 1) la sezione di sinistra riceve le linee di uscita Qn e l'uscita dell'unità di ritardo *Del*, 2) la sezione di destra le analoghe uscite, Q e *Del_1*. Inoltre quando il F/F è azzerato gli ingressi esterni possono agire solo sulla sezione di destra (ingresso J) e quando è settato solo sulla sezione di sinistra (ingresso K). Nella Fig. 9.20 compare una unità di ritardo che è realizzata come in Fig. 9.21. Notare che è stato scelto l'uscita dopo la prima coppia di Not perché è stato provato che la somma dei loro ritardi di propagazione era sufficiente ad evitare eventuali oscillazioni del F/F.

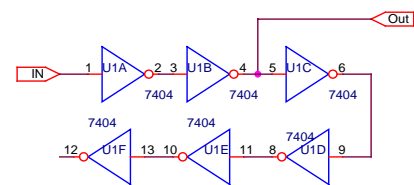


Fig. 9.21

Data la simmetria del circuito sarà descritto nel seguito solo il caso in cui il F/F passa dallo stato di Clear a quello di Set (essendo la descrizione della transizione inversa completamente analoga con lo scambio dei componenti si sinistra con quelli di destra e viceversa).

Gli ingressi di Preset e Clear che sono attivi bassi.

Quando l'ingresso di **Preset=0** e **Clear=1**; lo stato delle uscite delle porte costituenti il F/F hanno lo stato stabile indicato in Fig. 9.22. Come si vede Il F/F è nello stato di Set e variazioni sia di CP, sia di J e sia di K non sono capaci di fargli cambiare stato in quanto agiscono tutte su porte AND che hanno almeno un ingresso sempre a zero.

Quando l'ingresso di **Preset=1** e **Clear=0**; si trova, procedendo in modo analogo a quanto fatto in Fig. 9.22 (per simmetria), che il F/F si trova nello stato di Clear e variazioni sia di CP, sia di J e sia di K, non sono capaci di fargli cambiare stato, in quanto

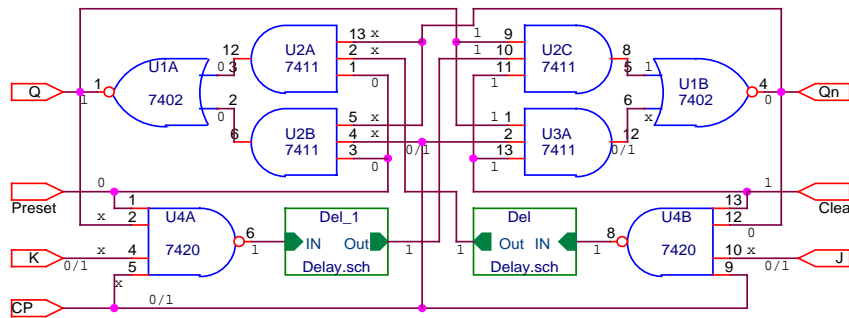


Fig 9.22

agiscono tutte su porte AND che hanno almeno un ingresso sempre a zero.

Nel seguito considereremo sempre NON attivi gli ingressi di Preset e Clear cioè li supporremo sempre allo stato 1.

Quando l'ingresso di **Clock=0** le uscite delle porte costituenti il F/F hanno lo stato stabile indicato in Fig. 9.23.

Come si vede, le eventuali variazioni sia J, sia K non possono passare le porte di cui sono ingressi poiché uno degli ingressi (il clock) è certamente

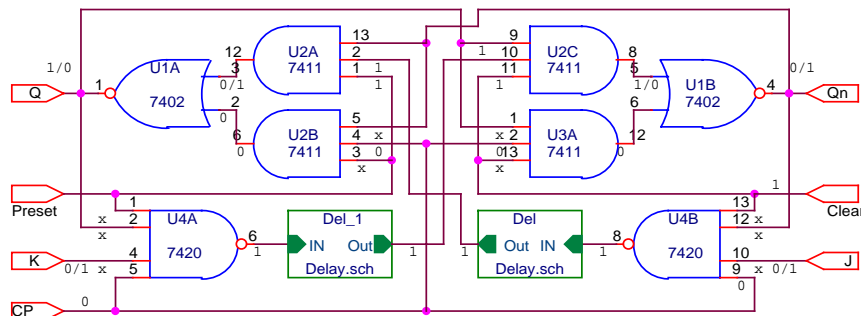


Fig. 9.23

zero. Lo stato del F/F è congelato ed è certo che le due uscite hanno uno stato complementare. In ogni caso lo stato del F/F sarà uguale allo stato in cui il F/F si trovava nel momento della transizione a zero del clock.

Quando l'ingresso di **Clock=1** e lo stato del F/F è di **Clear** le uscite delle porte costituenti il F/F hanno lo stato stabile indicato in Fig. 9.24. Come si vede, le eventuali variazioni di K non possono passare la porta U4A poiché uno degli ingressi, Q=0. Le variazioni di J

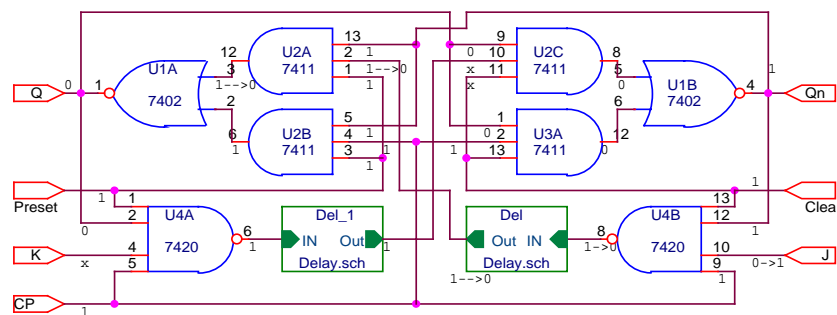


Fig. 9.24

si propagano fino all'ingresso della porta U1A(3) ma non ne fanno commutare l'uscita poiché l'altro ingresso è ad 1. Lo stato del F/F è congelato a quello di clear.

Transizione **negativa del clock** (1->0). Sappiamo già che nello stato che precede questa transizione l'unica ingresso che può propagare le variazioni dello stato è la linea di controllo J

che arriva fino all'ingresso della porta U1A. Pertanto se, alla transizione del clock, deve avvenire un cambiamento dello stato del F/F, il livello di ingresso a questa porta deve passare da 1 a 0 (come indicato nella Fig. 9.24). Altrimenti tutti i livelli resteranno come descritti precedentemente.

Nella Fig. 9.25 si suppone che la transizione di J da 0 ad 1 sia già avvenuta e viene indicato soltanto quello che accade successivamente alla

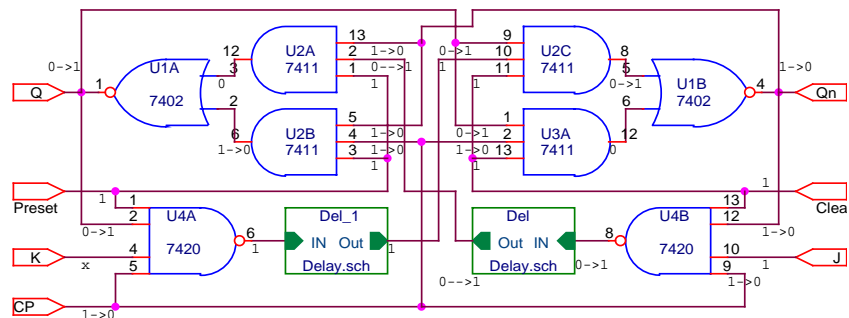


Fig. 9.25

transizione negativa del clock. Nel grafico la transizione da 1 a 0 del clock è indicata con **0->1** mentre l'analoga transizione fatta dall'unità di ritardo *Del* viene indicata come **0-->1**. Ciò per simboleggiare il fatto che la transizione indicata con due trattini avviene in ritardo rispetto a quella indicata con uno solo.

Seguendo le variazioni di Fig. 9.25 vediamo che:

- Per effetto della transizione negativa del clock, Q passa da 0 ad 1 e ciò: **1)** predispone la porta U4A ad essere sensibile alle variazioni della linea K (quando il clock sarà tornato ad uno logico) e **2)** causa la transizione da 1 a 0 di Qn.
- La transizione da 1 a 0 di Qn **fissa**: **1)** lo stato di uscita di U2A(12) a 0 (Nota che: la variazione, all'ingresso della stessa porta (pin 2), dovuta al livello di uscita del ritardo logico, *Del*, avviene successivamente e quindi non concorre a determinarne l'uscita), **2)** lo stato di uscita di U2B(6) a 0 e rende la porta insensibile ad eventuali variazioni del clock e **3)** lo stato di uscita di U4B(8) ad 1, e rende la porta insensibile alle variazioni di J. Ciò significa che le uscite delle porte U2A, U2B e U4B non potranno cambiare stato quando il clock ritorna ad 1.

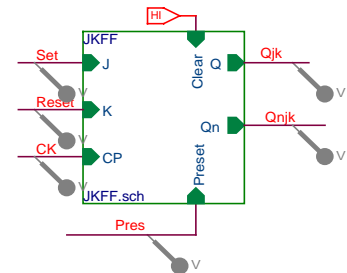


Fig. 9.26

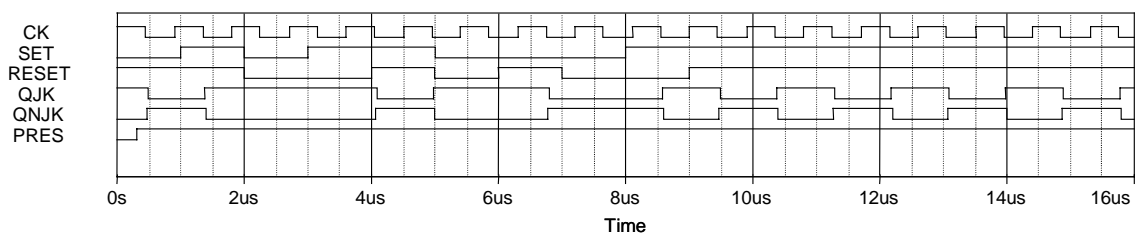


Fig. 9.27

La Fig. 9.26 mostra il blocco gerarchico PSPICE e i test point usati per ottenere il Timing riportato in Fig. 9.27. Questo mostra che la realizzazione illustrata verifica il funzionamento di un F/F JK con transizione attiva o di campionamento del clock sul **fronte di discesa**.

Si noti inoltre che l'ultima parte del timing è stato ottenuta fissando entrambi i livelli di J e K ad uno per simulare il funzionamento di un F/F T che ovviamente si ottiene cortocircuitando i due ingressi e chiamando la linea di controllo risultante, T.

9.6 Confronto tra Flip-Flop JK Edge-Triggered e Master-Slave

La Fig. 9.28 mostra due F/F JK, uno 7476 che è un Master-Slave e l'altro 74HC73 che è un Edge-Triggered. Entrambi i F/F accettano, come fronte attivo del clock, le transizioni negative (come si vede dalla presenza del cerchietto all'ingresso relativo). Il differente comportamento può essere ricavato dal timing di Fig. 9.29. Da esso si nota come, agli stessi segnali di ingresso, il comportamento sia diverso a partire da 14 fino a 20 μ s. La differenza consiste nel fatto che,

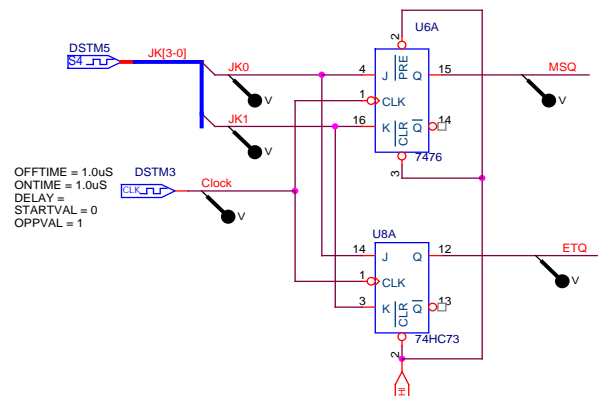


Fig 9.28

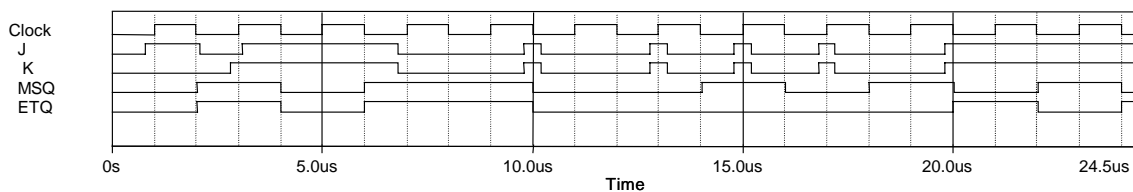


Fig 9.29

- 1) nella prima parte, il segnale di controllo di entrambi i F/F ha delle variazioni soltanto quando il livello del clock è basso mentre resta costante durante il tempo in cui il clock è alto. In questo caso vengono osservate tutte le prescrizioni per il controllo di entrambi i F/F (soprattutto per il Master/Slave).
- 2) Tra 9.8 e 10.1 μ s (a cavallo di una transizione negativa del clock) sia J sia K sono entrambi alti (questo controllo del Master/Slave non è canonico anche se non è vietato) ed entrambi i F/F commutano.
- 3) Successivamente lo stesso impulso è in coincidenza con il fronte di salita del clock per cui il F/F Edge-Triggered non lo riconosce (va a campionare i livelli di ingresso all'istante della transizione attiva del clock), mentre il F/F Master/Slave si "ricorda" delle commutazioni avvenute ed cambia stato.

In generale i F/F JK e T del tipo Edge-Triggered sono preferiti agli analoghi F/F di tipo Master-Slave, perché si comportano allo stesso modo dei F/F D e RS (sia Master-Slave sia

Edge-Triggered). Il lettore, in ogni caso, prima di usare o l'uno o l'altro tipo di F/F, legga attentamente la descrizione funzionale fornita dal costruttore.

Es. 9.1: Utilizzando un F/F D Master-Slave o Edge-Triggered, con ingressi asincroni di Clear e Preset, realizzare un circuito monostabile.

Un circuito monostabile o *One Shot* (in breve O/S) è un circuito che ha un solo stato stabile (quello di Clear) e se costretto a cambiare stato, dall'arrivo di un impulso di clock o trigger, ritorna allo stato di Clear, dopo un tempo determinato e fisso (durata di O/S). Se nel frattempo arrivano altri impulsi di Clock si comporta in uno dei due seguenti modi:

- 1) Ulteriori impulsi di clock (per tutto il tempo in cui è nello stato di Set) non hanno alcun effetto. Un circuito monostabile funzionante in questo modo si dice del tipo **non Retriggerabile**.
- 2) Ogni impulso di clock che arriva, mentre si trova nello stato di Set, allunga la permanenza in questo stato per la durata di O/S, a partire da quell'istante. Un circuito monostabile funzionante in questo modo si dice del tipo **retriggerabile**.

9.7 Circuito Monostabile NON Retriggerabile

Il circuito rappresentato in Fig. 9.30 realizza un **Monostabile Non Retriggerabile**.

Il transistor Q1 funziona da interruttore; esso è un interruttore aperto, se la tensione che pilota la sua base (uscita di U4A(3)) è allo stato basso. Diventa un interruttore chiuso quando, la tensione pilota, è allo stato alto (la resistenza serie, che troviamo nella figura, è usata per limitare la corrente di base e il condensatore (di speed-up), in parallelo ad essa, velocizza lo smaltimento di cariche della base e quindi l'uscita del transistor dallo stato saturato precedente). La durata dell'impulso di uscita del monostabile (tempo di monostabile) è determinata dalla costante di tempo del circuito RC e dal valore della soglia alta del trigger di Schmitt. I componenti R e C (come è normale quando si usa un circuito integrato che realizza questa funzione) sono previsti come componenti esterni (vedi Fig. 9.31) per permettere all'utente di fissarne, a proprio piacimento (entro i limiti indicati dal data sheet), i valori e quindi il tempo di monostabile.

Nota Bene: I componenti discreti, utilizzabili per la realizzazione di questo circuito, debbono essere di una

serie che richiede una corrente di polarizzazione, dello stadio di ingresso del trigger di Schmitt, molto piccola. Infatti, una corrente alta, dovendo passare sulla resistenza esterna, determinerebbe un valore di tensione minimo ai capi del condensatore ben più elevata di pochi millivolt. Noi abbiamo scelto di usare le serie HC per la simulazione.

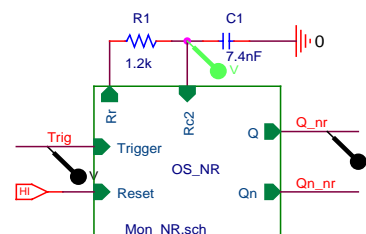


Fig. 9.31

Quando la tensione ai capi del condensatore raggiunge la soglia alta, VT_+ , del trigger di Schmitt, U1A, il nuovo livello di uscita (piedino 2), azzerà il D F/F, U2A, e provoca la scarica del condensatore.

Lo stato on del transistor Q1 cortocircuita, il condensatore esterno, a massa e lo scarica con una costante di tempo molto bassa. Questa infatti dipende dal valore di capacità, C1, moltiplicata per la resistenza del parallelo tra la resistenza esterna, R1, e quella piccola del transistor. Quindi, lo scopo di questo interruttore è di realizzare una scarica molto veloce del condensatore e permettere così al monostabile di ripartire, al prossimo impulso di trigger (anche se molto ravvicinato), con il condensatore completamente scarico. In assenza di tale dispositivo il tempo di carica non risulterebbe costante in quanto il condensatore comincerebbe la carica da una tensione diversa da zero e impiegherebbe quindi un tempo inferiore. Come conseguenza il tempo di monostabile risulterebbe, incontrollatamente, variabile.

Notare che, mentre la tensione ai capi del condensatore varia ma non

ha raggiunto la soglia VT_+ , ulteriori eventuali transizioni attive del trigger (in questo caso positive), non fanno commutare il F/F. Infatti, questo dovrebbe andare nello stato in cui si trova già.

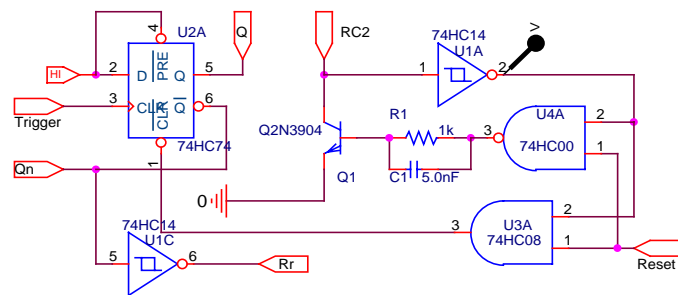


Fig. 9.30

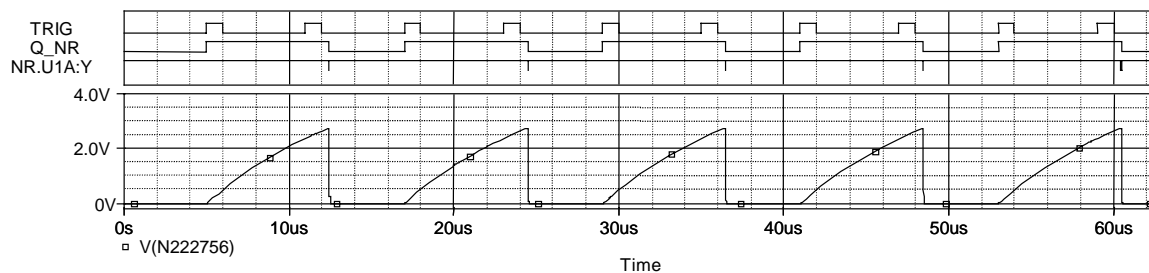


Fig 9.32

La Fig. 9.32 mostra il timing, ottenuto utilizzando il blocco gerarchico PSPICE di Fig. 9.31 che richiama lo schema di Fig. 9.30. Le tracce su questo diagramma temporale provengono dai probe posizionati come rappresentato nelle citate figure. Una delle tracce del timing è dedicata all'uscita del trigger di Schmitt. Come si vede questo è un impulso la cui durata è determinata, soprattutto, dal tempo necessario a che il valore della tensione ai capi del condensatore passi dalla soglia superiore a quella inferiore per effetto della scarica.

Si noti la presenza, nello schema circuitale, di un ingresso di reset in OR logico, con quello automaticamente generato dal trigger di Schmitt. Esso è utilizzato come clear asincrono,

quando richiesto, nella realizzazione di funzioni logiche più complesse (usando altra logica ausiliare che potrebbe essere costruita con altre unità di circuito monostabile).

9.7.1 Circuito Monostabile Retriggerabile

Il circuito di Fig. 9.33 mostra un circuito **monostabile** che funziona in modo **retriggerabile**.

Se si paragona questo con il circuito di Fig. 9.30, del tipo non retriggerabile, si nota che la differenza consiste

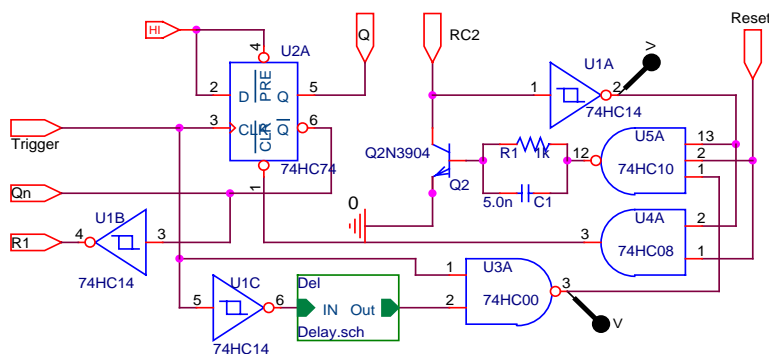


Fig 9.33

- nel fatto che la NAND U5A è a tre ingressi. Essa realizza un OR logico tra i due segnali già studiati e l'impulso di uscita del rivelatore di fronti positivi. Pertanto il condensatore sarà scaricato o per la fine naturale del tempo di monostabile o per la presenza di un fronte positivo della linea di trigger o per un impulso esterno.
- nella presenza di un circuito rivelatore di fronti positivi (formato da U1C, l'unità di ritardo, *Del*, già vista in Fig. 9.21 e U3A) Il ritardo di *Del*, che determina la durata dell'impulso di uscita, è il minimo possibile, appena sufficiente a che il transistor scarichi il condensatore in tutte le condizioni.

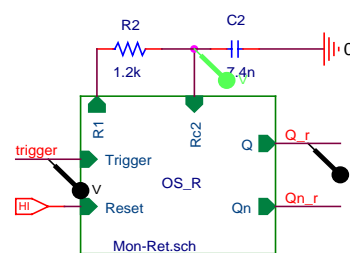


Fig. 9.34

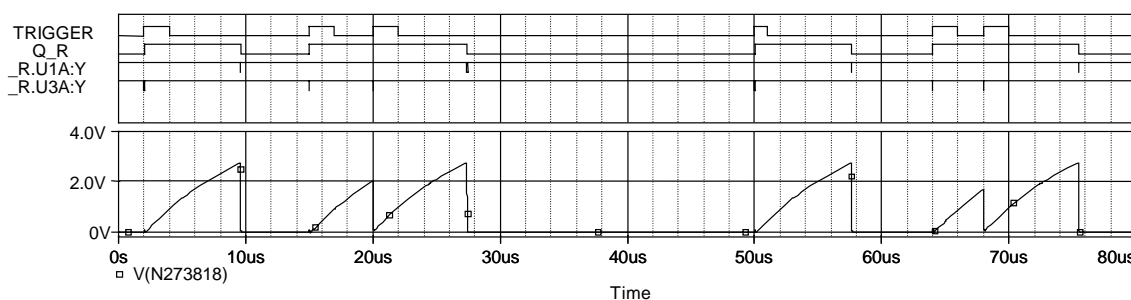


Fig 9.35

La Fig. 9.35 mostra il timing ottenuto utilizzando il blocco gerarchico PSPICE di Fig. 9.34 che richiama lo schema di Fig. 9.33. Le tracce su questo diagramma temporale provengono dai probe posizionati come rappresentato nelle citate figure.

Da questo si vede chiaramente che, se la distanza tra due impulsi di trigger è maggiore del “tempo di monostabile”, questo si comporta come il non retriggeabile. Se invece la distanza è

inferiore (impulsi ravvicinati) succede che, il secondo impulso di trigger, che non commuta il F/F, scarica completamente il condensatore e, subito dopo la fine dell'impulso, riparte a caricarsi. Perché l'uscita ritorni a zero deve passare un ulteriore *tempo di monostabile*. In altri termini la durata dell'impulso di uscita non è costante: esso inizia con il primo fronte di salita del primo impulso e finisce un tempo di monostabile *dopo l'arrivo del fronte di salita dell'ultimo impulso ravvicinato*. La quarta traccia è relativa all'uscita del rivelatore di fronti positivi.

Un circuito del genere è, per esempio, usato per rivelare l'assenza, in un treno di impulsi ravvicinati continuo, di qualcuno di essi oppure la presenza, nello stesso treno, di impulsi che distano dal precedente per *più del tempo di monostabile*. Infatti, quando il tempo di monostabile è maggiore dell'intertempo massimo tra due impulsi consecutivi, la sua uscita sarà sempre all'uno logico. Se dovesse mancare uno, oppure, se la interdistanza fosse maggiore, l'uscita del monostabile passa a zero rivelando il fenomeno. Ovviamente ritornerà ad uno non appena arriva il prossimo impulso del treno.

PROBLEMI

P9.1) Il circuito di Fig. P9.1 mostra lo schema logico di un F/F JK Edge-Triggered. Fare l'analisi di questo

circuito e mostrare che il Preset e e Clear sono asincroni ed attivi bassi, ed il fronte attivo del F/F coincide con le transizioni positive. Mostrare inoltre che sono rispettate le caratteristiche salienti

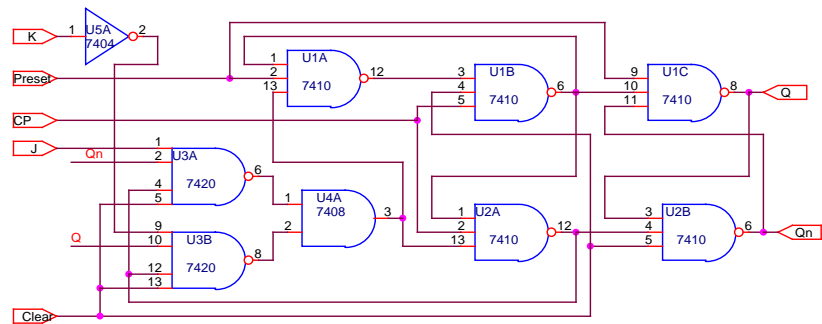


Fig. P9.1

del funzionamento di un F/F Edge-Triggered.

P9.2) Trasformare il circuito di Fig. P9.1 in modo da realizzare un F/F JK' (cioè un F/F JK con l'ingresso K complementato) ottenere

- La tabella caratteristica del F/F
- L'equazione caratteristica
- Mostrare che connettendo in corto circuito i due ingressi si ottiene un F/F di tipo D

P9.3) Con l'uso di un monostabile non retriggeabile e di un F/F D realizzare un circuito logico che rigetta gli

impulsi di durata inferiore a quella del monostabile (noise discriminator). Il timing del circuito da realizzare è quello di Fig. P9.2. Notare che gli impulsi di uscita dal F/F D durano dal fronte negativo dell'impulso di uscita del Monostabile (O/S) a quello di Vin.

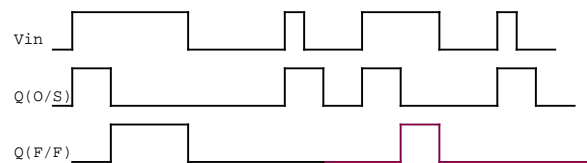


Fig. P9.2

P9.4) Realizzare un circuito oscillatore usando due circuiti monostabili in modo tale che possano essere variate sia la frequenza che il duty cycle in modo indipendente.

P9.5) Realizzare un circuito logico di ritardo in modo che per ogni impulso di ingresso di durata qualsiasi fornisca un impulso i uscita di durata costante e ritardato di un intervallo di tempo fisso rispetto al fronte di salita dell'impulso di trigger.

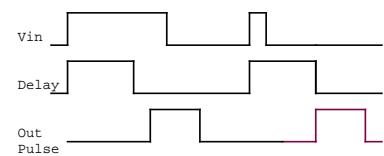


Fig. P9.3

P9.6) Realizzare un circuito che fornisce un impulso in uscita ogni qual volta in un treno di impulsi due impulsi consecutivi sono distanziati di un tempo maggiore dell'impulso di monostabile. Il timing di questo problema è quello di Fig. P9.4

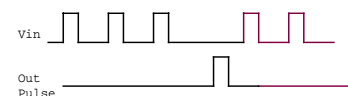


Fig. 9.4

CAPITOLO 9	177
FLIP-FLOP MASTER/SLAVE ED EDGE-TRIGGERED	177
9.0 FLIP FLOP MASTER- SLAVE E EDGE-TRIGGERED	177
9.1 FLIP-FLOP MASTER/SLAVE SR	177
9.2 FLIP-FLOP D MASTER/SLAVE	179
9.3 FLIP-FLOP MASTER/SLAVE JK E T.....	179
9.4 D FLIP-FLOP EDGE-TRIGGERED.....	181
<i>9.4.1 Analisi del Flip Flop D Edge-Triggered.....</i>	<i>181</i>
9.5 FLIP-FLOP JK E T EDGE-TRIGGERED DERIVATO DAL F/F D	184
9.5 FLIP-FLOP JK E T EDGE-TRIGGERED	185
9.6 CONFRONTO TRA FLIP-FLOP JK EDGE-TRIGGERED E MASTER-SLAVE	188
9.7 CIRCUITO MONOSTABILE NON RETRIGGERABILE	189
<i>9.7.1 Circuito Monostabile Retriggerabile.....</i>	<i>191</i>
PROBLEMI.....	193