

CAPITOLO 10

ANALISI E PROGETTO DI CIRCUITI SEQUENZIALI CLOCKED

10.1 Descrizione dei circuiti sequenziali clocked

Il comportamento di un circuito sequenziale clocked è determinato dai suoi ingressi, dalle sue uscite e dallo stato dei suoi F/F. Sia le uscite che lo stato futuro sono funzione degli ingressi e degli stati presenti. L'analisi di un circuito sequenziale consiste nell'ottenere una tabella o un diagramma della sequenza temporale dei suoi ingressi, uscite e stati interni. È anche possibile scrivere le espressioni Booleane che descrivono il comportamento dei circuiti sequenziali. Tuttavia queste espressioni debbono includere necessariamente la sequenza temporale o direttamente o indirettamente.

Uno schema logico è riconosciuto come circuito sequenziale se esso include dei F/F. I F/F possono essere di qualsiasi tipo e lo schema logico può o meno includere logica combinatoria.. In questo paragrafo prima introdurremo un esempio particolare di un circuito sequenziale clocked e poi presenteremo vari metodi per descrivere il comportamento dei circuiti sequenziali. Lo stesso esempio sarà utilizzato per la presentazione dei vari metodi di descrizione.

10.1.1 Esempio di circuito sequenziale

Come esempio di circuito sequenziale consideriamo quello rappresentato in Fig. 10.1. Questa ha una variabile di ingresso x , una di uscita y , e due F/F JK clocked chiamati A e B.

In Fig. 10.1 lo schema è disegnato in modo da potere distinguere le parti in cui un circuito logico sequenziale clocked può essere suddiviso (vedi Fig. 7.1): logica combinatoria, elementi di memoria (F/F), ingressi interni (gli stati degli elementi di memoria), ingressi esterni ed infine uscite esterne e di

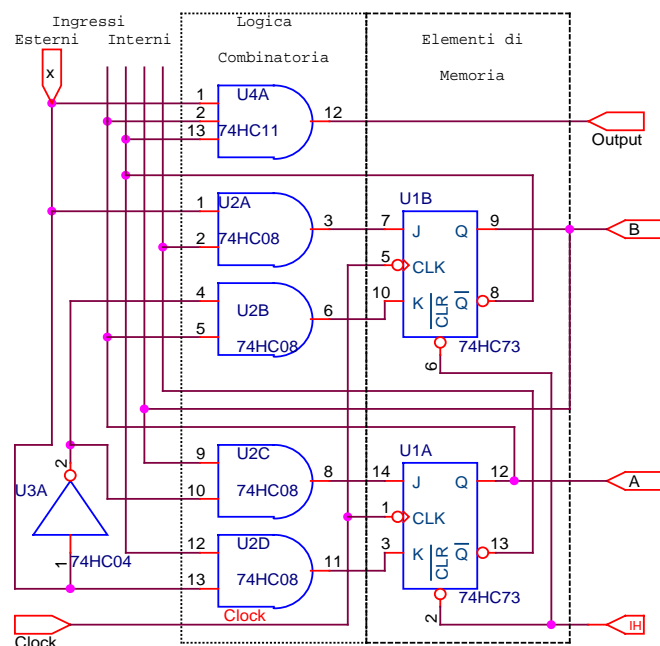


Fig. 10.1

stato. In alcuni casi non vengono disegnati i collegamenti incrociati dalle uscite dei F/F agli ingressi delle porte, per facilitare la comprensione del circuito e quindi non compare il bus degli ingressi interni. In questi casi le connessioni sono riconosciute dalle lettere che individuano ciascun ingresso. Per es. se indichiamo con A' l'ingresso della porta che pilota l'ingresso J del F/F B significa la presenza di un collegamento con l'uscita complementata del F/F A. I F/F usati nello schema *cambiano stato sui trailing edge (fronte di discesa) del clock* lo stesso supponiamo accada per *la sorgente dell'ingresso esterno*. Quindi i segnali sono stabili per tutto il tempo che passa tra la fine di un impulso di clock, istante in cui il circuito può andare al prossimo stato, e la fine del successivo impulso.

10.1.2 Tabella di stato di un circuito sequenziale

La sequenza temporale degli ingressi, uscite e stati dei F/F possono essere elencati in una tabella di stato. Questa, a differenza delle analoghe già viste per la descrizione dei F/F, consiste di 3 sezioni: una per lo stato presente dei F/F e degli ingressi, una per lo stato futuro dei F/F, ed una per le uscite.

Lo stato presente indica lo stato dei F/F e degli ingressi esterni ai F/F prima dell'arrivo dell'impulso di clock. Lo stato futuro indica lo stato dei F/F dopo che è arrivato l'impulso di clock. La sezione delle funzioni Booleane delle uscite del circuito elencano i valori assunti da

SP			SF		Ingressi F/F				uscite
x	A	B	A	B	JA	KA	JB	KB	y
0	0	0	0	0	0	0	0	0	0
0	0	1	1	1	1	0	0	0	0
0	1	0	1	0	0	0	0	1	0
0	1	1	1	0	1	0	0	1	0
1	0	0	0	1	0	1	1	0	0
1	0	1	0	1	0	0	1	0	0
1	1	0	0	0	0	1	0	0	1
1	1	1	1	1	0	0	0	0	0

Tab. 10.1

queste durante lo stato presente. Un circuito sequenziale non ha necessariamente delle uscite, oltre quelli di stato dei F/F che lo compongono. Nel caso in cui queste non sono presenti la relativa sezione, nella tabella di stato, manca. In generale i circuiti sequenziali sono distinti per la presenza o meno di uscite esterne: nel primo caso diciamo che si tratta di una **macchina di MEALY** nel secondo di una **macchina di MOORE**. La nostra è una macchina di Mealy.

La Tab. 10.1 è la tabella di stato del circuito di Fig. 10.1 modificata per la presenza di una ulteriore sezione che include le funzioni Booleane degli ingressi dei F/F (in realtà questa non fa parte di una tabella di stato ma qui è posta al solo scopo di aiuto nell'analisi del circuito). In questa sezione vengono elencati i valori assunti dalle funzioni di ingresso dei F/F durante lo stato presente. Esse sono individuate con un nome composto da due lettere; la prima lettera indica il nome dell'ingresso del F/F (in questo caso J o K), la seconda lettera indica il nome del F/F. Così il nome JA indica l'ingresso di controllo J del F/F A.

Dallo schema logico troviamo le funzioni Booleane delle uscite e degli ingressi dei F/F. Poiché si tratta della parte combinatoria del circuito sequenziale usando i metodi già noti troviamo:

$$y = xAB'; \quad JA = x'B; \quad KA = xB' \quad JB = xA'; \quad KB = x'A;$$

La derivazione della tabella di stato parte, generalmente, assumendo un certo stato iniziale. Lo stato iniziale per la maggior parte dei circuiti sequenziali prevede che tutti i F/F siano nello stato 0. Altri circuiti sequenziali prevedono uno stato iniziale diverso ed altri ancora non hanno alcun stato iniziale. In ogni caso, l'analisi può sempre partire da uno stato iniziale arbitrario. Pertanto noi, nella sezione dello stato presente di Tab. 10.1, elenchiamo tutte le combinazioni delle variabili di stato e degli ingressi esterni, come fatto per le tabelle di verità; otteniamo 2^n entrate (dove n è il numero delle variabili presenti nella sezione, pari al numero dei F/F del circuito più il numero degli ingressi). Per ogni combinazione troviamo il valore che, corrispondentemente, le funzioni Booleane di ingresso dei F/F e delle uscite assumono.

In funzione dei valori assunti dai relativi ingressi di controllo ed aiutandoci con le tabelle caratteristiche o di eccitazione o delle funzioni di eccitazione dei F/F interessati (in questo caso sono quelli del F/F JK), determiniamo lo stato futuro di tutti i F/F per ogni entrata della tabella. Per es. per la prima entrata abbiamo che $JA = JB = KA = KB = 0$ quindi entrambi i F/F restano nello stesso stato. Per la seconda entrata $JB = KB = 0$ e quindi il F/F B non varia il suo stato, mentre $JA = 1$ e $KA = 0$ quindi il F/F A viene settato. Nello stesso modo si trova lo stato futuro per tutte le altre combinazioni.

10.1.3 Diagramma di stato

I diagrammi di stato sono analoghi ai diagrammi di eccitazione, già presentati. Poiché in un circuito sequenziale possono essere presenti più F/F, il numero di cerchi, che rappresentano simbolicamente uno dei possibili stati, è pari a 2^m (in cui m è il numero di F/F presenti) ed esso contiene l'elencazione ordinata dello stato di tutti i F/F. La indicazione delle condizioni sotto cui avvengono o meno delle transizioni di stato (segnati con gli archi orientati che vanno da un cerchio all'altro o insistono sullo stesso cerchio) sono indicate elencando, in modo ordinato, gli ingressi esterni al circuito. Se si tratta del diagramma di stato di una macchina di Mealy i valori che le uscite esterne assumono sono aggiunti (in modo ordinato) ai valori che determinano le transizioni, separate dal il simbolo /.

Nel nostro circuito sequenziale abbiamo due F/F; il numero di stati possibili è quattro e quindi il nostro diagramma di stato conterrà 4 cerchi. La Fig. 10.2 mostra il diagramma di stato

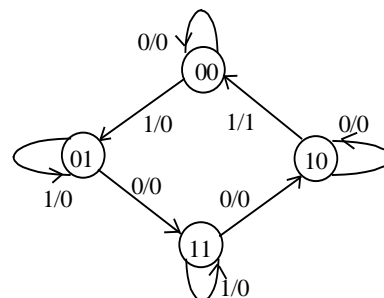


Fig. 10.2

per il nostro esempio. Esso può essere costruito a partire dalla tabella di Tab. 10.1. Per es. da quella tabella si vede che, si passa dallo stato 00 allo stato 01, se il valore della variabile di ingresso è $x = 1$, mentre la variabile di uscita ha il valore $y = 0$. Quando i F/F si trovano nello stato 01 se $x = 1$ allora $y = 0$ e non si ha cambiamento di stato. Se invece $x = 0$ allora $y = 0$ e si passa allo stato 11 alla prossima transizione di clock. Le altre transizioni di stato si trovano analogamente.

Non c'è alcuna differenza tra una tabella di stato ed il diagramma di stato eccetto nel modo di rappresentazione. La tabella di stato è più facile da derivare da uno schema logico ed il diagramma di stato segue immediatamente dalla tabella di stato. Il diagramma di stato fornisce una rappresentazione pittorica ed è più appropriata ad essere letta dalle persone per capirne il funzionamento. Spesso il diagramma di stato è usato per fornire una specificazione di progetto di un circuito sequenziale.

10.1.4 Equazioni di stato

Una *equazione di stato* (conosciuta anche come *equazione di applicazione*) è una espressione algebrica che specifica le condizioni perché in un F/F avvengano delle transizioni di stato. *Il lato sinistro dell'equazione denota lo stato futuro di un F/F ed il lato destro, una funzione Booleana che specifica le condizioni dello stato presente che rende il prossimo stato futuro uguale ad 1.* Una equazione di stato ha una forma simile ad una equazione caratteristica ad eccezione che essa specifica le condizioni del prossimo stato in termini di variabili di ingresso esterne e dei valori di tutti i F/F. L'equazione di stato è derivata direttamente dalla tabella di stato. Per es. l'equazione di stato del F/F A si deriva per ispezione della Tab. 10.1. Dalla colonna dello stato futuro notiamo che il Flip-Flop A va allo stato 1 quattro volte: quando $x = 0$ e $AB = 01$ o 10 o 11 , e quando $x = 1$ ed $AB = 11$. Questo può essere espresso algebricamente con la seguente equazione di stato:

$$A(t+1) = (A'B + AB' + AB)x' + ABx$$

Il lato destro dell'equazione di stato è una funzione Booleana dello stato presente. Quando questa funzione è uguale ad 1, il verificarsi di un impulso di clock causerà il F/F A ad avere il prossimo stato uguale ad 1. Quando la funzione è uguale a 0, l'impulso di clock metterà il F/F nello stato 0. Il lato sinistro

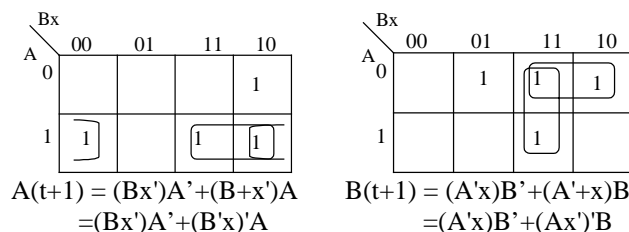


Fig. 10.3

dell'equazione identifica il F/F con la lettera del suo simbolo, seguito dalla designazione di funzione del tempo $(t+1)$ per enfatizzare che questo valore è raggiunto dal F/F un impulso più tardi.

L'equazione di stato è una funzione Booleana in funzione del tempo. Essa è applicabile soltanto ai circuiti sequenziali clocked poiché $A(t+1)$ è definito come una variazione di stato che si verifica al verificarsi di un impulso di clock in precisi istanti di tempo. L'equazione di stato del F/F A può essere semplificata per mezzo di una mappa come è mostrato in Fig. 10.3.a. Dopo qualche manipolazione algebrica la funzione può essere espressa nella seguente forma:

$$A(t+1) = (Bx')A' + (B'x)A.$$

Se poniamo $Bx' = J$ e $B'x = K$ otteniamo la relazione:

$$A(t+1) = JA' + K'A$$

Che è l'equazione caratteristica di un F/F JK. Questa relazione tra l'equazione di stato e l'equazione caratteristica di un F/F può essere giustificata con l'uso dello schema di Fig. 10.1. Infatti, allo scopo di semplificare l'interpretazione del funzionamento del circuito, ci siamo avvalsi, tra l'altro, proprio della relazione sopra scritta chiamandola *funzione Booleana di ingresso* del F/F A. Se noi sostituiamo nelle equazioni caratteristiche dei F/F, che compongono un circuito sequenziale, queste relazioni, troviamo le equazioni di stato del circuito stesso. La equazione di stato di un F/F, in un circuito sequenziale, può essere derivata direttamente o dalla tabella di stato o dallo schema logico. Con la derivazione dalla tabella di stato si ottengono le funzioni Booleane che specificano le condizioni perché lo stato futuro del F/F diventi 1. La derivazione dal circuito logico consiste nel trovare le funzioni Booleane degli ingressi del F/F (direttamente dalla schema logico) e nella loro sostituzione nella equazione caratteristica.

La derivazione della equazione di stato per il F/F B dalla tabella di stato è mostrata nella mappa di Fig. 10.3.b. I quadratini marcati con un 1 nella mappa corrispondono alle combinazioni che costringono il F/F B ad andare nello stato 1 come stato futuro. Le condizioni sono ottenute direttamente dalla Tab. 10.1. La forma, ottenuta dalla semplificazione della funzione Booleana, è manipolata algebricamente per ottenere l'equazione di stato nella forma:

$$B(t+1) = (A'x) B' + (Ax)'B$$

L'equazione di stato può essere derivata direttamente dallo schema logico. Come già visto dalla Fig. 10.1 il segnale di ingresso J del F/F B è generato dalla funzione $A'x$ ed il segnale per l'ingresso K dalla funzione Ax' . Sostituendo $J = A'x$ e $K = Ax'$ nell'equazione caratteristica del F/F RS data da

$$B(t+1) = JB' + K'B$$

otteniamo l'equazione di stato derivata precedentemente.

Le equazioni di stato di tutti i Flip - Flop, insieme con le funzioni di uscita specificano completamente un circuito sequenziale. Essi rappresentano, algebricamente, le stesse informazioni che una tabella di stato rappresenta in forma tabulare o un diagramma di stato in forma grafica.

10.1.5 Funzioni di ingresso di un Flip - Flop

Lo schema logico di un circuito sequenziale è formato da elementi di memoria e porte logiche. Il tipo di F/F e le loro tabelle caratteristiche specificano le proprietà logiche degli elementi di memoria. Le interconnessioni tra le porte formano un circuito combinatorio e possono essere specificate algebricamente con delle funzioni Booleane. Così, la conoscenza del tipo di F/F e la lista delle funzioni Booleane del circuito combinatorio forniscono tutte le informazioni necessarie a disegnare lo schema logico di un circuito sequenziale. La parte di circuito combinatorio che genera gli ingressi ai F/F è descritto algebricamente da un insieme di funzioni Booleane chiamate *funzione di ingresso ai F/F* o semplicemente *equazioni di ingresso*.

Si consideri per es. la seguente funzione di ingresso di un F/F JK chiamato A:

$$JA = BC'x + B'Cx'$$

$$KA = B + y$$

Il lato destro di ciascuna equazione è una funzione Booleana della corrispondente variabile di ingresso al F/F. La realizzazione logica delle due funzioni Booleane è indicata in Fig. 10.4. Il F/F JK ha il

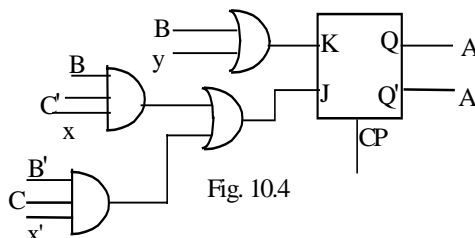


Fig. 10.4

simbolo di uscita A e i due ingressi sono individuati con J e K. Il circuito combinatorio disegnato nello schema è la realizzazione della espressione algebrica data dalle funzioni di ingresso. Le uscite del circuito combinatorio sono individuate con JA e KA nelle funzioni di ingresso e vanno agli ingressi J e K, rispettivamente, del F/F A.

Da questo esempio vediamo che la funzione di ingresso di un F/F è una espressione algebrica di un circuito combinatorio. La variabile di *uscita* del circuito combinatorio è indicata con due lettere. Questa uscita è sempre connessa all'ingresso (individuato con la prima lettera) del F/F individuato con la seconda lettera. L'espressione Booleana delle variabili specificano la parte combinatoria di un circuito sequenziale.

Le funzioni di ingresso dei F/F rappresentano una conveniente espressione algebrica per specificare uno schema logico di un circuito sequenziale. Essi indicano il tipo di F/F con la prima lettera delle variabili di ingresso e specificano completamente il circuito combinatorio che pilota il F/F. In queste funzioni il tempo non è incluso esplicitamente perché è implicito nel funzionamento ad impulsi. Qualche volta è più conveniente specificare un circuito sequenziale algebricamente con le funzioni di uscita e di ingresso dei F/F anziché disegnare lo schema logico.

10.2 Progetto di un circuito sequenziale clocked: generalità

Il progetto di un circuito sequenziale clocked parte da un insieme di specifiche verbali e finisce con uno schema logico o con una lista di funzioni Booleane da cui può essere facilmente ottenuto lo schema logico. Al contrario dei circuiti combinatori, che sono completamente specificati da una tabella di verità, un circuito sequenziale clocked ha bisogno di una tabella di stato. Il primo passo verso il progetto di un circuito di questo tipo è quello di ottenere una tabella di stato o una sua rappresentazione alternativa come un diagramma di stato o le equazioni di stato.

Un circuito sequenziale sincrono è realizzato per mezzo di F/F e porte logiche. Il progetto del circuito consiste nella scelta dei F/F e nel trovare la struttura della logica combinatoria che realizza la funzione richiesta. Il numero dei F/F è determinato dal numero di stati necessari al funzionamento del circuito. Il circuito combinatorio è derivato dalla tabella di stato. Infatti, una volta determinato il numero dei F/F, il processo di progetto trasforma il problema da sequenziale a combinatorio. In questo modo possono essere usate le tecniche dei circuiti combinatori.

Qualsiasi progetto implica anche il problema della minimizzazione dei costi del circuito finale. La minimizzazione del numero di F/F e del numero di porte sono due ovvi mezzi. La riduzione del numero di F/F in un circuito sequenziale è conosciuto come *riduzione degli stati*. I metodi di riduzione degli stati hanno l'obiettivo di ridurre il numero di stati in una tabella di stato senza per ciò modificare le richieste di ingresso-uscita originarie. Siccome m F/F producono 2^m stati binari, una riduzione del numero di stati può determinare o meno la riduzione del numero di F/F. Un effetto prevedibile è che la riduzione del numero di F/F può richiedere un circuito combinatorio più complesso.

Parte del costo del circuito combinatorio può essere ridotto utilizzando i metodi di semplificazione già studiati. Tuttavia c'è un altro fattore che può giocare un ruolo importante nella semplificazione, e questo riguarda il così detto problema *dell'assegnazione degli stati*. L'assegnazione degli stati riguarda il processo di codificazione binaria degli stati in modo che il costo del circuito combinatorio che pilota i F/F venga minimizzato. Ciò è particolarmente utile quando un circuito sequenziale è visto dai suoi terminali di ingresso e di uscita. Un circuito di questo tipo può seguire una qualsiasi sequenza di stati interni, purché il circuito produca la sequenza di uscite richieste per una data sequenza di ingressi. Ciò non può essere applicato a quei circuiti in cui le uscite esterne coincidono con gli stati dei F/F che li compongono, come accade per i contatori.

Es. 10.1 Analizzare il circuito sequenziale clocked il cui diagramma di stato è dato in Fig. 8.5.

Il problema fornisce un diagramma di stato da cui notiamo subito che:

- 1) Nessuno degli stati ha una codifica assegnata. Ciò significa che, in questo problema, interessa soltanto che, ad una data sequenza di ingressi corrisponda una precisa sequenza di uscite, indipendentemente dall'assegnazione degli stati.
- 2) Il sistema si evolve attraverso 5 stati diversi. Per codificare 5 stati sono necessarie un minimo di 3 bit per cui il nostro sistema potrà essere realizzato con 3 F/F. Pertanto il nostro codice di assegnazione risulterà ridondante di 3 combinazioni; 3 possibili stati risulteranno non assegnati. Poiché il sistema non deve mai andare in questi stati, essi possono essere considerati di don't care.

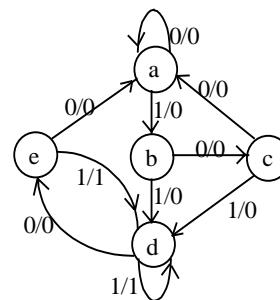


Fig. 8.5

La ridondanza ora rilevata ci dice che il problema di assegnazione degli stati è non definito e che possiamo assegnare gli stati in modo arbitrario.

In Tab. 10.2, come esempio, ne sono proposti 3;

uno è l'assegnazione della sequenza binaria diretta e le altre due sono completamente arbitrarie. È ovvio che ad ogni assegnazione di stati corrisponde una tabella di stato diversa mentre le relazioni di ingresso - uscita restano

Stato	Assegnaz. 1	Assegnaz. 2	Assegnaz. 3
a	001	000	000
b	010	010	100
c	011	011	010
d	100	101	101
e	101	111	011

Tab. 10.2

le stesse. La forma binaria della tabella di stato determina il circuito combinatorio che è parte del circuito sequenziale. La complessità del circuito combinatorio che si otterrà dipenderà dalla scelta dell'assegnazione degli stati. Gli effetti delle diverse assegnazioni saranno evidenziate in seguito. Sono state suggerite varie procedure che portano ad una particolare assegnazione binaria. Il criterio più comune è quello di fare l'assegnazione che porta al più semplice circuito combinatorio. Le tecniche per risolvere il problema dell'assegnazione degli stati è al di là dei nostri scopi.

10.2.1 Progetto di un circuito sequenziale clocked: Tabella di eccitazione

In questo paragrafo presenteremo un procedimento per il progetto di circuiti sequenziali. Questo ha lo scopo di servire da guida ai principianti, e può essere accorciata con l'esperienza. Il processo è riassunto con la seguente lista di passi consecutivi:

- 1) Viene stabilita una descrizione verbale del comportamento del circuito. Questo può essere accompagnato da un diagramma di stato, un diagramma temporale, o da altre informazioni pertinenti.

- 2) Dalle informazioni sul funzionamento del circuito derivare una tabella di stato. Se per i singoli stati non è stata precisata la combinazione binaria, si assegna solo il nome di identificazione
- 3) Assegnare i valori binari a ciascuno stato.
- 4) Determinare il numero di F/F necessari ed assegnare a ciascuno di essi dei simboli letterali.
- 5) Scegliere i tipi di F/F che debbono essere usati.
- 6) Dalla tabella di stato, derivare la tabella di eccitazione del circuito e le funzioni di uscita.
- 7) Usare il metodo delle mappe o qualsiasi altro metodo di semplificazione per ottenere, sia le funzioni di uscita del circuito, sia le funzioni di ingresso dei F/F.
- 8) Disegnare lo schema del circuito.

La enunciazione verbale del comportamento del circuito usualmente si rivolge ad un auditorio che ha familiarità con la terminologia della logica digitale. È necessario che il progettista usi la sua intuizione ed esperienza per arrivare alla corretta interpretazione delle specifiche circuitali perché la descrizione a parole può essere incompleta ed inesatta. Una volta che le specifiche sono state enunciate ed è stata ottenuta una tabella di stato è possibile fare uso delle procedure formali per il progetto del circuito.

L'effetto dell'assegnazione degli stati sulla complessità del circuito combinatorio sarà argomento di un successivo paragrafo.

È già stato ricordato che il numero m di F/F è determinato dal numero degli stati. Un circuito può avere degli stati binari non usati se il totale del numero di stati è inferiore a 2^m . Gli stati non usati sono considerati come condizioni di don't care durante il progetto della parte combinatoria del circuito.

Nella specificazioni di progetto possono essere indicati il tipo di F/F, in caso contrario la scelta del tipo può anche dipendere dal tipo che è disponibile per la realizzazione. Molti sistemi digitali sono costruiti con F/F JK perché essi risultano i più versatili. Quando sono disponibili tutti i diversi tipi di F/F è opportuno usare F/F RS o D se viene richiesto un trasferimento di dati (come gli shift register), il F/F T se l'applicazione implica complementazioni (come nei contatori binari), e i F/F JK per applicazioni di tipo generale.

L'informazione di uscita esterna è specificata nella sezione di uscita della tabella di stato. Da essa deriviamo le funzioni di uscita del circuito. La tabella di eccitazione di un circuito è simile a quella dei singoli F/F eccetto che le condizioni di ingresso sono determinate dalle informazioni disponibili nelle colonne relative allo stato presente ed allo stato futuro della tabella di stato. Il metodo che ci permette di ottenere una tabella di eccitazione da una tabella di stato è meglio illustrato con un esempio.

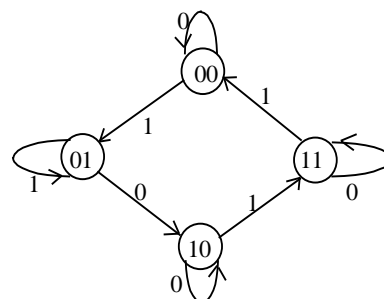


Fig. 10.5

Si vuole progettare il circuito logico sequenziale il cui diagramma di stato è dato in Fig. 10.5.

Il tipo di F/F da usare è il JK.

Il diagramma di stato consiste di 4 stati con i valori binari già assegnati.

Siccome gli archi direzionali sono segnate con una sola cifra binaria senza una /, concludiamo che c'è una variabile di ingresso e nessuna uscita e quindi è una macchina di Moore. (Gli stati dei F/F possono essere considerati le uscite del circuito). Per rappresentare 4 stati abbiamo bisogno di 2 F/F che individuiamo con le lettere A e B. Alla variabile di ingresso è assegnato il simbolo x. La tabella di stato di questo circuito è dato nella Tab. 10.3

SP			SF	
x	A	B	A	B
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	1	1
1	0	0	0	1
1	0	1	0	1
1	1	0	1	1
1	1	1	0	0

Tab. 10.3

Notare che, essendo una macchina di Moore, nella tabella di stato, non abbiamo la sezione di uscita. Ora mostreremo come da questa è possibile ottenere la tabella di eccitazione ed il circuito combinatorio.

La tabella di eccitazione è derivata ponendo tra le colonne della sezione stato futuro e quella di uscita (in questo caso manca) una sezione di ingresso ai F/F del circuito. Per ogni entrata della tabella dobbiamo trovare i valori delle variabili di ingresso ai F/F che determinano la transizione di stato indicata nella sezione Stato Futuro. Poiché i F/F che dobbiamo utilizzare sono del tipo JK, chiamati rispettivamente A e B, abbiamo, in questa sezione, quattro colonne intestate: JA, KA, JB e KB.

I valori per ogni una di queste variabili e per ogni combinazioni possono essere ricavate con l'aiuto della tabelle di eccitazione del F/F JK (Tab. 8.12). Per es. nella prima entrata sia il F/F A che B devono restare nello stato 0 per cui $JA = JB = 0$ e $KA = KB = X$. Nella seconda entrata Il F/F A deve commutare da 0 ad 1 e B da 1 a 0. Dalla Tab. 8.12 ricaviamo per JA = 1, per KA = X, per JB = X e per KB = 1. Per tutte le altre entrate si procede analogamente.

SP			SF		Ingressi ai F/F			
x	A	B	A	B	JA	KA	JB	KB
0	0	0	0	0	0	X	0	X
0	0	1	1	0	1	X	X	1
0	1	0	1	0	X	0	0	X
0	1	1	1	1	X	0	X	0
1	0	0	0	1	0	X	1	X
1	0	1	0	1	0	X	X	0
1	1	0	1	1	X	0	1	X
1	1	1	0	0	X	1	X	1

Tab. 10.5

Consideriamo ora quali informazioni sono disponibili in una tabella di eccitazione come la Tab. 10.5. Sappiamo che un circuito sequenziale consiste di un certo numero di F/F e di un circuito combinatorio. Le funzioni Booleane per il circuito combinatorio sono le funzioni che abbiamo indicato con JA, KA, JB, e KB che sono funzioni degli ingressi e dello stato dei F/F. Ma queste informazioni sono disponibili nella tabella di eccitazione sotto forma di tabella di verità: basta non considerare la presenza della sezione Stato Futuro.

AB		00	01	11	10
x	0		1	X	X
	1			X	X

$JA = Bx'$

AB		00	01	11	10
x	0	X	X		
	1	X	X	1	

$KA = Bx$

AB		00	01	11	10
x	0		X	X	
	1	1	X	X	1

$JB = x$

AB		00	01	11	10
x	0	X	1		X
	1	X		1	X

$KB = A \odot x = A \oplus x'$

Fig. 10.6

Dopo questa osservazione risulta chiaro come procedere alla minimizzazione di queste funzioni: a partire da questa tabella utilizzare uno dei, già noti, metodi di semplificazione dei circuiti combinatori. La Fig. 10.6 mostra le mappe con le relative semplificazioni delle funzioni di ingresso ai F/F A e B. La Fig. 10.7 ne mostra lo schema logico. Con qualche esperienza è possibile ridurre la quantità di lavoro necessario al progetto di un circuito

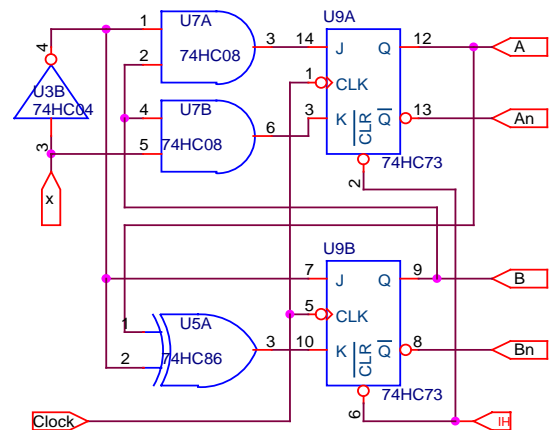


Fig. 10.7

combinatorio. Per es., è possibile ottenere le informazioni per la mappa di Fig. 10.6 direttamente dalla Tab. 10.3, senza derivare la Tab. 10.5. Ciò si ottiene andando sistematicamente attraverso ciascun stato presente e combinazione di ingresso nella Tab. 10.3 e, paragonando questa con i valori binari corrispondenti nella sezione dello stato futuro, trovare dalla Tab. 8.12, i valori da dare alle funzioni di ingresso. Quindi questi saranno indicati direttamente nelle mappe.

La tabella di eccitazione di un circuito sequenziale con m F/F, k ingressi per F/F, ed n ingressi esterni, consiste di $m + n$ colonne per lo stato presente e variabili di ingresso esterne e fino a 2^{m+n} righe listate in un conveniente ordine binario. La sezione dello stato futuro ha m colonne, una per ogni F/F. I valori di ingresso ai F/F sono elencati in km colonne, una per ciascun ingresso di ciascun F/F. Se il circuito contiene j uscite, la tabella deve includere una sezione di uscita con j colonne. La tabella di verità è tratta dalla tabella di eccitazione considerando le $m + n$ colonne dello stato presente e variabili di ingresso e le $mk + j$ colonne come funzioni di uscita.

10.3 Esempi di progetto

Il progetto dei circuiti sequenziali clocked è illustrato in questo paragrafo per mezzo di sette esempi. Gli esempi 10.2 e 10.3 dimostrano il fatto che differenti assegnazioni binarie producono circuiti combinatori diversi. Per mezzo di loro mostreremo anche come debbono essere trattate le condizioni di don't care. L'esempio 10.4 mostra come progettare con i F/F JK. L'esempio 10.5 mostra come progettare con F/F T e D e come trattare gli stati futuri non specificati. Nell'esempio 10.6 è mostrato il progetto di un circuito specificato per mezzo un diagramma temporale. Circuiti particolari specificati dalle equazioni di stato sono progettati con gli esempi 10.7 e 10.8.

10.4 Progetto con l'uso delle tabelle di eccitazione

Es. 10.2: *Completare il progetto del circuito sequenziale presentato nell'Es. 10.1. Usare l'assegnazione 1 della tabella di assegnazione di stati Tab. 10.2.*

La tabella di eccitazione con la relativa assegnazione binaria è riportata in Tab. 10.6. Essa può essere scritta a partire dal diagramma di stato di Fig. 10.2 facendo corrispondere allo stato *a* la sequenza 001; a *b* la sequenza 010 e così via, secondo l'assegnazione indicata nel testo del problema.

La lista delle colonne dello stato presente è stata fatta scrivendo, in ordine, le assegnazione degli stati con la variabile di ingresso esterna $x = 0$ e poi ripetuta con $x = 1$. Per ogni entrata, utilizzando la Fig. 10.5 si è trovato la lettera che indica lo stato futuro a cui è stato fatto corrispondere l'assegnazione stabilita. Volendo

SP				SF			Ingressi ai F/F						Usc.
x	A	B	C	A	B	C	JA	K A	JB	KB	JC	KC	y
0	0	0	1	0	0	1	0	X	0	X	X	0	0
0	0	1	0	0	1	1	0	X	X	0	1	X	0
0	0	1	1	0	0	1	0	X	X	1	X	0	0
0	1	0	0	1	0	1	X	0	0	X	1	X	0
0	1	0	1	0	0	1	X	1	0	X	X	0	0
1	0	0	1	0	1	0	0	X	1	X	X	1	0
1	0	1	0	1	0	0	1	X	X	1	0	X	0
1	0	1	1	1	0	0	1	X	X	1	X	1	0
1	1	0	0	1	0	0	X	0	0	X	0	X	1
1	1	0	1	1	0	0	X	0	0	X	X	1	1

Tab. 10.6

realizzare il circuito con F/F JK sono state intestate le 6 colonne per le loro funzioni di ingresso. Si è quindi riportata una colonna per la variabile di uscita esterna. I valori binari delle funzioni di ingresso ai F/F sono stati trovati considerando, per ogni entrata in tabella, la transizione di stato dei singoli F/F e le condizioni indicate dalla tabella di eccitazione del F/F JK Tab. 8.12.

Ci sono tre entrate binarie non usate 000, 110 e 111 che accoppiati con i due valori $x = 0$ e $x = 1$ diventano 6. Queste combinazioni non sono usate nella Tab. 10.6 nella sezione dello stato

presente e non si trovano nelle colonne della sezione stato futuro quindi, per queste combinazioni, ricorrono le condizioni di don't care.

Il progetto del circuito combinatorio consiste nel trovare le 6 funzioni di ingresso ai F/F e la funzione di uscita del circuito, in funzione delle 3 variabili di stato dei F/F A, B, C e dell'ingresso esterno x. Queste funzioni sono ricavate dalla tabella di eccitazione, riportate nelle mappe e semplificate come indicato in Fig. 10.8. Per ogni mappa ci sono 6 entrate fisse marcate sempre con una X che corrispondono alle combinazioni don't care. Le altre entrate marcate con una X provengono dalle condizioni don't care delle singole funzioni. L'abbondanza, nelle mappe, dei termini di don't care (dovuta alle proprietà del F/F JK e alle sei combinazioni non usate), è la ragione principale della semplicità delle espressioni finali:

$$JA = Bx; \quad KA = Cx'; \quad JB = A'x; \quad KB = C + x; \quad JC = x'; \quad KC = x; \quad y = Ax.$$

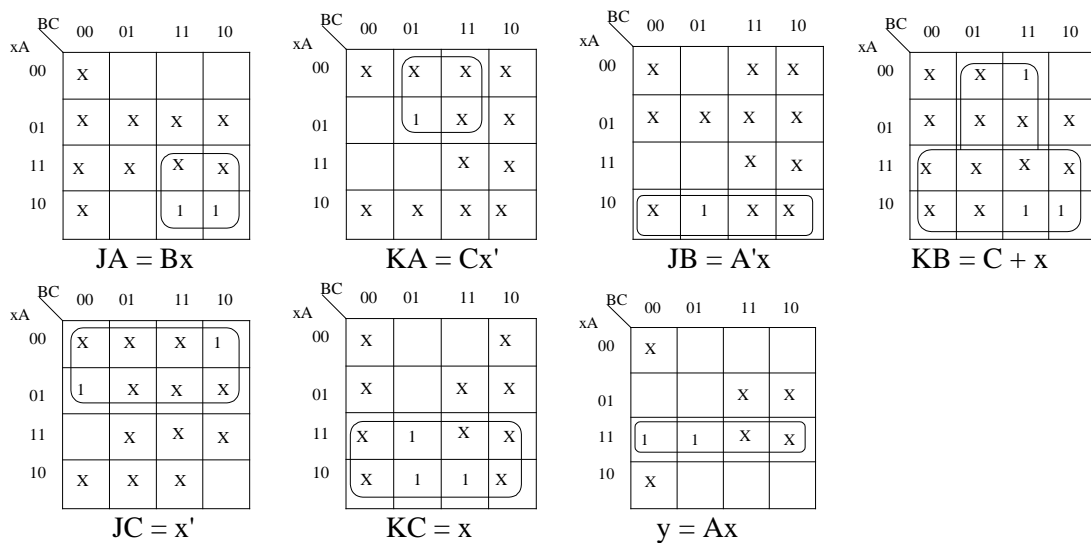


Fig. 10.8

La Fig. 10.9 ne mostra lo schema circuitale.

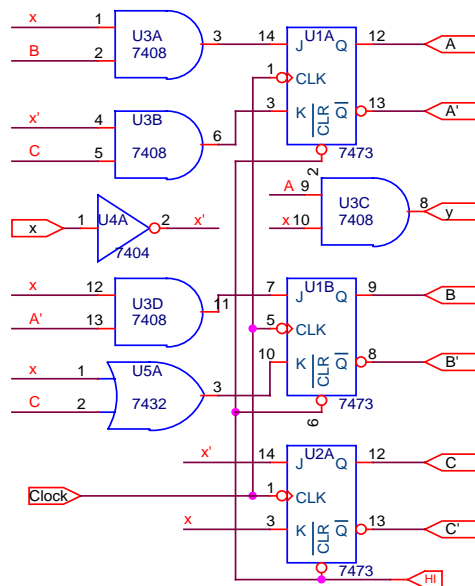


Fig. 10.9

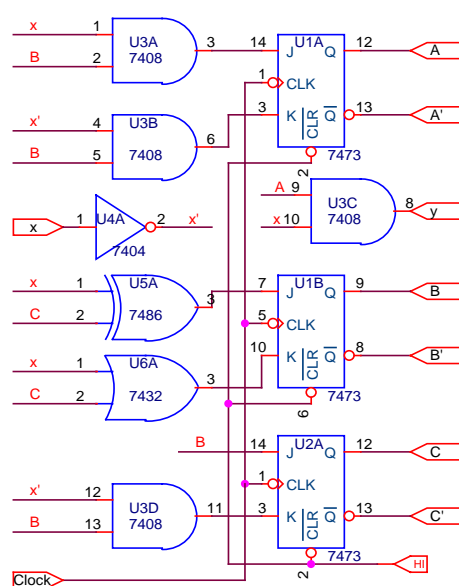


Fig. 10.10

Es. 10.3: Ripetere l'Es. 10.2 usando l'assegnazione 2 di Tab. 10.2.

La tabella di eccitazione con la relativa assegnazione binaria è riportata in Tab. 10.7. Essa può essere scritta a partire dal diagramma di stato di Fig. 10.2 facendo corrispondere allo stato a la sequenza 000; a b la sequenza 010 e così via, secondo l'assegnazione indicata nel testo del problema. Per il resto si segue lo stesso procedimento che per la Tab. 10.6.

Ancora ci sono tre entrate binarie non usate 001, 100 e 110 che accoppiati con i due valori $x = 0$ ed $x = 1$ diventano 6. Queste combinazioni non sono usate nella Tab. 10.6 nella sezione dello stato presente e non si trovano nelle colonne della sezione stato futuro quindi, per queste combinazioni, ricorrono le condizioni di don't care. La semplificazione delle funzioni di ingresso ai F/F e la funzione di uscita devono includere queste condizioni don't care. Nel seguito non sono mostrate le mappe ma il lettore può facilmente verificare, seguendo il procedimento delineato sopra che:

$$\begin{aligned} JA &= BX; & KA &= Bx'; & JB &= x \oplus C; & KB &= C + x; \\ JC &= B; & KC &= Bx'; & y &= Ax. \end{aligned}$$

In Fig. 10.10 è mostrato lo schema logico della nuova realizzazione. Esso consiste di 3 F/F, 3 AND, 1 OR ed una XOR. Gli esempi 10.2 e 10.3 dimostrano che ad ogni assegnazione binaria gli corrisponde un circuito diverso. I circuiti di Fig. 10.9 e 10.10 sono identici se noi ci limitiamo ad interessarci delle specifiche del

SP				SF			Ingressi ai F/F						Usc.
x	A	B	C	A	B	C	JA	K A	JB	KB	JC	KC	y
0	0	0	0	0	0	0	0	X	0	X	X	0	0
0	0	1	0	0	1	1	0	X	X	0	1	X	0
0	0	1	1	0	0	0	0	X	X	1	X	1	0
0	1	0	1	1	1	1	X	0	1	X	X	0	0
0	1	1	1	0	0	0	X	1	X	1	X	1	0
1	0	0	0	0	1	0	0	X	1	X	0	X	0
1	0	1	0	1	0	1	1	X	X	1	1	X	0
1	0	1	1	1	0	1	1	X	X	1	X	0	0
1	1	0	1	1	0	1	X	0	0	X	X	0	1
1	1	1	1	1	0	1	X	0	X	1	X	0	1

Tab. 10.7

problema, ma essi sono diversi da un punto di vista realizzativo e la loro complessità dipende esclusivamente dalla scelta dell'assegnazione binaria.

Es. 10.4: Progettare un circuito sequenziale che, all'arrivo di un impulso di clock, faccia la somma aritmetica dei due bit in ingresso con il riporto avuto dalla somma di due precedenti bit (sommatore seriale). Sia il bit di somma che il bit di riporto debbono essere presentati in uscita. Usare F/F JK.

L'enunciato di questo problema implica la presenza di due linee di ingresso esterne, che chiamiamo x ed y , e che rappresentano i bit da sommare. Poiché è richiesto di realizzare un full adder, è necessario un terzo bit che non può essere fornito dall'esterno. Questo risulta dalla elaborazione della coppia di bit presenti al precedente impulso di clock. Bisogna quindi

che il sistema possa avere memoria per questo bit. Per ciò il nostro circuito deve contenere un F/F che sarà, come richiesto dal problema, del tipo JK. Questo F/F ha bisogno di uno stato iniziale in quanto all'inizio di una nuova serie di somme bisogna che il F/F abbia, come primo riporto, zero. Ciò implica un terzo ingresso di controllo che chiamiamo di Clear e indichiamo col simbolo z . Perché il sistema funzioni bene è necessario che i bit x ed y e z siano sincroni con il clock del sistema (i bit debbono essere stabili al momento in cui si verifica la transizione attiva del clock che supponiamo essere il fronte negativo e cambiano successivamente al detto fronte. La linea esterna di clear, z , può essere collegata all'ingresso asincrono di Clear del F/F JK. Pertanto per tutto il tempo che la

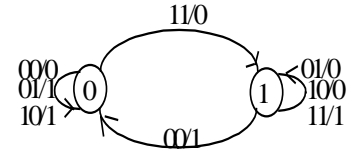


Fig. 10.11

linea di Clear è attiva ($z = 0$ nel caso della Figura 10.13)

l'uscita del F/F resta a zero indipendente dagli impulsi di clock. In questo modo il funzionamento del circuito può essere suddiviso in due fasi diverse: in una, con $z = 0$, il circuito avrà il bit di riporto sempre a zero e pertanto il bit di somma non è valido, nella seconda, con $z = 1$, il sistema funziona normalmente. Nel prosieguo noi ci interesseremo soltanto della fase di funzionamento normale.

SP			SF	Ingr. F/F		Usc.
x	y	A	A	J	K	s
0	0	0	0	0	X	0
0	0	1	0	X	1	1
0	1	0	0	0	X	1
0	1	1	1	X	0	0
1	0	0	0	0	X	1
1	0	1	1	X	0	0
1	1	0	1	1	X	0
1	1	1	1	X	0	1

Tab. 10.8

Il diagramma di stato consiste di 2 stati, con valori binari già assegnati. Gli archi sono marcati con due ingressi ed una uscita. Tre combinazioni lasciano il circuito nello stesso stato. Soltanto gli ingressi 00 ed 11 provocano una transizione di stato. L'uscita del F/F è chiamata A.

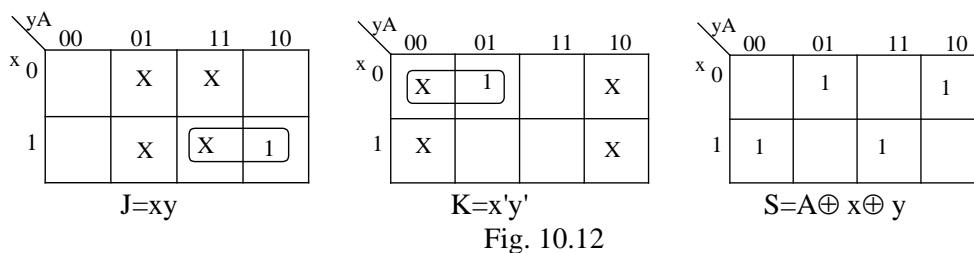


Fig. 10.12

La Tabella di eccitazione per il circuito è data in Tab. 10.8. Gli stati presenti e gli ingressi, gli stati futuri e l'uscita sono ricavate direttamente dal diagramma di stato di Fig. 10.11. Le condizioni di ingresso del F/F sono ottenuti dalle richieste di transizione di stato e dalla tabella di eccitazione del F/F JK, Tab. 8.12. Le espressioni semplificate delle funzione Booleane sono derivate dalle

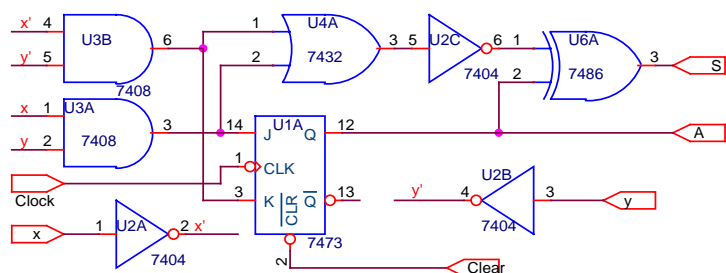


Fig. 10.13

mappe presentate in Fig. 10.12. Le entrate delle mappe sono ottenute direttamente dalla Tab. 10.8. Lo schema logico è disegnato in Fig. 10.13.

Notare che, se il problema avesse richiesto soltanto di realizzare un Full Hadder seriale, la libertà data, in questo caso, al progettista avrebbe permesso la realizzazione del progetto a partire dalla seguente semplice osservazione: per ricordare il carry, proveniente dalla somma

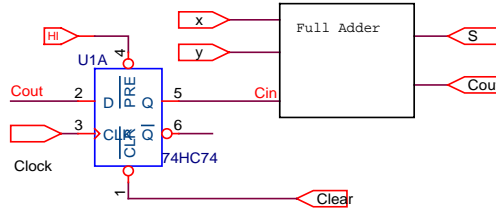


Fig. 10.14

dei bit meno significativi, ho bisogno di una memoria. Questa può essere realizzata usando un F/F di tipo D (che inizialmente deve essere azzerato). Ad ogni transizione di clock una nuova coppia di bit viene fornita al Full Adder. Questo somma, oltre i due bit, anche il bit di carry proveniente dalla somma della coppia di bit precedente (presente all'ingresso D del F/F e catturato durante la transizione attiva del clock). Pertanto il circuito a blocchi finale è quello di Fig. 10.14.

Naturalmente, perché il progetto sia completo e necessario provvedere tutta l'elettronica che determina la conversione Parallelo/Serie dei dati da sommare e la conversione Serie/Parallelo dei bit di somma e di un circuito che determina il numero di bit di cui i dati sono formati e conto il numero di somme fatte etc. Questo problema sarà affrontato alla fine del Cap. 11.

Es. 10.5: Progettare un circuito sequenziale con due F/F ed un ingresso. Quando l'ingresso è uguale ad 1, i F/F ciclano attraverso la sequenza 00, 01, 10. Quando l'ingresso è uguale ad 0, i F/F ciclano attraverso la sequenza 11, 10, 01. Progettare il circuito sia con F/F T che D.

Il diagramma di stato, derivato dalla descrizione verbale è mostrato in Fig. 10.15. Ciascuna sequenza è ripetuta fino a che l'ingresso resta lo stesso. La definizione del problema non specifica lo stato futuro quando, mentre il circuito si trova nello stato 00, l'ingresso è 0 e quando, mentre il circuito si trova nello stato 11, l'ingresso è 1. Nel diagramma di stato di Fig. 10.15 lo stato di destinazione è indicato con un ?

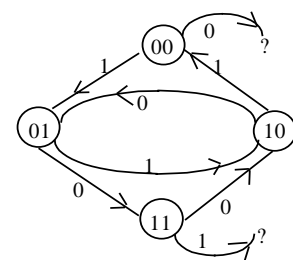


Fig. 10.15

Ora sorge il problema di come trattare questi stati non specificati. In pratica il progettista deve ritornare da chi ha enunciato il problema per richiedere delle ulteriori informazioni. Se questo è però impossibile, il progettista deve decidere da solo che cosa fare. Una alternativa possibile è quella di lasciare il circuito nello stesso stato 00 quando l'ingresso è 0 e 11 quando l'ingresso è 1. Una seconda alternativa è quella di forzare una transizione o allo stato 01 o 10 rispettivamente in modo che possa essere continuata la sequenza. Una terza alternativa è di considerare che non importa quale sarà il prossimo stato. Seguiremo, arbitrariamente, la terza alternativa.

La tabella di eccitazione è presentata in Tab. 10.9. I due stati non specificati sono indicati con una X e trattati come stati don't care. Nella stessa tabella sono indicate sia l'ingresso al F/F T che D. Dalle mappe di Fig. 10.16 otteniamo la minimizzazione delle funzioni di ingresso ai F/F T e D indicate nella stessa figura.

È interessante verificare le assegnazioni che risultano dalle semplificazioni per gli stati non specificati. Per i F/F T le X sono incluse come 0. Questo significa che

non avviene alcuna transizione di stato; il circuito resta nello stato 00 ed 11 quando l'ingresso

SP			SF		Ing. F/F T		Ing. F/F D	
x	A	B	A	B	TA	TB	DA	DB
0	0	0	X	X	X	X	X	X
0	0	1	1	1	1	0	1	1
0	1	0	0	1	1	1	0	1
0	1	1	1	0	0	1	1	0
1	0	0	0	1	0	1	0	1
1	0	1	1	0	1	1	1	0
1	1	0	0	0	1	0	0	0
1	1	1	X	X	X	X	X	X

Tab. 10.9

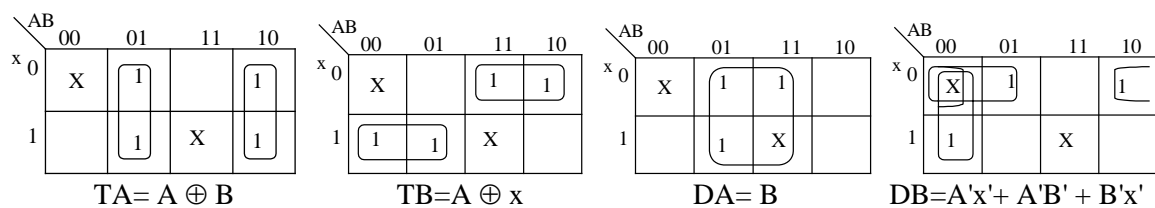


Fig. 10.16

è 0 ed 1 rispettivamente. Per i F/F D la semplificazione determina che lo stato futuro di 00 è 01 quando l'ingresso è 0 e che lo stato futuro di 11 è 10 quando l'ingresso è 1.

Es. 10.6: Progettare un circuito con un F/F (Q) e due ingressi (A,B) che realizza le transizioni fornite nel timing di Fig. 10.17.

Dalla lettura del timing notiamo che i segnali di ingresso A, B e Q cambiano in coincidenza con il trailing edge del clock e che il F/F, chiamato Q, è settato quando A = 1 e B = 0, è azzerato quando A = 1 e B = 1 e non cambia stato in tutti gli altri casi.

Il lettore dovrebbe immediatamente realizzare che questo è un semplice circuito sequenziale con le

funzioni AB' per il Set e AB per il Clear del F/F. Quindi il tipo di F/F da usare in questo caso è RS o JK. Le funzioni di ingresso di un F/F RS sono:

$$SQ = AB' \text{ e } RQ = AB.$$

Ipotizziamo ora che la soluzione non sia così immediata e procediamo a determinare le funzioni di ingresso al F/F, che scegliamo del tipo RS, per mezzo di una tabella di eccitazione. Dal

diagramma temporale ricaviamo il diagramma di stato presentato in Fig. 10.18 e da questa deriviamo la tabella di eccitazione presentata in Tab. 10.10. Le mappe per la semplificazione

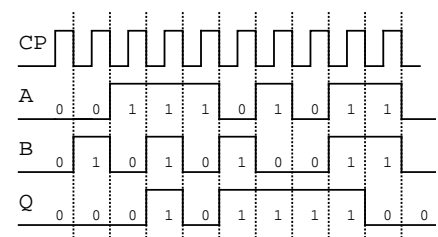


Fig. 10.17

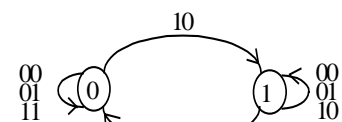
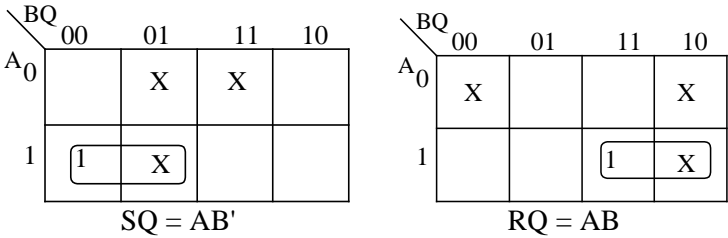


Fig. 10.18

delle funzioni di ingresso sono presentate in Fig. 10.19 nelle quali sono anche presentate le anticipate funzioni.

SP			SF	Ingressi	
A	B	Q	Q	SQ	RQ
0	0	0	0	0	X
0	0	1	1	X	0
0	1	0	0	0	X
0	1	1	1	X	0
1	0	0	1	1	0
1	0	1	1	X	0
1	1	0	0	0	X
1	1	1	0	0	1

Tab. 10.10



10.5 Progetto di un circuito sequenziale con l'uso delle equazioni di stato

Il metodo di progetto con l'ausilio delle equazioni di stato è alternativo alla determinazione delle funzioni di ingresso dei F/F D, T, SR e JK direttamente dalle tabelle di eccitazione. Per usare questo metodo è opportuno che le equazioni di stato siano derivate dal diagramma o dalla tabella di stato (con eventuale ausilio delle mappe) in modo tale che risultino espresse nella seguente forma standard: $Q(t+1) = aQ + bQ'$. Dove Q è l'uscita del F/F generico della macchina a stati finiti e a e b sono delle funzioni booleane (espresse in somma di prodotti) che dipendono da tutte le altre variabili esterne o di stato. Utilizzando le mappe, ciò si ottiene accorpando tra di loro, la dove è possibile, soltanto i quadratini adiacenti che hanno $Q = 0$ e tra di loro quelli adiacenti che hanno $Q = 1$.

Tipo di F/F	Eq. Car.	Eq. Stato	funz inp ai F/F	Condizioni
D	D	$aQ + bQ'$	$D = aQ + bQ'$ $D = a$	Sempre se $a = b$
JK	$K'Q + JQ'$	$aQ + bQ'$	$K' = a, J = b$	sempre
T	$T'Q + TQ'$	$aQ + bQ'$	$T = a'Q + bQ'$ $T = b$ $T = b \oplus Q$	sempre se $b = a'$ se $a = b$
RS	$R'Q + S$ con $SR = 0$	$aQ + bQ'$	$R = a'Q, S = bQ'$ $R = a', S = b$	sempre se $a'b = 0$

Tab. 10.11

Può capitare che, dalla semplificazione, si ottenga una equazione di stato formata da due termini in uno dei quali (o da un solo termine in cui) la variabile Q e/o Q' è assente. In questi casi è sufficiente eseguire la seguente semplice manipolazione algebrica: moltiplicare il termine prodotto in cui non figura la variabile di stato di interesse, per la somma $Q + Q' = 1$, quindi applicare la proprietà distributiva del prodotto rispetto alla somma e, successivamente, raggruppare tra di loro i termini risultanti nella funzione di stato che hanno solo Q ed i termini che hanno solo Q' (mettendo tali variabili in evidenza). Se la Q(t) è funzione di in solo

termine moltiplicato per Q o per Q' allora si può fare comparire l'altro termine, sommando rispettivamente $0Q'$ oppure $0Q$.

Una volta ottenute tali espressioni, usare la Tab.10.11 per il Flip Flop scelto. La Tab. 10.11 riassume come è possibile ricavare, dalla espressione standard, le funzioni di ingresso dei 4 tipi di F/F studiati.

Una derivazione dei superiori risultati può essere fatta con l'aiuto della Tab. 10.12 in cui:

- Le colonne dello stato presente sono intestate con a , b , e $Q(t)$. In queste colonne vengono elencate tutte le combinazioni possibili delle tre variabili binarie.
- Quelle dello stato futuro del F/F è intestata con $Q(t+1)$. Le entrate sono calcolate dalla funzione di stato $Q(t+1) = aQ + bQ'$.
- Le altre colonne sono relative ai livelli che debbono avere le variabili di controllo del relativo F/F per ottenere la transizione indicata nelle colonne intestate $Q(t)$ e $Q(t+1)$.

SP			SF	JK F/F		SR F/F		T F/F	D F/F
a	b	$Q(t)$	$Q(t+1)$	J	K	S	R	T	D
0	0	0	0	0	X	0	X	0	0
0	0	1	0	X	1	0	1	1	0
0	1	0	1	1	X	1	0	1	1
0	1	1	0	X	1	0	1	1	0
1	0	0	0	0	X	0	X	0	0
1	0	1	1	X	0	X	0	0	1
1	1	0	1	1	X	1	0	1	1
1	1	1	1	X	0	X	0	0	1

Tab. 10.12

- Per i F/F JK otteniamo le mappe di Fig. 10.20 e dalla semplificazione delle mappe otteniamo la seguente coppia di equazioni:

$$\mathbf{J = b; \quad K = a'}$$

Queste soluzioni possono essere specializzate per i seguenti casi particolari:

- $b = a' \Rightarrow \mathbf{J = K = b}$ ed è preferibile l'uso di un F/F di tipo T
- $b = 0$ allora otteniamo $\mathbf{J = 0}$ e $\mathbf{K = a'}$
- $b = 1$ allora otteniamo $\mathbf{J = 1}$ e $\mathbf{K = a'}$
- $a = 1$ allora otteniamo $\mathbf{J = b}$ e $\mathbf{K = 0}$
- $a = 0$ allora otteniamo $\mathbf{J = b}$ e $\mathbf{K = 1}$

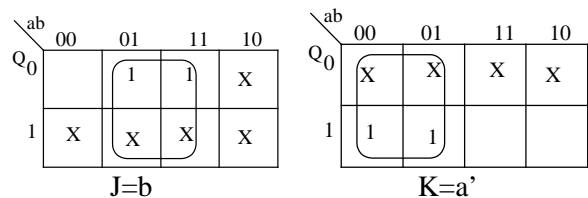


Fig. 10.20

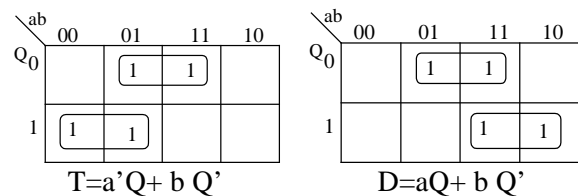


Fig. 10.21

- Per i F/F T e D otteniamo le mappe di

Fig. 10.21. Dalla loro semplificazione otteniamo la seguente equazioni per T e per D:

$$\mathbf{T = a'Q + bQ'; \quad D = aQ + bQ'}$$

Come casi notevoli si segnalano:

- $b = a' \Rightarrow \mathbf{T = b(Q + Q') = b}$ e $\mathbf{D = aQ + a'Q' = a \odot Q}$;
- $b = a \Rightarrow \mathbf{T = b'Q + bQ' = b \oplus Q}$ e $\mathbf{D = a(Q + Q') = a}$

- Per i F/F RS dalla tab. 10.12 otteniamo le seguenti mappe. Dalla loro minimizzazione otteniamo: per S e per R le seguenti equazioni:

$$S = bQ' \text{ e } R = a'Q$$

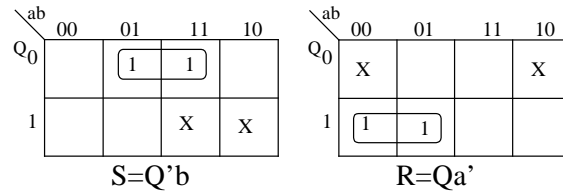


Fig. 10.22

Per il F/F RS abbiamo un caso particolare notevole corrispondente alla condizione che $a'b=0$. Ciò porta come conseguenza che le entrate con $a = 0$ e $b = 1$, nella Tab. 10.12, possono essere considerate

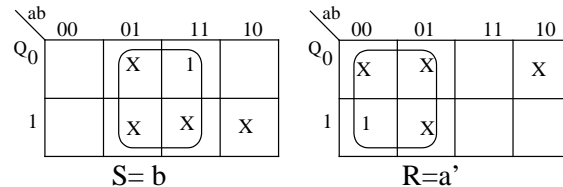


Fig. 10.23

condizione di don't care. Se quindi modifichiamo le mappe di Fig. 10.22 per R e per S, ponendo nei quadratini interessati il segno di don't care, X, otteniamo le mappe di Fig. 10.23.

Dalla semplificazione delle mappe otteniamo

$$S = b \text{ e } R = a'$$

Es. 10.7: Progettare un circuito sequenziale con F/F JK il cui comportamento è descritto dalle seguenti equazioni di stato:

$$\begin{aligned} A(t+1) &= A'B'CD' + A'B'C + ACD + AC'D' & B(t+1) &= A'C + CD' + A'BC' \\ C(t+1) &= B & D(t+1) &= D' \end{aligned}$$

Vogliamo trovare il circuito combinatorio direttamente dalle equazioni di stato senza scrivere le tabelle di stato e di eccitazione. Il procedimento consiste nel manipolare algebricamente le equazioni di stato in modo che possano essere paragonate con le equazioni caratteristiche dei F/F interessati (nel nostro caso F/F JK). L'equazione caratteristica di un F/F JK, in termini della variabile Q, è stata derivata nel par. 8.4 e qui la riscriviamo per convenienza:

$$Q(t+1) = (J)Q' + (K')Q$$

Le variabili di ingresso sono racchiuse in parentesi per evitare di confondere il termine AND dell'equazione con la convenzione, a due lettere, usata per la identificazione degli ingressi dei F/F. Una volta che la manipolazione algebrica è stata effettuata, le funzioni per J e K del F/F sono facilmente trovate e semplificate sia algebricamente sia con l'uso della tabella.

Per la funzione di ingresso del F/F A facciamo la seguente manipolazione:

$$\begin{aligned} A(t+1) &= A'B'CD' + A'B'C + ACD + AC'D' = A'(B'CD' + B'C) + A(CD + C'D') = \\ &= A'(B'C) + A(C \odot D) = A'(B'C) + A(C \oplus D)' = (J)A' + (K')A \end{aligned}$$

Dalla uguaglianza tra le due equazioni o dall'uso della tabella per il F/F JK ricaviamo:

$$J = B'C$$

$$K = C \oplus D$$

Per la funzione di ingresso del F/F B facciamo la seguente manipolazione:

$$\begin{aligned} B(t+1) &= A'C + CD' + A'BC' = (A'C + CD')(B + B') + BA'C' = \\ &= B'(A'C + CD') + B(A'C + CD' + A'C') = B'(A'C + CD') + B(A' + CD') = \\ &= B'(A'C + CD') + B[A(C' + D)]' = (J)B' + (K')B \end{aligned}$$

Dalla uguaglianza tra le due equazioni o dall'uso della tabella per il F/F JK ricaviamo:

$$J = A'C + CD'$$

$$K = AC' + AD$$

Per la funzione di ingresso del F/F C facciamo la seguente manipolazione:

$$C(t+1) = B = B(C + C') = BC + BC' = (J)C' + (K')C$$

Dalla uguaglianza tra le due equazioni ricaviamo o dall'uso della tabella per il F/F JK:

$$J = B$$

$$K = B'$$

Per la funzione di ingresso del F/F D facciamo la seguente manipolazione:

$$D(t+1) = D' = 1D' + 0D = (J)D' + (K')D$$

Dalla uguaglianza tra le due equazioni ricaviamo o dall'uso della tabella per il F/F JK:

$$J = 1$$

$$K = 1$$

Es. 10.8: Progettare un circuito sequenziale il cui comportamento è descritto dalle seguenti equazioni di stato: $A(t+1) = C \oplus D$ $B(t+1) = A$ $C(t+1) = B$ $D(t+1) = C$

Da una lettura delle 4 equazioni di stato concludiamo che nel circuito ci sono 4 F/F chiamati A, B, C e D e che non ci sono né ingressi né uscite esterne, infatti non è indicata nessuna variabile di ingresso e di uscita. Notiamo che, ad eccezione di A, lo stato futuro degli altri F/F è uguale allo stato presente del F/F che lo precede in ordine alfabetico. Un insieme di F/F con questo tipo di funzionamento è chiamato registro a scorrimento o *shift register*. Poiché lo stato futuro di A dipende dallo stato di parte dei F/F del registro allora è chiamato registro a scorrimento con reazione o *feedback Shift Register* (in questo caso è utilizzato per generare una sequenza di 1 e 0 pseudo random). In un registro a scorrimento ciascun F/F scorre il proprio contenuto al successivo F/F al verificarsi di un impulso di clock e, nello stesso tempo, lo stato di alcuni F/F determinano lo stato futuro del primo F/F. In questi casi è più conveniente usare F/F di tipo D.

Come già visto, l'equazione di stato rappresenta le stesse informazioni contenute in una tabella di stato. Da queste è possibile ottenere sia la tabella di stato che la tabella di eccitazione, ma quando si usano i F/F D, questo è semplicemente una perdita di tempo. Ciò perché le funzioni di ingresso per lo stato futuro coincidono con l'ingresso D di ogni F/F e quindi sono di già disponibili nell'enunciato del problema. Per questi circuiti, le funzioni di ingresso sono prese direttamente dallo stesso enunciato del problema, rimpiazzando il simbolo per lo stato futuro con la variabile di ingresso del F/F. Così otteniamo:

$$DA = C \oplus D$$

$$DB = A$$

$$DC = B$$

$$DD = C$$

PROBLEMI

P10.1 Un circuito sequenziale, che ha due Flip-Flop di tipo T, (A, B), è descritto dalla seguenti equazioni di ingresso:

$$TA = B + A \qquad TB = A' + B$$

Derivare la tabella e il diagramma di stati. Quale è la funzione realizzata da questo circuito?

P10.2 Un circuito sequenziale ha quattro Flip-Flop (A, B, C, D) ed un ingresso x. Esso è descritto dalle seguenti equazioni di stato:

$$A(t+1) = (CD' + C'D)x + (CD + C'D')x' \qquad B(t+1) = A \qquad C(t+1) = B \qquad D(t+1) = C$$

Progettare il circuito logico usando F/F D e disegnare il diagramma di stati

P10.3 Un circuito sequenziale ha due Flip-Flop (A, B) e due ingressi (x. e y) ed una uscita (z). Le funzioni di ingresso ai F/F e quella del circuito di uscita sono:

$$JA = xB + y'B' \qquad KA = xy'B' \qquad JB = xA' \qquad KB = xy' + A \qquad z = xyA + x'y'B$$

Ottenere la tabella di stato e le equazioni di stato, disegnare il circuito logico e il diagramma di stato.

P10.3 Progettare un circuito sequenziale sincrono che accetta un numero binario formato da 8 bit, in codice 8421, al suo ingresso seriale e fornisce (in modo seriale) in uscita lo stesso numero in complemento a 1.

P10.4 Progettare un circuito sequenziale sincrono che accetta un numero binario formato da 8 bit, in codice 8421, al suo ingresso seriale e fornisce (in modo seriale) in uscita lo stesso numero in complemento a 2.

P10.5 Progettare un circuito sequenziale sincrono che accetta un numero binario formato da 8 bit, in codice 8421, al suo ingresso seriale e fornisce (in modo seriale) in uscita lo stesso numero in codice Gray.

P10.6 Progettare un circuito sequenziale sincrono che accetta un numero binario formato da 8 bit, in codice 8421, al suo ingresso seriale e fornisce (in modo seriale) in uscita lo stesso numero in codice BCD e l'eventuale carry.

P10.7 Progettare un circuito sequenziale sincrono che accetta due numeri binari (A e B) formato da 8 bit, in codice 8421, ai suoi due ingressi seriale e fornisce alla fine degli 8 bit dei numeri il risultato del loro confronto ($A > B$, $A < B$, $A = B$)

P10.8 Progettare un circuito sequenziale sincrono che accetta un numero binario formato da 7 bit, in codice 8421, al suo ingresso seriale e fornisce in uscita alla fine dei 7 bit del numero un bit di parità pari o dispari a seconda dello stato di una linea di controllo.

P10.9 La Fig. P10.1 mostra il diagramma temporale di un circuito rivelatore della differenza di fase tra le sue

due forme d'onda in ingresso,

F1 e F2. L'uscita A fornisce

un impulso pari alla differenza

in tempo tra F1 ed F2 (con F1

che precede F2). La linea di

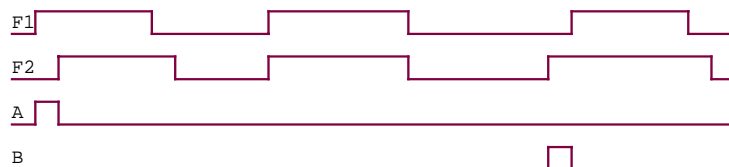


Fig. P10.1

uscita B fornisce un impulso pari alla differenza in tempo tra F1 ed F2 (con F2 che precede F1). Quando le due forme d'onda F1 ed F2 sono in fase entrambe le uscite sono a zero.

CAPITOLO 10.....	195
ANALISI E PROGETTO DI CIRCUITI SEQUENZIALI CLOCKED	195
10.1 DESCRIZIONE DEI CIRCUITI SEQUENZIALI CLOCKED	195
10.1.1 Esempio di circuito sequenziale	195
10.1.2 Tabella di stato di un circuito sequenziale.....	196
10.1.3 Diagramma di stato	197
10.1.4 Equazioni di stato	198
10.1.5 Funzioni di ingresso di un Flip - Flop.....	200
10.2 PROGETTO DI UN CIRCUITO SEQUENZIALE CLOCKED: GENERALITÀ.....	201
10.2.1 Progetto di un circuito sequenziale clocked: Tabella di eccitazione	202
10.3 ESEMPI DI PROGETTO	206
10.4 PROGETTO CON L'USO DELLE TABELLE DI ECCITAZIONE	206
10.5 PROGETTO DI UN CIRCUITO SEQUENZIALE CON L'USO DELLE EQUAZIONI DI STATO	212
PROBLEMI	216

