

## CAPITOLO 8

### LOGICA SEQUENZIALE

#### 8.1 Introduzione

I circuiti logici, considerati finora, sono del tipo combinatorio; cioè le uscite ad ogni istante di tempo sono dipendenti soltanto dai valori delle variabili di ingresso in quell'istante. Sebbene ogni circuito digitale contiene un circuito combinatorio, la maggior parte dei sistemi, incontrati in pratica, includono anche elementi di memoria. Questi sistemi vengono descritti in termine di *logica sequenziale*.

Uno schema a blocchi di un circuito sequenziale è mostrato in Fig. 8.1. Esso consiste di porte logiche combinatorie che accettano segnali binari, sia da ingressi esterni che dalle uscite di elementi di memoria, e generano segnali sia alle uscite esterne che agli ingressi degli elementi di memoria. Per elemento di memoria intendiamo una unità logica capace di immagazzinare un bit di informazione. L'informazione binaria, contenuta in un elemento di memoria può essere fatta cambiare dalle uscite della logica combinatoria. Le uscite degli elementi di memoria, a loro volta, essendo connesse agli ingressi delle porte dei circuiti che realizzano la logica combinatoria, ne influenzano le uscite.

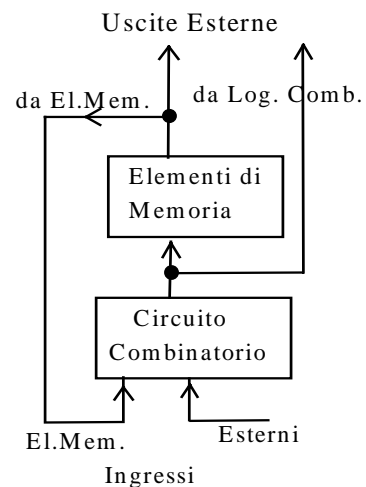


Fig. 8.1

Il circuito combinatorio, di per se, realizza una specifica operazione di elaborazione dell'informazione, parte della quale è usata per determinare i valori binari che debbono essere immagazzinati negli elementi di memoria. Le uscite degli elementi di memoria sono connesse agli ingressi della logica combinatoria e determinano, in parte, le uscite del circuito. Questo processo mostra chiaramente che le uscite esterne di un circuito sequenziale sono, non solo funzione degli ingressi esterni ma, anche, dello stato presente in quell'istante negli elementi di memoria. *Lo stato futuro degli elementi di memoria è funzione sia degli ingressi esterni che dello stato presente*. Così, l'evoluzione di un circuito sequenziale, viene determinato da una sequenza temporale degli ingressi e degli stati interni.

Ci sono essenzialmente due tipi di circuiti sequenziali e la loro classificazione dipende dalla evoluzione temporale dei loro segnali. Un circuito sequenziale *sincrono* è un sistema il cui comportamento può essere definito dalla conoscenza dei segnali presenti in particolari istanti di tempo. Il comportamento di un circuito sequenziale *asincrono* dipende dall'ordine in cui i segnali di ingresso cambiano e può esserne influenzato in qualsiasi istante di tempo. Gli elementi di memoria, comunemente usati nei circuiti sequenziali asincroni, sono essenzialmente delle *unità di ritardo*. La memoria di una unità di ritardo consiste nel fatto che

il segnale di ingresso richiede un tempo finito per presentarsi in uscita. In pratica il tempo di propagazione di una porta logica può avere durata sufficiente da produrre il ritardo necessario. Per cui, in generale, la presenza di esplicite unità di ritardo non è necessariamente richiesta. Nei sistemi sequenziali asincroni gli elementi di memoria di Fig. 8.1 possono essere realizzati utilizzando il tempo di propagazione di porte logiche. In tal modo un circuito sequenziale asincrono può essere considerato formato da un circuito combinatorio con collegamenti in reazione. A causa della reazione tra porte logiche, un circuito sequenziale asincrono può essere, a volte, instabile. Il problema delle instabilità pone al progettista seri problemi. Per ciò i circuiti asincroni non sono comunemente usati.

I sistemi logici sequenziali sincroni, per definizione, debbono usare segnali che influenzano gli elementi di memoria soltanto in determinati istanti di tempo. Un modo per ottenere ciò è usare un sistema di impulsi, di durata limitata, per mezzo dei quali determinare l'istante di trasferimento delle informazioni agli elementi di memoria. Un impulso positivo è un segnale che passa dallo zero all'uno logico e quindi ancora allo zero logico. La durata dell'impulso è determinata dal tempo in cui l'impulso ha il valore uno. Un impulso negativo può essere visualizzato come un impulso positivo invertito. La difficoltà legata ad un sistema ad impulsi è dovuta al fatto che, impulsi che arrivano da diverse sorgenti, presentano ritardi non controllabili. Piccole variazioni di ritardo possono provocare risultati logici diversi ed il sistema risulta non affidabile.

I sistemi logici sequenziali reali usano impulsi con durata fissa, come accade per i livelli di tensione dei segnali binari. La sincronizzazione è realizzata da una unità di temporizzazione chiamata *Generatore di Master Clock* che genera un treno di impulsi periodico. Gli impulsi di clock sono collegati ai vari elementi di memoria in modo tale che questi ultimi vengono influenzati soltanto all'arrivo dell'impulso di sincronizzazione. In pratica, gli impulsi di clock sono applicati, come segnali di controllo, a delle porte AND, mentre all'altro ingresso è collegato il segnale che influenza l'elemento di memoria. L'uscita della porta AND trasmetterà il segnale soltanto quando l'impulso di clock è al livello logico uno. Lo stesso risultato può essere ottenuto utilizzando porte OR ed impulsi negativi: queste trasferiscono il dato quando il livello logico del clock è 0. I circuiti sequenziali sincroni, che usano segnali di clock agli ingressi degli elementi di memoria sono detti *Circuiti Sequenziali Clocked*. Essi non presentano problemi di instabilità (se non hanno reazioni interne) ed ***il loro comportamento temporale è descritto spezzando il tempo in successivi passi indipendenti, ciascuno dei quali può essere considerato separatamente.***

Gli elementi di memoria usati nei circuiti sequenziali clocked sono chiamati *Flip-Flop*. Questi circuiti sono delle celle binarie capaci di immagazzinare un bit di informazione. Un Flip-Flop (in breve F/F) ha due uscite, una è l'uscita normale, l'altra è l'uscita complementare del bit in esso immagazzinato. I diversi modi in cui le informazioni binarie debbono essere scritte nei

F/F determinano la necessità di avere diversi tipi di F/F, come vedremo nei prossimi paragrafi.

## 8.2 Gated Oscillator (circuito di principio)

Come esempio di circuito sequenziale asincrono, che presenta instabilità, consideriamo il circuito illustrato in Fig. 8.2. In questo semplice circuito abbiamo una porta NAND con l'uscita collegata in reazione ad uno dei suoi ingressi attraverso una unità di ritardo ( $t_d = 10 \mu s$ ). Come già messo in evidenza una esplicita unità di ritardo potrebbe essere non necessaria. In questo caso è stata aggiunta allo scopo di controllarne l'entità.

Dall'analisi del circuito di Fig. 8.2 notiamo che quando l'ingresso  $A = 0$  l'uscita  $C = 1$  (essendo questo lo stato controllato della porta NAND) e, se è passato un tempo maggiore di quello di

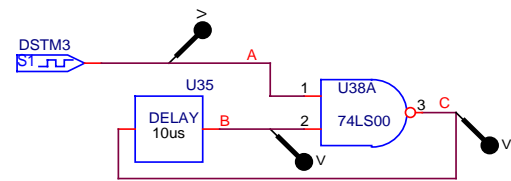


Fig. 8.2

ritardo,  $t_d$ , pure B diventerà uguale ad 1. Supponiamo che, ad un certo istante, diventi  $A = 1$ . Quasi contemporaneamente (dopo un ritardo pari al tempo di propagazione, che consideriamo trascurabile rispetto a quello  $t_d$ ) diventerà  $C = 0$ . Ma la transizione di  $C$  da 1 a 0 non si presenterà all'ingresso B se non dopo il tempo  $t_d$ . Per cui per  $t < t_d$  resteranno  $B = 1$  e  $C = 0$ . All'istante  $t = t_d$  diventerà  $B = 0$  e  $C$  andrà da 0 ad 1. Questo nuovo stato di  $C$  non si presenterà in B fino a che  $t < 2t_d$  ( $B$  permane a 0 e  $C$  ad 1). All'istante  $t = 2t_d$  diventeranno  $B = 1$  e  $C = 0$ . Siamo ritornati nelle stesse condizioni che avevamo per  $0 < t < t_d$  e quindi si ripresenteranno le transizioni descritte. Pertanto possiamo concludere che l'uscita di questo circuito è stabilmente a  $C = 1$  se  $A = 0$  ma non ha uno stato stabile per  $A = 1$ .

La Fig. 8.3 mostra il timing del comportamento ora descritto del circuito di Fig. 8.2.

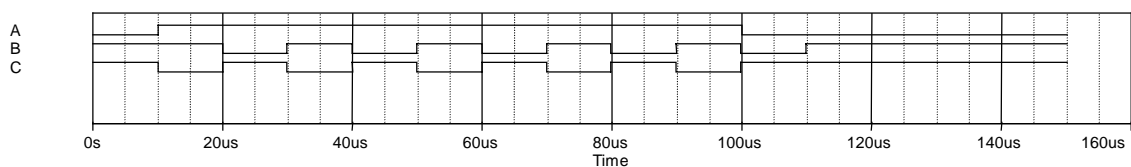


Fig. 8.3

Il circuito ora illustrato si chiama *Oscillatore Controllato o Gated Oscillator*. Il nome di oscillatore deriva dal fatto che lo stato logico di uscita non è stabile ma compie delle oscillazioni tra 0 ed 1 logico. È controllato o gated perché lo stato di oscillazione può essere bloccato dall'ingresso di controllo A.

Notare che il periodo di oscillazione dipende dal ritardo introdotto dall'unità "Delay" e risulta pari a  $2t_d$  (nel nostro caso  $20 \mu s$ ). Il motivo dell'introduzione dell'unità di ritardo esterna è spiegato ora dal fatto che noi possiamo, variando il ritardo, controllare la frequenza del clock. In generale non è desiderabile che un circuito presenti delle oscillazioni ma, in questo caso, il

fenomeno è deliberatamente voluto; può essere utilizzato come generatore del master clock necessario nei sistemi sequenziali clocked.

Si confronti la spiegazione del funzionamento di questo, estremamente semplice circuito sequenziale asincrono, così lunga e non immediatamente comprensibile, con la semplicità della spiegazione del funzionamento dei circuiti logici combinatori. Ovviamente la difficoltà nasce dal fatto che, per spiegarne il funzionamento, bisogna seguirne la evoluzione temporale.

## 8.2 Gated Oscillatore (possibile realizzazione pratica)

Il circuito di Fig.8.4 mostra come è possibile costruire con un solo trigger di Schmitt un oscillatore. Il gruppo RC integra il segnale in uscita dall'inverter e riporta in ingresso ai capi del condensatore la tensione ai capi del condensatore. La Fig. 8.5 mostra il timing ottenuto dal circuito di Fig. 8.4.

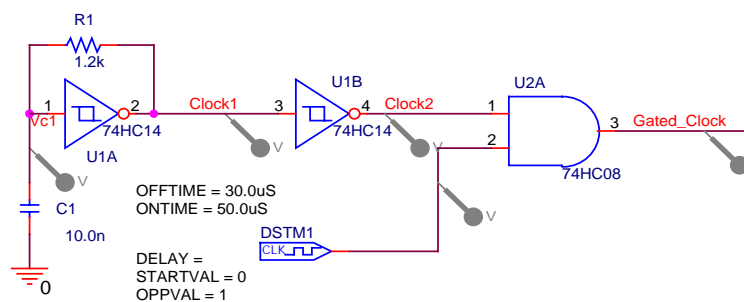
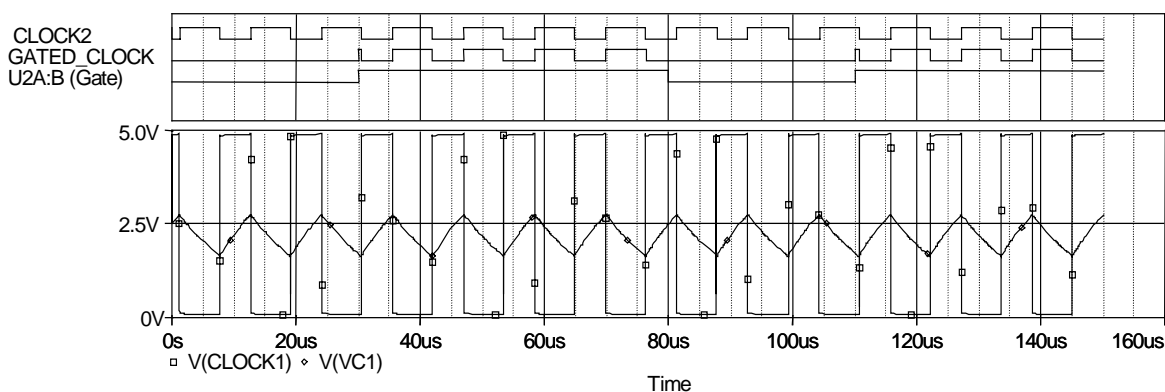


Fig 8.4

Notare che il timing è diviso in due parti: nella parte superiore sono mostrati le tracce relative ai segnali logici e nella parte inferiore quelle relative ai segnali analogici cioè Vc1 e Clock1. Come si vede, la tensione ai capi del condensatore oscilla tra due valori di tensione che corrispondono a quelli della soglia superiore,  $V_{T+}$ , ed inferiore,  $V_{T-}$ , del trigger di Schmitt,



ig.8.5

U1A. Inizialmente il condensatore è scarico e quindi la tensione di uscita di U1A è alta,  $V_H$ , e carica il condensatore. Quando  $V_{c1}$  raggiunge la soglia  $V_{T+}$ , U1A commuta, la sua tensione di uscita è  $V_L$  e scarica il condensatore. Quando  $V_{c1}$  raggiunge il valore  $V_{T-}$ , U1A commuta a  $V_H$  un'altra volta e così oscilla tra  $V_H$  e  $V_L$ . La porta AND U2A permette il passaggio di *clock1*,

quando il livello della tensione di controllo è allo stato alto e lo sblocca quando è allo stato basso: funzionamento *gated*.

Il periodo di oscillazione è la somma di due tempi:

- $T_1$ , tempo impiegato dalla tensione ai capi del condensatore ad andare dalla soglia superiore a quella inferiore. L'espressione analitica è  $V_c(t) = V_{T+} + (V_L - V_{T+})(1 - e^{-t/\tau_1})$ ; e  $T_1$  è tale che  $V_c(T_1) = V_{T+} + (V_L - V_{T+})(1 - e^{-T_1/\tau_1}) = V_{T-}$
- $T_2$ , tempo impiegato dalla tensione ai capi del condensatore a ritornare dalla soglia inferiore alla superiore. L'espressione analitica è  $V_c(t) = V_{T-} + (V_H - V_{T-})(1 - e^{-t/\tau_2})$ ; e  $T_2$  è tale che  $V_c(T_2) = V_{T-} + (V_H - V_{T-})(1 - e^{-T_2/\tau_2}) = V_{T+}$

In generale è  $V_{T-} = V_{cc}/3$  e  $V_{T+} = 2V_{cc}/3$  e pertanto se fosse:  $\tau_1 = \tau_2$ ,  $V_L = 0$  e  $V_H = V_{cc}$  i due tempi risulterebbero uguali. In generale le precedenti ipotesi non sono tutte verificate, vale a dire  $V_L \neq 0$ ,  $V_H \neq V_{cc}$  e  $\tau_1 \neq \tau_2$ , quindi  $T_1$ , risulta diverso da  $T_2$ . Infatti i valori della tensione di uscita di una qualunque famiglia logica non coincide con 0 Volt per il valore logico 0 e non coincide con  $V_{cc}$  per il valore logico 1. Inoltre i valori di  $\tau_1$  e  $\tau_2$  dipendono (capacità a parte) sia dal valore della resistenza esterna sia dal valore di quella interna, equivalente, del circuito di uscita del trigger di Schmitt. Questa è diversa a seconda se deve erogare corrente (carica il condensatore), o se la deve assorbire (scarica del condensatore). Pertanto il duty cycle della forma d'onda di uscita non può essere del 50%. Per ottenere un'onda quadra (duty cycle 50%) si può pilotare l'ingresso clock di un Flip-Flop di tipo T (ponendo l'ingresso di controllo,  $T=1$ ). In queste condizioni il Flip-Flop, divide la frequenza (della forma d'onda di ingresso al clock) per un fattore due, e fornisce, in compenso, un'onda quadra. Per il funzionamento di un Flip-Flop di tipo T e la spiegazione di questa particolare funzione vedi i paragrafi successivi.

8.3 Flip Flop

Un circuito Flip-Flop può mantenere uno stesso stato finché il circuito è alimentato e fino a quando non viene costretto a cambiare stato da un segnale di controllo.

La differenza principale tra i vari tipi di F/F risiede nel numero di ingressi di controllo e nel modo in cui gli ingressi determinano il nuovo stato logico. Nel seguito discuteremo i principali tipi di Flip-Flop.

8.3.1 Circuito fondamentale di Flip Flop

Un circuito Flip-Flop può essere costruito a partire da porte logiche NOR o NAND. Le Figg. 8.6 e 8.7 ne mostrano lo schema logico. Ciascuno di essi è fondamentale per la costruzione di tutti gli altri tipi di Flip-Flop. Le connessioni incrociate tra le uscite e gli ingressi delle porte costituiscono il circuito di reazione. Per questo motivo, questi circuiti appartengono alla classe sequenziale asincrona. Ciascun F/F ha due uscite,  $Q$  e  $Q'$  e due ingressi *Set* e *Reset*. Questo tipo di F/F è spesso chiamato *Flip-Flop RS ad accoppiamento diretto*;  $R$  ed  $S$  essendo le prime lettere dei nomi degli ingressi di controllo.

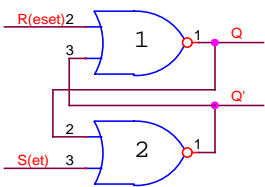


Fig. 8.6

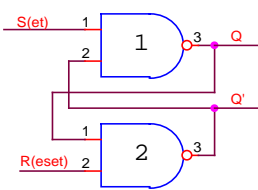


Fig. 8.7

L'analisi del funzionamento del circuito di Fig. 8.6, è più semplice se ci ricordiamo che

- 1) lo stato controllato di una porta NOR è 0 (quando uno dei due ingressi è 1) e che,
- 2) perché l'uscita sia 1, è necessario che entrambi gli ingressi siano a 0.

Durante questa analisi costruiremo la tabella di verità presentata in Tab. 8.1. Vedremo che in questa, a differenza delle analoghe per i circuiti combinatori, alla stessa configurazione delle variabili di controllo (ingressi) corrisponderanno stati logici diversi, che dipendono da come si è pervenuti a quella configurazione. Come punto

S	R	Q	Q'	Note
1	0	1	0	
0	0	1	0	dopo S=1 R=0
0	1	0	1	
0	0	0	1	dopo S=0 R=1
1	1	0	0	non permesso

Tab. 8.1

di partenza consideriamo che, lo stato degli ingressi di controllo, siano  $S = 1$  ed  $R = 0$ . Poiché la porta numero 2 ha un ingresso ad 1 la sua uscita  $Q'$  sarà = 0. La porta 1 risulta avere entrambi gli ingressi a 0 per cui l'uscita  $Q = 1$ . Quando il Set ritorna a 0 logico, l'uscita della porta numero 2 resta nello stesso stato (0 logico). Ciò costringe l'uscita della porta numero 1 a restare all'uno logico. Allo stesso modo è possibile dimostrare che un 1 logico all'ingresso Reset determina l'uscita  $Q$  a 0 e  $Q'$  ad 1. Quando il Reset torna a 0, le uscite non cambiano. Se un 1 viene applicato ad entrambi gli ingressi Set e Reset, sia  $Q$  che  $Q'$  vanno a 0. In un

circuito Flip-Flop questa condizione è normalmente evitata, per i motivi che vedremo in seguito.

Un Flip-Flop ha due stati stabili. Quando  $Q = 1$  e  $Q' = 0$  si dice che esso è nello *stato di Set* (o stato 1). Quando  $Q = 0$  e  $Q' = 1$  si dice che è nello *stato di Clear* (o stato 0). Le uscite  $Q$  e  $Q'$  sono uno il complementare dell'altro e sono chiamate rispettivamente *uscita normale* e *uscita complementare*. **Lo stato di un F/F è determinato dal valore dell'uscita normale  $Q$ .**

Lo stato normale degli ingressi (di un F/F RS realizzato con NOR) è 0 e quando si vuole cambiare lo stato del F/F, uno dei due deve essere fatto cambiare ad 1.

Il circuito usato per la simulazione Pspice del suo funzionamento è rappresentato in Fig. 8.6a. Riferendoci alla Tab. 8.1 e al timing di Fig. 8.6b possiamo dire:

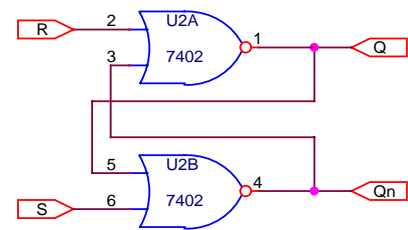


Fig. 8.6a

- l'applicazione di un momentaneo 1 all'ingresso S causa il F/F ad andare nello stato di Set.
- L'ingresso di Set deve ritornare a 0 prima che un 1 possa essere applicato all'ingresso di Reset.
- Un momentaneo 1 applicato all'ingresso di Reset causa il F/F ad andare allo stato di Clear.
- Quando entrambi gli ingressi sono inizialmente 0, un 1, applicato all'ingresso S (mentre il F/F è nello stato di Set), o applicato all'ingresso di R (mentre il F/F è nello stato di Clear), lascia le uscite invariate.

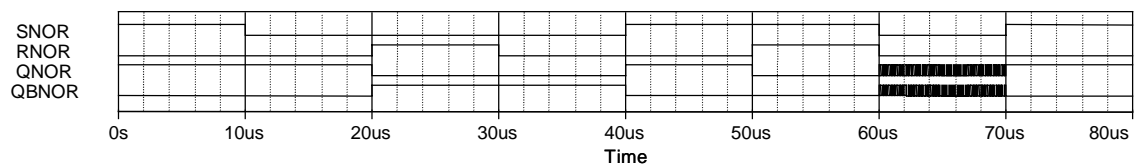


Fig. 8.6b

- Quando un 1 è applicato ad entrambi gli ingressi S ed R le uscite vanno entrambe a 0. Questo è usualmente evitato poiché può condurre ad un successivo stato indefinito. Infatti se entrambi gli ingressi diventano 0, lo stato futuro del F/F non è univocamente determinato; dipende da quale dei due ingressi resta più a lungo ad 1, prima della transizione a 0, cosa che è difficilmente controllabile. Come si vede dal timing, il simulatore fornisce in questo caso una uscita oscillante tra lo zero e l'uno logico.

L'analisi del circuito fondamentale di Flip-Flop realizzato con porte NAND di Fig. 8.7 può essere fatta in modo analogo e produce la tabella di verità presentata in Tab. 8.2.

In questo caso dobbiamo ricordarci che l'uscita di una porta NAND è a 1 quando uno dei due ingressi è 0 e che perché l'uscita sia uno 0 è necessario che entrambi gli ingressi siano 1 logico.

S	R	Q	Q'	Note
1	0	0	1	
1	1	0	1	dopo S=1 R=0
0	1	1	0	
1	1	1	0	dopo S=0 R=1
0	0	1	1	non permesso

Tab. 8.2

Il circuito usato per la simulazione Pspice del suo funzionamento è rappresentato in Fig. 8.7a. Riferendoci alla Tab. 8.2 e al timing di Fig. 8.7b possiamo dire:

- Lo stato normale degli ingressi di questo F/F è un 1 logico a meno che lo stato del F/F debba essere cambiato.
- L'applicazione di un momentaneo 0 all'ingresso di Set causa l'uscita Q ad andare ad 1 e Q' a 0, ponendo così il F/F nello stato di Set.
- Dopo che l'ingresso di Set ritorna a 1, un momentaneo 0 all'ingresso di Reset causa la transizione del F/F allo stato di Clear.

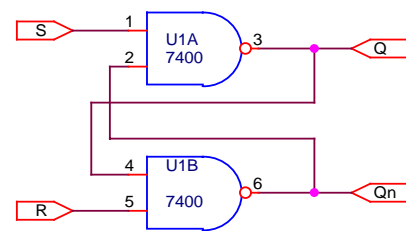


Fig. 8.7a

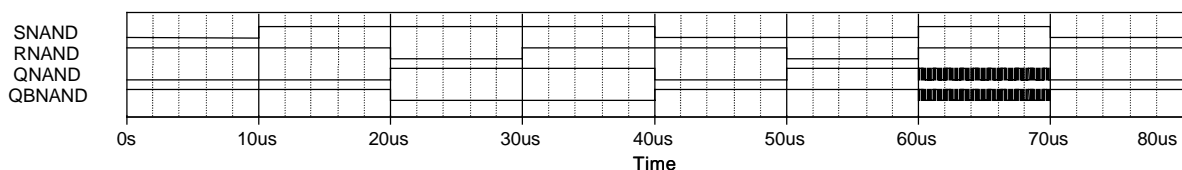


Fig. 8.7b

- Quando entrambi gli ingressi vanno a 0 entrambe le uscite vanno a 1, che è una condizione da evitare in condizione di funzionamento normale. Come nel precedente caso il simulatore ci fornisce le uscite in oscillazione.

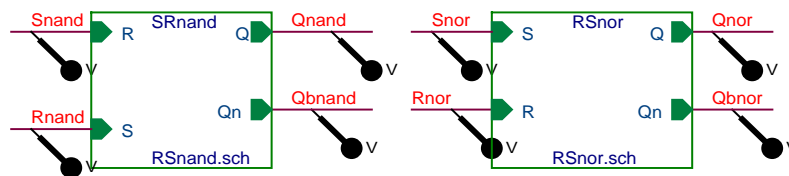


Fig. 8.8

La Fig. 8.8 fornisce la rappresentazione dei blocchi gerarchici usati per la simulazione

**Es. 8.1:** Progettare un circuito di interfaccia antirimbalo, eviti cioè che, i rimbalzi di un interruttore siano presentati all'ingresso di un circuito logico.

Si ricorda che gli interruttori meccanici, quando vengono commutati, prima di determinare il nuovo e definitivo contatto, eseguono dei rimbalzi. Se l'interruttore è utilizzato per determinare il livello logico di ingresso di un circuito logico questi rimbalzi sono sentiti come un certo numero di commutazioni tra i due stati logici 0 ed 1. Queste commutazioni potrebbero determinare un funzionamento indesiderato del circuito e quindi bisogna evitare che si presentino.



Il circuito presentato in Fig. 8.9 è una possibile realizzazione ed usa il circuito Flip-Flop RS.

Il tipo di interruttore usato è un pulsante normalmente OFF. Premendo il pulsante l'interruttore va allo stato ON (dopo qualche rimbalzo) e resta in questo stato finché il pulsante resta premuto. Le due resistenze  $R_1$  ed  $R_2$  sono usate come resistenze di pull-down. Infatti, con i pulsanti nello stato OFF, i livelli degli ingressi R ed S sarebbero nello stato di alta impedenza. Per evitare l'indeterminazione dello stato del F/F bisogna premere i pulsanti uno alla volta oppure, se i pulsanti sono stati tenuti premuti contemporaneamente, rilasciarli uno alla volta.

Quando *SW1* viene pressato il F/F commuta allo stato di Clear (se non lo era) sin dalla prima volta che un 1 è presente all'ingresso di reset. Successivi rimbalzi dell'interruttore non possono cambiarne lo stato. Cosa analoga succede quando si pressa l'interruttore *SW2* (il F/F va allo stato di Set).

Per evitare che l'utente inesperto possa pretendere che il circuito funzioni correttamente premendo e rilasciando contemporaneamente entrambi i pulsanti, a volte si preferisce usare, invece di due interruttori a pulsante, un commutatore, il funzionamento del quale è schematizzato in Fig. 8.10. Notiamo che nello stato normale sia il terminale S che R del commutatore non sono in contatto con il terminale comune; sono entrambi nello stato OFF (di alta impedenza). Perché uno dei due contatti sia allo stato ON bisogna che l'operatore sposti una levetta di comando verso l'alto (S) o verso il basso (R). Lasciata la levetta i due contatti ritornano nello stato OFF.

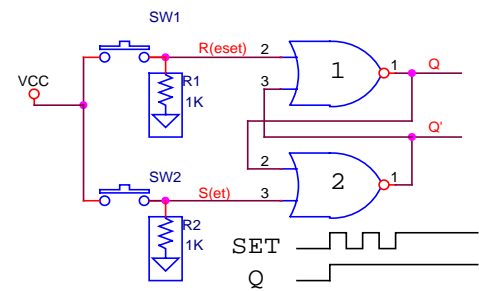


Fig. 8.9

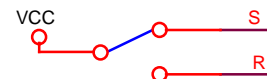


Fig. 8.10

### 8.3.2 Flip Flop RS Clocked

Il circuito fondamentale di Flip-Flop è sostanzialmente un circuito sequenziale asincrono. Perché il circuito risponda ai livelli di ingresso, solo durante il verificarsi di un impulso di clock, bisogna aggiungere delle porte al circuito base. La Fig. 8.11 mostra un F/F RS realizzato con porte NOR a cui sono state aggiunte due porte AND per realizzare un F/F RS clocked.

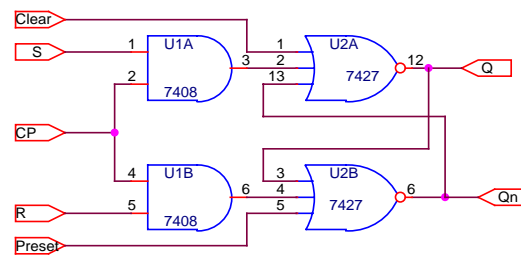


Fig. 8.11

L'uscita delle due porte AND rimangono a 0 fino a che l'impulso di clock è 0, indipendentemente dai valori degli ingressi R e S. Quando l'impulso di clock va ad 1, le informazioni presenti in R ed S vengono trasmesse al F/F. Questo va nello stato di Set se  $S = 1$  e  $R = 0$  e Clock = 1. Per commutare allo stato di Clear, gli ingressi debbono essere  $S = 0$ ,  $R = 1$  e Clock = 1. Se sia R che S sono entrambi ad 1, quando arriva l'impulso di clock entrambe le uscite vanno a 0. Successivamente, quando l'impulso di clock va a 0, lo stato del F/F non è determinato: infatti il F/F può andare in uno stato qualsiasi *che dipende da quale dei due ingressi commuta prima a 0 quando CP diventa 0*. Questo non è controllabile dall'utente in quanto dipende, oltre che da parametri interni dell'integrato, anche dalla temperatura.

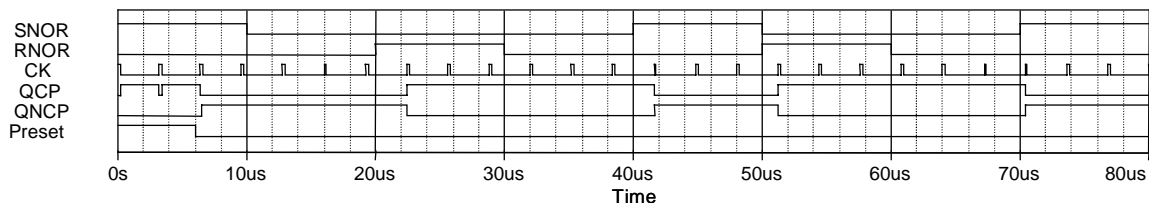


Fig. 8.12

Il timing di Fig. 8.12 è relativo al circuito di Fig. 8.11. Come si vede dalla Fig. 8.11, al circuito fondamentale del F/F RS, sono stati aggiunti due ulteriori ingressi chiamati rispettivamente *Preset* e *Clear*. Questi ingressi agiscono indipendentemente dallo stato del clock e sono chiamati *ingressi asincroni*.

Infatti quando il Preset è uguale a 1 il F/F va nello stato di Set, quando è il Clear ad essere uguale a 1 il F/F va nello stato di Clear. Nota che ad essi si applica la condizione che non debbono essere contemporaneamente ad 1 cioè  $Pr \cdot Cl = 0$ . Di norma i Flip-Flop clocked sono dotati di questi ingressi asincroni

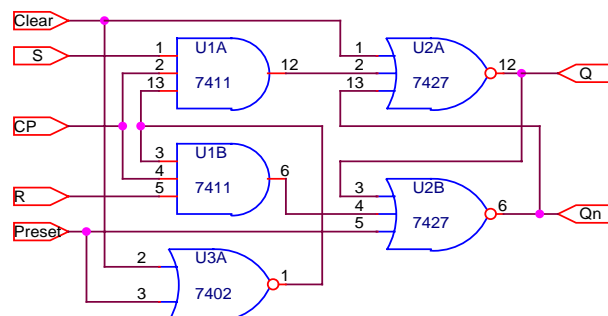


Fig. 8.13

per permettere all'utente di stabilirne lo stato iniziale ( $Q = 1$  o  $Q = 0$ ) indipendentemente dal clock.

Si noti tuttavia, dal timing, che, a circa  $4\ \mu\text{s}$ , il clock va alto mentre il F/F dovrebbe stare nello stato di Preset (o di Clear), invece il F/F va momentaneamente a zero (come richiesto dallo stato degli ingressi S e R). Questo non è un funzionamento canonico. Infatti quando il Preset o il Clear asincroni sono attivi essi debbono anche disabilitare qualsiasi azione possa essere provocata dal clock. Per ciò un F/F SR con *Preset* e *Clear* asincroni deve essere modificato come indicato nella Fig. 8.13. La differenza tra questo e il precedente schema è che è stata aggiunta una porta NOR e le porte AND invece che a due ingressi sono a tre ingressi. Il terzo ingresso serve a disabilitare la trasmissione del clock quando o il segnale di Preset o quello di Clear sono attivi (allo stato logico 1).

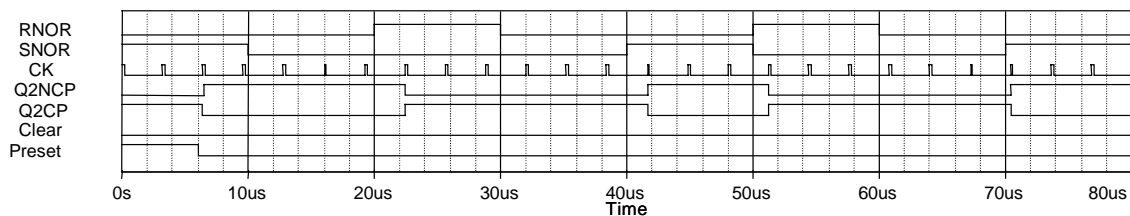


Fig. 8.14

La OR tra questi due ingressi è realizzata con la porta NOR (U3A). La Fig. 8.14 mostra il timing che è stato ottenuto con il F/F realizzato come in Fig. 8.13. Si noti che non è più presente la commutazione a circa  $4\ \mu\text{s}$  del timing di Fig. 8.12.

La Fig. 8.15 mostra il blocco gerarchico PSPICE relativo al circuito di Fig. 8.13, con cui è stato ottenuto il Timing di Fig. 8.14

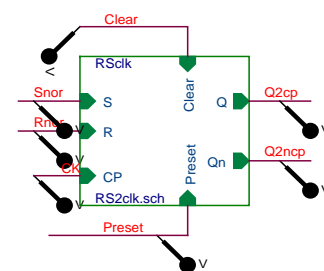


Fig. 8.15

Il simboli grafici per un Flip Flop RS sono dati in Fig. 8.16. Il

simbolo della parte (a) differisce da quello della parte (b) soltanto per la presenza dell'ingresso di clock, CP. La mancanza, nella

parte (a), di questo ingresso significa che il F/F è di tipo asincrono. Si noti che nel simbolo della parte (c) sono presenti, inoltre, gli ingressi di Preset e Clear asincroni.

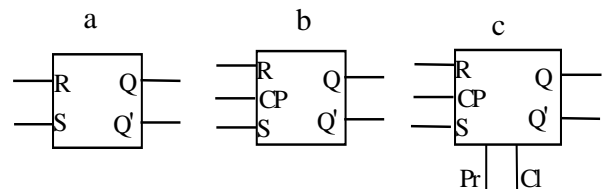


Fig. 8.16

### Tabella Caratteristica

Sfruttando la maniera ordinata in cui avvengono le transizioni in un F/F sincrono, è possibile darne una descrizione tabulare che ne caratterizza il comportamento. In questa distinguiamo gli stati degli ingressi esterni e dei F/F, **prima** che l'impulso di clock diventi 1: *Stato Presente*, dallo stato dei F/F, **dopo** che il clock diventa 1: *Stato Futuro*. Notare che, per la

presenza della reazione, l'uscita  $Q(t)$  del F/F (nello stato presente) è un ingresso del F/F stesso.

L'uscita del F/F nello stato futuro è indicata con  $Q(t+1)$ . La tabella risultante assomiglia molto a quella della verità ed è presentata il Tab. 8.3. Gli ingressi sono 3 e cioè  $Q(t)$ , S e R ed una uscita  $Q(t+1)$ . La tabella presenta 8 entrate corrispondenti a tutte le possibili combinazioni dei valori che le tre variabili di ingresso possono assumere. Per ogni una di esse la variabile di uscita avrà il valore 0 o 1 (o uno stato indeterminato indicato nella tabella con un ?). Questi valori si trovano utilizzando la Tab. 8.1. Per es. Se  $S = 1$  e  $R = 0$ , indipendentemente dallo stato di  $Q(t)$ , l'uscita del F/F (quando arriva l'impulso di clock) sarà  $Q(t+1) = 1$  in conformità alla prima entrata di Tab. 8.1. Seguire lo stesso procedimento per trovare lo stato futuro delle altre entrate.

Q(t)	SP		SF
	S	R	Q(t+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	?
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	?

Tab. 8.3 Tabella Caratteristica

Dalla tabella caratteristica, Tab. 8.3, che ha 8 entrate, è possibile ricavarne una con un numero di entrate metà e quindi più facile da ricordare. Il metodo è quello di esprimere il valore dell'uscita  $Q(t+1)$  del F/F al tempo  $t + 1$  in funzione di quello  $Q(t)$  al tempo  $t$ .

S	R	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	?

Tab. 8.4 Tab. Caratt.

La tabella risultante è presentata in Tab. 8.4 ed è costruita nel modo seguente. Si considerano gli ingressi esterni al F/F, cioè S ed R, come i soli ingressi presenti e si elencano tutte le combinazioni di valori (4). Per ogni combinazioni dei valori di R ed S, dalla Tab. 8.3 si ricava l'uscita  $Q(t+1)$  al tempo  $t + 1$  che si esprime in funzione dello stato  $Q(t)$  o (se non ne dipende) con un determinato valore binario, 0 o 1.

Così se  $S = 0$  e  $R = 0$  dalla Tab. 8.3 è chiaro che il F/F non cambia stato quindi  $Q(t+1) = Q(t)$ . Questa raggruppa le due entrate 000 e 100 di Tab. 8.3. La seconda entrata  $S = 0$  e  $R = 1$  determina lo stato di Clear del F/F e quindi  $Q(t+1) = 0$  (indipendentemente dallo stato precedente !); questo raggruppa le entrate 001 e 101 di Tab. 8.3. La terza entrata  $S = 1$  e  $R = 0$  determina lo stato di Set del F/F e quindi  $Q(t+1) = 1$  (indipendentemente dallo stato precedente); questo raggruppa le entrate 010 e 110 di Tab. 8.3. Infine la quarta entrata descrive i due casi di indeterminazione dello stato futuro del F/F e raggruppa le entrate 011 e 111 di Tab. 8.3

### Equazione Caratteristica

Data la somiglianza della Tab. 8.3 o Tab. 8.4 con le tabelle di verità è possibile farne una rappresentazione grafica con una mappa. Questa è presentata in Fig. 8.17. Notare che, per quanto detto in precedenza, la condizione con  $S = 1$  e  $R = 1$  non dovrebbe mai presentarsi, pertanto costituisce una condizione di

SR				
	00	01	11	10
Q				
0			X	1
1	1		X	1

$$Q(t+1) = S + R'Q \quad (SR=0)$$

Fig. 8.17

don't care che, come al solito, è rappresentata nella mappa con una X. La funzione Booleana, ricavabile dalla minimizzazione, è presentata anche in Fig. 8.17. Questa prende il nome di *equazione caratteristica*. In questo caso è accompagnata dalla condizione che gli ingressi R ed S debbono soddisfare (non debbono essere contemporaneamente ad 1):  $SR = 0$ . Una possibile equazione è anche la seguente  $Q(t+1) = SQ' + R'Q$  con ( $SR=0$ ) in cui è comparsa sia la variabile normale sia la complementata.

### Tabella di eccitazione

Il funzionamento del F/F RS (e in generale di un qualsiasi F/F) può essere anche descritto da un altro tipo di tabella chiamata *tabella di eccitazione*. Questa è molto importante e verrà utilizzata in seguito sia per la progettazione di Flip-Flop di altro tipo che di circuiti sequenziali più complessi contenenti diversi F/F.

Il modo di scrivere questa tabella rovescia il metodo finora usato che è consistito nel trovare quale sarà lo stato futuro in funzione dello stato presente e dei valori che hanno gli ingressi di controllo del F/F. Invece, per ottenere la tabella di eccitazione, *si debbono elencare tutti le possibili transizioni di stato del F/F e si scrive quale deve essere lo stato degli ingressi esterni per realizzare quella transizione*. La Tab. 8.5 è la tabella di eccitazione di un F/F RS clocked. Vediamo che, in questa tabella, gli stati presenti e futuri assumono il ruolo di variabili binarie indipendenti e le variabili S ed R assumono il ruolo delle variabili dipendenti. Bisogna determinare i valori di S ed R che determinano la commutazione di ogni entrata in tabella. Questi valori debbono essere ricavati da una descrizione qualsiasi del funzionamento del F/F, per es. dalla Tab. 8.3.

- La transizione  $Q(t)=0$  a  $Q(t+1)=0$ , può avvenire in due modi diversi descritti dalla prime due entrate di Tab. 8.3. Poiché R una volta è 0 e l'altra 1 possiamo dire che la transizione voluta non dipende dal suo particolare valore cioè è una condizione di don't care e pertanto poniamo una X in Tab. 8.5. Mentre deve essere  $S = 0$ .
- La transizione  $Q(t)=0$  a  $Q(t+1)=1$ , può avvenire solo nel caso descritto dalla terza entrata di Tab. 8.3. Pertanto deve essere  $S = 1$  e  $R = 0$ .
- La transizione  $Q(t)=1$  a  $Q(t+1)=0$ , può avvenire solo nel caso descritto dalla seconda entrata di Tab. 8.3. Pertanto deve essere  $S = 0$  e  $R = 1$ .
- La transizione  $Q(t)=1$  a  $Q(t+1)=1$ , può avvenire in due modi diversi descritti dalla quinta e dalla settima entrata di Tab. 8.3. Poiché S una volta è 0 e l'altra 1 possiamo dire che la transizione voluta non dipende dal suo particolare valore cioè è una condizione di don't care e pertanto poniamo una X in Tab. 8.5. Mentre deve essere  $R = 0$ .

SP		SF		Inputs	
Q(t)	Q(t+1)	S	R		
0	0	0	X		
0	1	1	0		
1	0	0	1		
1	1	X	0		

Tab. 8.5 Tab. Eccitazione

Notare che nella Tab. 8.5 la condizione  $SR = 0$  non compare perché implicita.

## Diagrammi di Eccitazione

Il funzionamento del F/F RS (e in generale di un qualsiasi F/F) può essere anche descritto in modo pittorico attraverso i *diagrammi di eccitazione*. Questi sono simili ai diagrammi di stato usati per descrivere i circuiti logici sequenziali che vedremo più in là. La presentazione che ora faremo ne costituisce una prima introduzione. Essenzialmente è una rappresentazione pittorica della tabella di eccitazione. Con riferimento alla Fig. 8.18 notiamo che ogni stato del F/F è rappresentato da un cerchio con, al suo interno, la descrizione dello stesso. Degli archi, diretti da uno stato all'altro cerchio o su se stesso, descrivono rispettivamente la transizioni di stato o la persistenza nello stesso stato (dopo l'arrivo dell'impulso di clock).

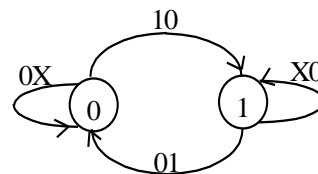


Fig. 8.18

Lo stato da cui l'arco parte è lo stato presente mentre lo stato a cui l'arco arriva rappresenta lo stato futuro. La transizione, individuata dall'arco, avviene sotto le condizioni (ricavate dalla tabella di eccitazione) e indicate dalla sequenza binaria ordinata associata; nel nostro caso l'ordine è S-R. Per es. la transizione dallo stato presente  $Q(t)=0$  allo stato futuro  $Q(t+1)=1$  avviene sotto la condizione  $S=1$  e  $R=0$ .

## 8.4 D Flip Flop Clocked

Il D o Data o Delay F/F può essere costruito direttamente dal F/F RS clocked appena illustrato. Esso è caratterizzato da un solo ingresso ed ha la tabella caratteristica data in Tab. 8.6. Essenzialmente, da una parte, l'uso di un solo ingresso, elimina la possibilità di avere lo stato indeterminato del F/F RS, dall'altra, permette di

SP		SF
Q	D	Q(t+1)
0	0	0
0	1	1
1	0	0
1	1	1

D	Q(t+1)
0	0
1	1

Eq. Caratteristica:  $Q(t+1) = D$

Tab. 8.6 D F/F Tabella Caratteristica

controllare molto semplicemente lo stato futuro del F/F. Come è evidente, da entrambe le forme della tabella caratteristica di Tab. 8.6, lo stato futuro del F/F è uguale al valore della variabile di controllo nello stato presente. Dalla Tab. 8.6 ricaviamo subito che l'equazione caratteristica è  $Q(t+1) = D$ .

Dalla tabella caratteristica ricaviamo la tabella di eccitazione mostrata in Tab. 8.7. Notare che siccome lo stato presente è non influente sullo stato futuro esso è mostrato in tabella come condizione di don't care.

SP	SF	Input
Q(t)	Q(t+1)	D
X	0	0
X	1	1

Tab. 8.7 Tab. Eccitaz.

Dalla tabella di eccitazione ricaviamo il diagramma di eccitazione rappresentato in Fig. 8.19.a. In Fig. 8.19.b è rappresentato il simbolo grafico completo cioè anche con gli ingressi di Preset e Clear asincroni.

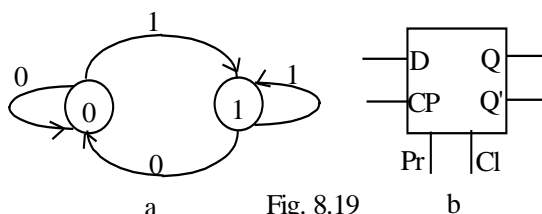


Fig. 8.19

**Es. 8.2** Progettare un D F/F clocked a partire dal F/F RS clocked.

Il problema richiede di esprimere le variabili di controllo R e S in funzione della variabile D e dello stato  $Q(t)$  del F/F RS. Per far ciò utilizziamo la tabella di eccitazione presentata in Tab. 8.8. Questa è ricavata da una modifica di quella, già vista, per il F/F RS (Tab. 8.5). Essenzialmente prima della colonna che elenca gli stati presenti del F/F poniamo una colonna che descrive quali valori deve avere la nuova variabile di controllo D (ricavate dalla Tab. 8.6 o Tab. 8.7) per ogni variazione di stato.

SP		SF	RS Inp.	
D	$Q(t)$	$Q(t+1)$	S	R
0	0	0	0	X
1	0	1	1	0
0	1	0	0	1
1	1	1	X	0

Tab. 8.8 Tab. Eccitazione

Adesso dobbiamo trovare una espressione Booleana per la variabile R ed una per S in funzione di D e  $Q(t)$ . Per far ciò utilizziamo le mappe di Fig. 8.20. che rappresentano le relative tabella di verità ricavabili dalla tabella di eccitazione Tab. 8.8. La Fig. 8.21 ne presenta il circuito logico (ricavato da quello di Fig. 8.13), in cui i valori di R e S sono determinati dalla sola variabile di controllo D.

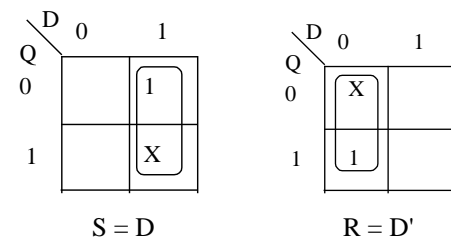


Fig. 8.20

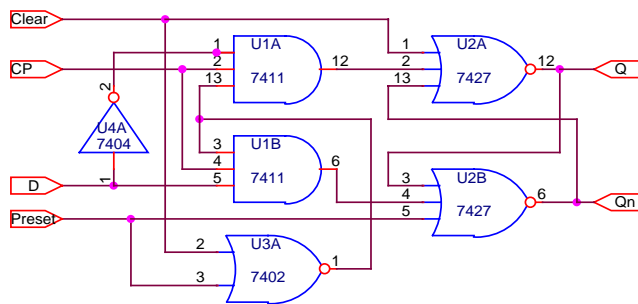


Fig. 8.21

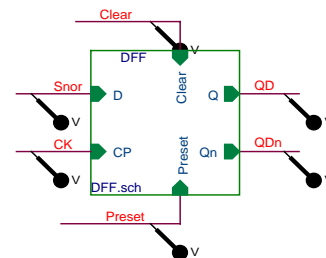


Fig. 8.22

La Fig. 8.23 mostra il timing del F/F D rappresentato in Fig. 8.21, attraverso il blocco gerarchico PSPICE di Fig. 8.22

Adesso che conosciamo tutto sul Flip-Flop D possiamo utilizzarlo come elemento circuitale. Esso è infatti disponibile come una funzione delle famiglie logiche MSI.

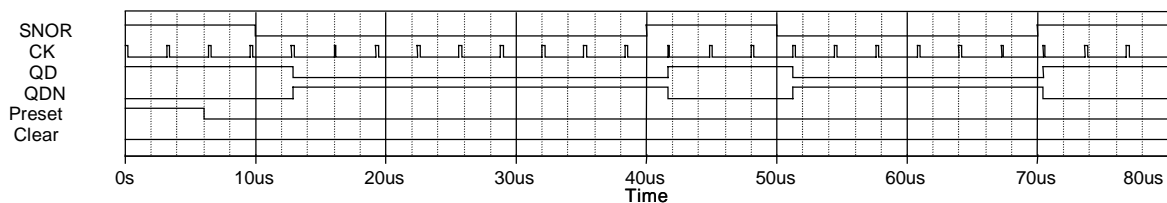


Fig. 8.23

**Es. 8.3** Sincronizzare una variabile logica esterna con un circuito sequenziale sincrono.

Il problema della sincronizzazione è essenzialmente un problema di interfaccia tra due sistemi che si evolvono indipendentemente uno dall'altro. Il nostro problema richiede che una variabile esterna (al nostro sistema) venga campionata tutte le volte che l'impulso di clock diventa uguale all'uno logico e che il suo valore resti memorizzato fino a che non avviene il successivo campionamento. Notare che questa è una possibile interpretazione del Timing di Fig. 8.23 in cui il segnale chiamato “Snor” è quello che deve essere sincronizzato. La soluzione al problema è quindi l'utilizzo proprio della configurazione di Fig. 8.22.

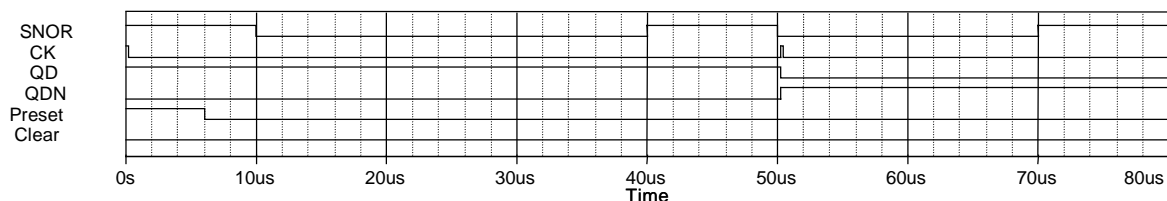


Fig. 8.24

Nella Fig. 8.24 è presentato un timing ottenuto con una frequenza di campionamento di clock inferiore a quella di variazione del segnale. Qui si vede chiaramente che, quando la frequenza di campionamento non è sufficientemente alta è possibile che l'evoluzione temporale della forma d'onda d'ingresso può essere falsata dal circuito di sincronizzazione. Si perde, in questo caso, lo stato alto di Snor tra 10 e 50  $\mu$ s.

**Es. 8.4:** Realizzare un circuito logico sequenziale che complementi il proprio stato ogni qual volta è presente un impulso di clock cioè  $Q(t+1) = Q'(t)$ . Si usi un D Flip Flop.

L'enunciato verbale del problema richiede un funzionamento che può essere rappresentato dalla tabella di commutazione di Tab. 8.10. in cui in ultima colonna sono listati i valori che l'ingresso D del F/F deve assumere. Ovviamente dobbiamo esprimere D in funzione dell'unica variabile  $Q(t)$  presente al tempo t. Dalla stessa tabella è evidente che  $D = Q'(t)$  e pertanto lo schema circuitale è quello di Fig. 8.25.

SP	SF	
Q(t)	Q(t+1)	D
0	1	1
1	0	0

Tab. 8.10

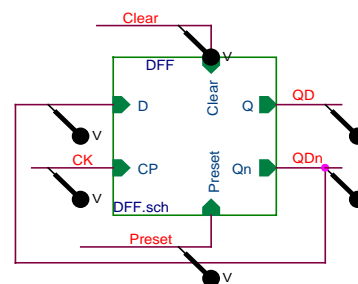


Fig. 8.25

A dispetto della sua semplicità la funzione logica realizzata da questo circuito è rilevante.

Nella Fig. 8.26 è presentato il timing delle uscite del Flip Flop relativo ad una sequenza di impulsi di clock (notare che la sua **durata al livello alto è stato fatto diventare molto**

**breve, minore del tempo di commutazione del F/F**, per evitare oscillazioni). In essa notiamo che la funzione della forma d'onda di uscita è sincrona a quella di CK (che possiamo



considerare la forma d'onda di ingresso) infatti le sue variazioni sono coincidenti con i fronti di salita del clock, ma ha frequenza metà.

Il circuito è allora un *Divisore di Frequenza*. Notare inoltre che, se la forma d'onda del clock è periodica, l'uscita Q o Qn risulta un'onda *quadra*; la durata, in tempo, dello stato 1 è uguale a quella dello stato 0 ossia ha un duty cycle del 50%. Si ricorda che il **duty cycle** di una forma d'onda periodica di impulsi è definito come *il rapporto tra il tempo in cui il valore è uno rispetto al periodo della forma d'onda stessa*.

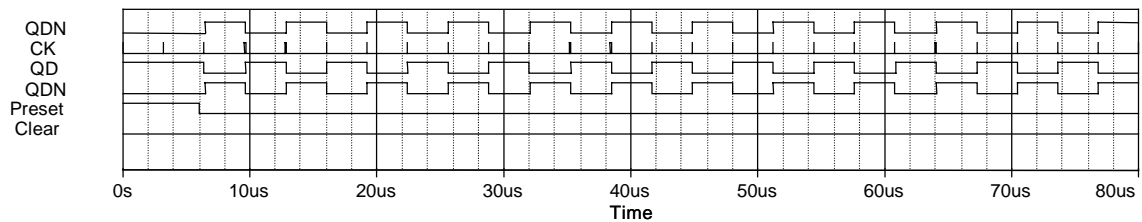


Fig. 8.26

### 8.5 Flip Flop JK Clocked

In questo F/F troviamo ancora due variabili di controllo J e K. La variabile J corrisponde all'ingresso S, mentre K corrisponde all'ingresso R del F/F RS. Il F/F JK è nato per superare lo stato indeterminato del F/F RS. Per far ciò si assegna al F/F JK una uscita ben determinata quando gli ingressi J e K sono entrambi all'uno logico: se lo stato presente del F/F è 0 lo stato futuro sarà 1 se invece lo stato presente del F/F è 1 lo stato futuro sarà 0. Da quanto sopra detto si trova

SP			SF
Q(t)	J	K	Q(t+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

J	K	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	Q'(t)

Tab. 8.11 Tabella Caratteristica

che la tabella caratteristica deve essere la stessa di quella rappresentata in Tab. 8.3 con lo scambio  $S \Rightarrow J$  e  $R \Rightarrow K$  ad eccezione dello stato  $J=1$  e  $K=1$  che prende i valori su detti. La tabella caratteristica è presentata in Tab. 8.11 nelle due forme standard.

Dalla tabella caratteristica possiamo ricavare la mappa di Fig. 8. 27 e quindi l'*equazione di stato*:  $Q(t+1) = JQ' + K'Q$

Dalla tabella caratteristica ricaviamo anche la tabella di eccitazione mostrata in Tab. 8.12. Gli stati di don't care per le variabili J e K sono trovati in modo analogo a quanto fatto per il F/F RS. Notare che la tabella di eccitazione risulta adesso molto più simmetrica.

JK	Q			
	00	01	11	10
0			1	1
1	1			1

$$Q(t+1) = JQ' + K'Q$$

Fig. 8. 27

Dalla tabella di eccitazione ricaviamo il diagramma di eccitazione rappresentato in Fig. 8.28a. L'ordine della sequenza di valori perché avvenga la commutazione è J-K. In Fig. 8.28b è rappresentato il simbolo grafico completo; sono presenti anche gli ingressi di Preset e Clear asincroni.

SP		SF		Inputs	
Q(t)	Q(t+1)	J	K		
0	0	0	X		
0	1	1	X		
1	0	X	1		
1	1	X	0		

Tab. 8.12 Tab. Eccitazione

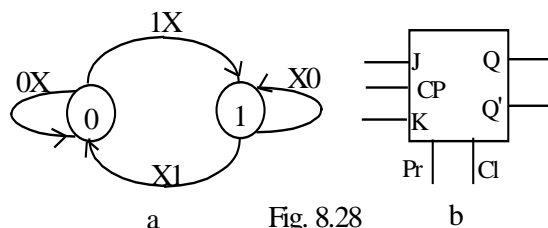


Fig. 8.28

**Es. 8.5** Progettare un JK F/F clocked a partire dal F/F RS clocked.

Il problema richiede di esprimere le variabili di controllo R e S in funzione della variabile J e K e dello stato Q(t) del F/F RS. Per far ciò utilizziamo la tabella di eccitazione presentata in Tab. 8.13. Questa è ricavata da una modifica di quella, già vista, per il F/F RS (Tab. 8.5). Essenzialmente prima della colonna che elenca gli stati presenti del F/F poniamo le colonne che descrivono quali valori devono avere le variabili di controllo J e K (ricavate dalla Tab. 8.12) per ogni variazione di stato. Adesso dobbiamo trovare una espressione Booleana per la variabile R ed una per S in funzione di J, K e Q(t).

SP		SF		RS Inp.	
J	K	Q(t)	Q(t+1)	S	R
0	X	0	0	0	X
1	X	0	1	1	0
X	1	1	0	0	1
X	0	1	1	X	0

Tab. 8.13 Tab. Eccitaz.

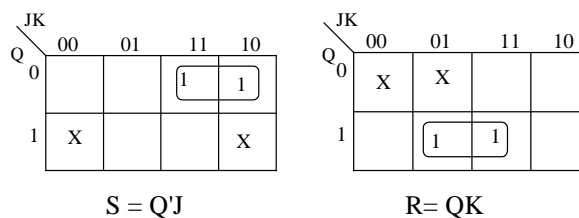


Fig. 8.29

Per far ciò utilizziamo le mappe di Fig. 8.29, che sono relative alle variabili S e R, ricavate dalla Tab. 8.13. La Fig. 8.30 ne presenta il circuito logico (ricavato da quello di Fig. 8.13) in cui i valori di R e S sono determinati dalle variabili di controllo J e K.

Per provare il funzionamento di questo F/F sono stati fatti due timing:

- Nel primo (timing di Fig. 8.31), la durata dell'impulso di clock è di 20ns (inferiore al tempo di commutazione del F/F).
- Nel secondo (timing di Fig. 8.32) la durata dell'impulso di clock è di 200 ns.

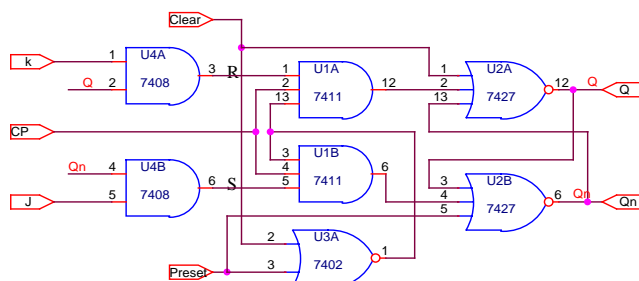


Fig. 8.30

Notare che, nel Timing di Fig. 8.31, le commutazioni del F/F sembrano seguire correttamente quanto descritto nelle prescrizioni che lo hanno generato. Nel timing di Fig. 8.32, invece, quando le due variabili di ingresso sono entrambe ad uno logico, si notano delle oscillazioni. I due timing sono stati ottenuti utilizzando il blocco gerarchico PSPICE di Fig. 8.33. In effetti, questo comportamento poteva essere previsto sia dalla tabella caratteristica che dal diagramma di eccitazione. Infatti, quando il F/F fa una transizione da 0 ad 1 con  $J = K = 1$  ed

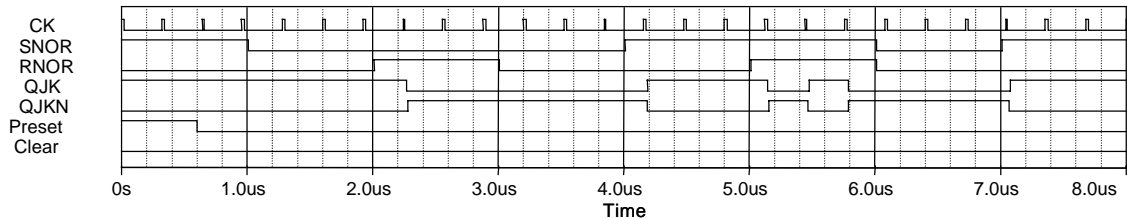


Fig. 8.31

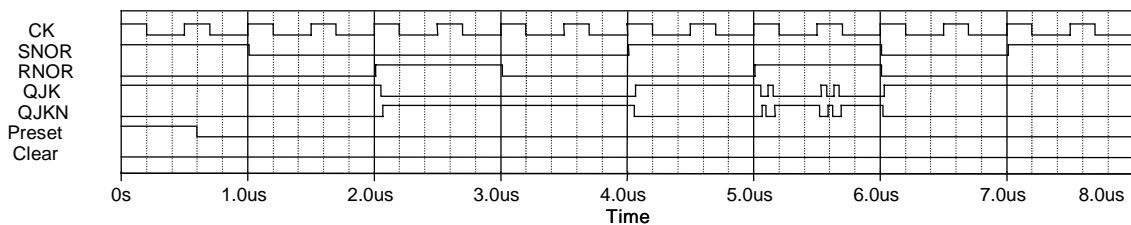


Fig. 8.32

il clock resta ad 1 (dopo che è avvenuta la transizione) il F/F è nelle condizione di effettuare la transizione inversa da 1 a 0 e se ancora il clock resta ad 1 ritorna da 0 a 1 e così via.

Un modo di evitare che si inneschino queste oscillazioni sembra essere quello di far sì che gli impulsi di clock debbono necessariamente essere più brevi del tempo di commutazione del F/F (vedi Fig. 8.31). Questa è una restrizione non accettabile per le difficoltà che comporta, dal punto di vista pratico. Un'altra soluzione potrebbe essere quella di mettere tra le uscite del F/F e gli ingressi di reazione due ritardi logici. Questa

soluzione, che chiaramente funziona, è parimente non accettabile in quanto limita significativamente la frequenza massima di lavoro del F/F (il periodo del clock dovrebbe essere maggiore del ritardo). Pertanto bisogna studiare un metodo che superi entrambe le difficoltà. Come vedremo, esistono due modi diversi per superare il problema, uno porta al F/F di tipo **Master/Slave** e l'altro al F/F di tipo **Edge-Triggered**.

Poiché l'innesco delle oscillazioni è dovuto alla presenza della reazione, si capisce come, il F/F D dell' Es. 8.4 (con l'uscita Q' reazionata all'ingresso D), avrebbe provocato delle oscillazioni, se l'impulso di clock non fosse durato meno del tempo di commutazione del F/F stesso (come è stato colà evidenziato).

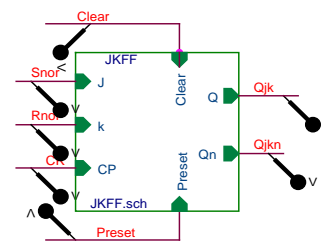


Fig. 8.33

## 8.6 Flip Flop T Clocked

Il F/F T è sostanzialmente una versione del F/F JK con un solo ingresso. Cioè è il F/F JK quando J e K sono in corto circuito e l'unico ingresso è chiamato T. La tabella caratteristica è una versione ridotta di quella JK; le righe che restano sono quelle in cui  $J = K$ . Il suo funzionamento può essere riassunto nel modo seguente: se  $T = 0$  il F/F

SP		SF
Q(t)	T	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0

T	Q(t+1)
0	Q(t)
1	Q'(t)

Tab. 8.14 Tabella Caratteristica

resta nello stesso stato, se  $T = 1$  il F/F complementa il proprio stato (o "Toggle" da cui il nome T alla variabile di controllo). Se si confronta il T F/F con il D F/F, connesso come mostrato nell'Es. 8.4, notiamo che quando  $T = 1$  il funzionamento è identico. Infatti la configurazione del D F/F con  $D = Q'$  è detta configurazione Toggle.

Dalla tabella caratteristica possiamo ricavare la mappa e quindi l'equazione caratteristica.  $Q(t+1) = TQ' + TQ = T \oplus Q$

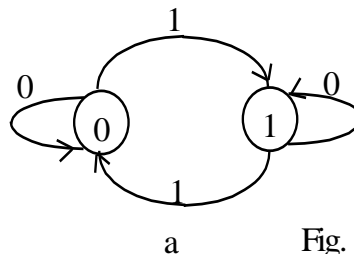
Q\T	0	1
0		1
1	1	

Dalla tabella caratteristica ricaviamo anche la tabella di eccitazione mostrata in Tab. 8.15. Notiamo che sono scomparsi gli stati di don't care del F/F JK.

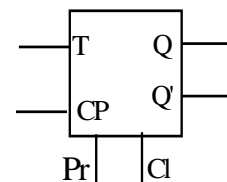
Dalla tabella di eccitazione ricaviamo il diagramma di eccitazione rappresentato in Fig. 8.34a. In Fig. 8.34b è rappresentato il simbolo grafico completo; sono presenti anche gli ingressi di Preset e Clear asincroni.

SP	SF	Input
Q(t)	Q(t+1)	T
0	0	0
0	1	1
1	0	1
1	1	0

Tab. 8.15 Tab. Eccitaz.



a



b

Fig. 8.34

**Es. 8.6** Progettare un T F/F clocked a partire dal F/F RS clocked.

Il problema richiede di esprimere le variabili di controllo R e S in funzione della variabile T e dello stato  $Q(t)$  del F/F RS. La tabella di eccitazione per il presente problema può essere ricavata facilmente ed è presentata in Tab. 8.16.

Adesso dobbiamo trovare una espressione Booleana per la variabile R ed una per S in funzione di T e  $Q(t)$ . Per far ciò utilizziamo le mappe di Fig. 8.35, che sono relative alle variabili S e R, ricavate dalla Tab. 8.16. La Fig. 8.36 ne presenta il circuito logico (ricavato da quello di Fig. 8.30) in cui i valori di R e S sono determinati solo dalla variabile

SP		SF	RS Inp.	
T	Q(t)	Q(t+1)	S	R
0	0	0	0	X
1	0	1	1	0
1	1	0	0	1
0	1	1	X	0

Tab. 8.16 Tab. Eccitazione

Q\T	0	1
0		1
1	X	

$S = Q'T$

Q\T	0	1
0	X	
1		1

$R = QT$

Fig. 8.35

di controllo T.

Notare, sia dalla tabella caratteristica che dal diagramma di eccitazione, che quando il F/F fa una transizione da 0 ad 1 con  $T = 1$  ed il clock resta ad 1 (dopo la transizione) il F/F è nelle condizioni di effettuare la

transizione inversa da 1 a 0 e se ancora il clock resta ad 1 ritornare da 0 a 1 e così via. In altri termini la realizzazione da noi fatta del F/F T di Fig. 8.36 mostra le stesse condizioni di oscillazione del F/F JK già discusse. Il timing di Fig. 8.37 ne è una ulteriore conferma.

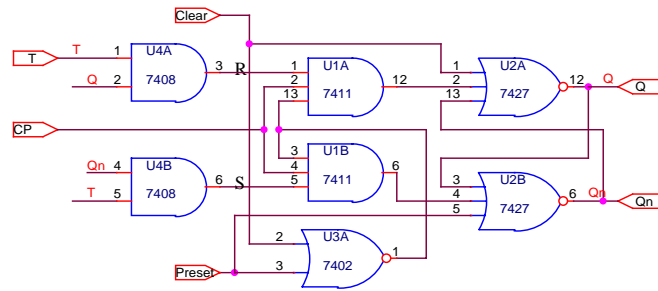


Fig. 8.36

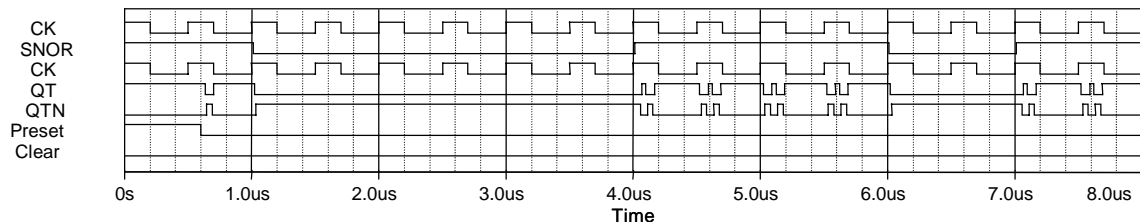


Fig. 8.37

## 8.7 Osservazioni sui Flip Flop Clocked; Definizione del funzionamento Flip-Flop Latch

Con l'introduzione del F/F T abbiamo finito la presentazione di tutti i Flip-Flop che sono stati finora pensati. Tuttavia è necessario mettere in evidenza che questi, realizzati come fino ad ora illustrato, presentano delle condizioni di funzionamento non desiderato. Innanzi tutto osserviamo che per tutto il tempo in cui l'impulso di clock  $CP = 1$  i F/F RS e D *diventano dei F/F asincroni*, perdono, cioè, la caratteristica clocked. Infatti se le variabili di ingresso R, S o D cambiano stato, lo stato dei relativi F/F ne può restare influenzato.

Come esempio si osservi il timing di Fig. 8.39 che è il timing per il F/F D di Fig. 8.38. Si noti che questo, a differenza dell'analogo dell'Es. 8.2, è stato realizzato usando impulsi di clock che durano per un tempo maggiore, in modo da includere eventuali variazioni del segnale di controllo durante il suo stato alto (che durante lo stato basso). Da esso notiamo, infatti, che l'uscita del F/F D esegue delle transizioni; alcune coincidenti con l'istante in cui il clock diventa alto (transizioni volute) ed altre durante lo stato alto (transizioni non volute). Quest'ultimo caso non è consone con la prescrizione che il F/F deve cambiare stato soltanto all'arrivo dell'impulso di clock. In altri termini il clock deve eseguire il campionamento e memorizzazione del segnale di ingresso al momento in cui diventa 1 e mantenerlo fino all'arrivo del prossimo fronte. Nel nostro caso, invece, trasferisce in uscita, l'informazione

presente in ingresso per tutto il tempo che  $CK=1$ . La memorizzazione dello stato avviene quando il clock passa da 1 a 0 cioè sul fronte di discesa. Infatti, durante il tempo in cui il clock è basso, le transizioni della linea di controllo non sono sentite.

Questo tipo di funzionamento risulta, talvolta, utile e i F/F che funzionano in questo modo prendono il nome di **Latch Flip-Flop**. Il funzionamento nello stato  $CK=1$  viene detto *trasparente* mentre quello con  $CK=0$  viene detto di *latch* o di congelamento dello stato

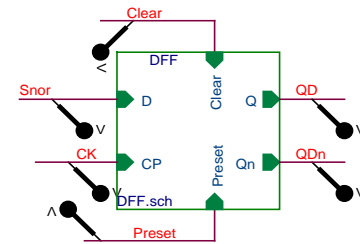


Fig. 8.38

La cura a tale problema è, come abbiamo visto, quella di rendere la durata di  $CK=1$  tanto breve da rendere molto piccola la probabilità che il segnale di ingresso cambi stato. Si deve tuttavia osservare che la cura non è completa perché la probabilità che ciò non avvenga non è la certezza. Un modo migliore, che non richiede particolare attenzione da parte dell'utente, è quello di trasformare, all'interno del F/F, l'impulso di clock in un impulso molto breve, per mezzo di un circuito rivelatore di fronti positivi. La sua durata, però, deve essere appena sufficiente, in tutte le circostanze, a fare commutare il F/F.

Come già messo in evidenza, il problema presente durante il tempo in cui  $CP=1$  è ben più grave per i F/F JK e T (quando  $J=K=1$  e  $T=1$  rispettivamente): questi F/F eseguono delle oscillazioni tra i due stati. Poiché responsabile delle oscillazioni è la reazione di Q e Q' nelle porte AND di ingresso, anche se la durata di  $CP=1$  è molto breve, la commutazione arriva

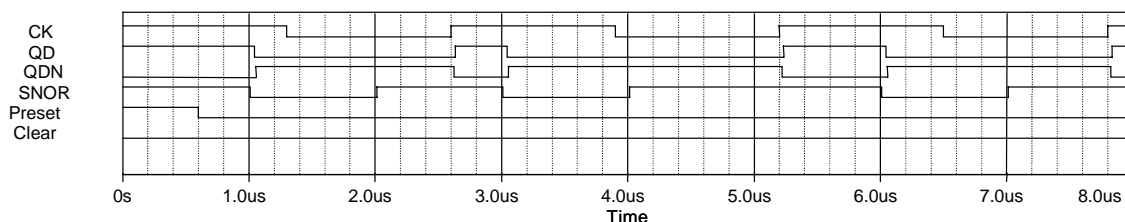


Fig. 8.39

trovando con certezza  $CP=1$ . La soluzione del rivelatore di fronti positivi richiede, anche, di interporre sulla linea di reazione di Q e Q', delle unità di ritardo di durata tale che, quando le commutazioni si presentano, certamente trovano  $CK=0$ . In ogni caso ne risulterà un circuito che ha delle limitazioni di velocità; il periodo del Master Clock deve essere superiore alla durata del ritardo!

Si potrebbero elencare altri inconvenienti, che sorgono con i F/F funzionanti senza accorgimenti aggiuntivi, ma non lo facciamo. Tra l'altro dovremmo considerare il collegamento in cascata di più F/F (l'uscita di uno pilota l'ingresso di un altro di tipo uguale o diverso), che è, al momento, prematura. D'altra parte le motivazioni su esposte sono sufficienti sia per la definizione del problema che per la giustificazione della necessità dell'introduzione dei Flip-Flop Master/Slave e Edge-Triggered oggetto dei paragrafi successivi.

## PROBLEMI

P8.1 Modificare lo schema logico di un F/F RS in modo tale che l'uscita Q, sia nello stato di set, dopo che i due ingressi R e S sono stati riportati a zero logico dopo essere stati momentaneamente posti ad uno. Ottenere quindi sia la tabella caratteristica sia l'equazione di stato del F/F così realizzato

<b>CAPITOLO 8 .....</b>	<b>153</b>
<b>LOGICA SEQUENZIALE.....</b>	<b>153</b>
8.1 INTRODUZIONE.....	153
8.2 GATED OSCILLATOR (CIRCUITO DI PRINCIPIO) .....	155
8.2 GATED OSCILLATORE (POSSIBILE REALIZZAZIONE PRATICA) .....	156
8.3 FLIP FLOP.....	158
8.3.1 <i>Circuito fondamentale di Flip Flop</i> .....	158
8.3.2 <i>Flip Flop RS Clocked</i> .....	162
8.4 D FLIP FLOP CLOCKED .....	166
8.5 FLIP FLOP JK CLOCKED.....	169
8.6 FLIP FLOP T CLOCKED.....	172
8.7 OSSERVAZIONI SUI FLIP FLOP CLOCKED; DEFINIZIONE DEL FUNZIONAMENTO FLIP-FLOP LATCH.....	173
<b>PROBLEMI.....</b>	<b>175</b>