

## Arquitectura de ordenadores

# 3-3. Principios Básicos III

Ignacio Calles González [ignacio.gonzalez@ext.live.u-tad.com](mailto:ignacio.gonzalez@ext.live.u-tad.com)

Tiago Manuel Louro Machado de Simas [tiago.louro@u-tad.com](mailto:tiago.louro@u-tad.com)

Francisco Javier García Algarra [javier.algarra@u-tad.com](mailto:javier.algarra@u-tad.com)

Carlos M. Vallez Fernández [carlos.vallez@u-tad.com](mailto:carlos.vallez@u-tad.com)

2023-2024

# Índice

## 1. Circuitos secuenciales definición

2. El reloj

3. Falso circuito que memoriza

4. Biestables (flip –flops) definición

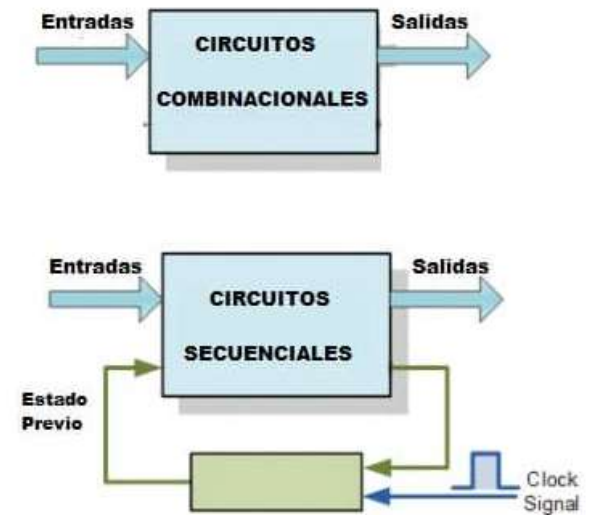
5 Circuitos Combinacionales Típicos

6. Registros

7. Contadores

# 1. Circuitos secuenciales definición (I)

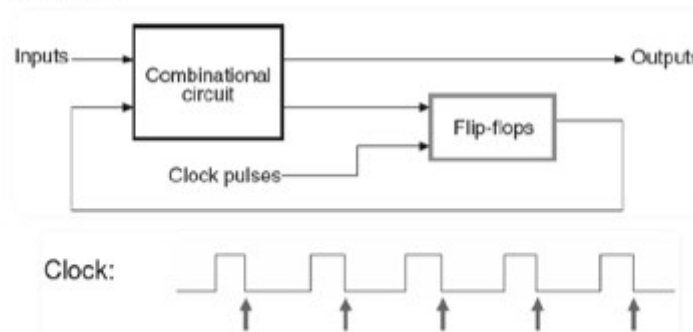
Un **circuito secuencial** es aquel en el que sus salidas dependen del estado actual de sus entradas y de sus estados anteriores. En los circuitos combinacionales, la única noción temporal que interviene es el presente. En cambio, en los circuitos secuenciales se tiene en cuenta la evolución temporal de las señales. Esto implica que para valores idénticos en la entrada se podrían obtener valores distintos en la salida según el momento en el que estemos.



# 1. Circuitos secuenciales definición (II)

- La dependencia de la salida con respecto a los valores anteriores es debida a la capacidad de “memorizar” (guardar) información sobre los estados anteriores del dispositivo.
- Junto con los **circuitos combinacionales**, los **circuitos secuenciales** son imprescindibles para construir los **componentes fundamentales de un computador**. El circuito debe tener un mecanismo de sincronización.

- Las señales son validas solo en tiempos discretos.
- Permiten un cambio de estado en los instantes marcados por una señal de sincronismo de tipo oscilatorio denominada reloj (CLK).
- La señal de reloj es una serie de pulsaciones rectangulares o cuadradas



# Índice

1. Circuitos secuenciales definición
- 2. El reloj**
3. Falso circuito que memoriza
4. Biestables (flip –flops) definición
- 5 Circuitos Combinacionales Típicos
6. Registros
7. Contadores

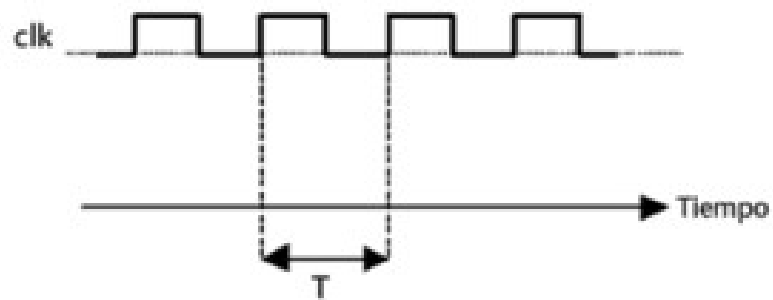
## 2. El reloj (I)

La señal del reloj toma los valores 0 y 1 de forma cíclica y continua desde la puesta en marcha de un circuito hasta que éste se detiene. De forma habitual, se utiliza la noción *clk* para hacer referencia a la señal del reloj.

El ciclo que forma la secuencia de valores 0 y 1 tiene una duración determinada y constante,  $T$ , que se llama periodo. Se puede medir en segundos o, más habitualmente, en nanosegundos.

Físicamente, la señal de reloj se genera a partir de cristales de cuarzo, un mineral que tiene la propiedad llamada piezoelectricidad: cuando recibe corriente eléctrica vibra con una frecuencia extremadamente grande y regular.

## 2. El reloj (II)



- Los instantes en que la señal de reloj pasa de 0 a 1 se llaman flancos ascendentes.
- El intervalo que hay entre un flanco ascendente y el siguiente se llama ciclo o ciclo de reloj.
- La frecuencia del reloj es la inversa del periodo, es decir, es el número de ciclos de reloj que ocurren durante un segundo

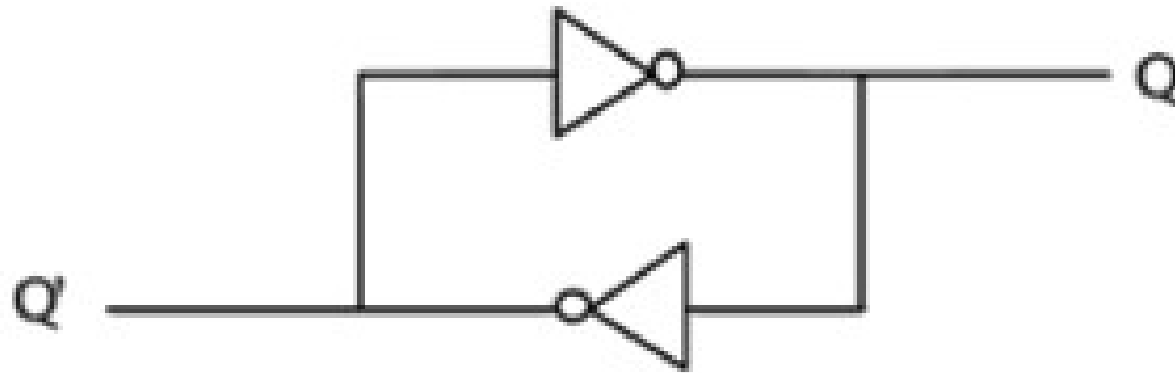
# Índice

- 1. Circuitos secuenciales definición
- 2. El reloj
- 3. Falso circuito que memoriza**
- 4. Biestables (flip –flops) definición
- 5 Circuitos Combinacionales Típicos
- 6. Registros
- 7. Contadores



### 3. Falso circuito que memoriza (I)

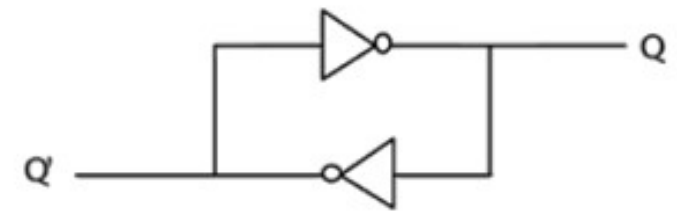
Tras lo comentado en este punto y lo estudiado anteriormente alguien podría decir que con el siguiente circuito sería capaz de memorizar un valor:



### 3. Falso circuito que memoriza (II)

El valor que hay en los puntos Q y Q' (0 ó 1) se mantendrá indefinidamente, ya que la salida de cada inversor está conectada con la entrada del otro. Por tanto, podemos decir que este circuito es capaz de “recordar”, o mantener en el tiempo, un valor lógico

Este circuito no es muy útil, porque no admite la posibilidad de modificar el valor recordado. Interesa diseñar un circuito que tenga esta misma capacidad de memoria, pero que además permita que el valor en el punto Q pueda cambiar según los requerimientos del usuario. Un circuito con estas características se llama **biestable**.



# Índice

1. Circuitos secuenciales definición
2. El reloj
3. Falso circuito que memoriza
- 4. Biestables (flip –flops) definición**
- 5 Circuitos Combinacionales Típicos
6. Registros
7. Contadores

## 4. Biestables (flip-flops) definición (I)

Son circuitos que son capaces de “guardar/retener” información, por tanto se pueden ver como unidades de memoria, que guardan su último estado indefinidamente hasta que ocurra un cambio en sus entradas.

## 4. Biestables (flip-flops) definición (II)

### Características:

- Es un circuito con **dos estados**. Dependiendo de el valor de sus entradas, cambia de un estado a otro. En ausencia de entradas, el circuito permanece en el último estado alcanzado (**memoria de un bit**).
- Tiene **dos salidas complementarias**:  $Q$  y  $\text{NOT}(Q)$ .
- Son circuitos dependientes del tiempo ( $t$ ).
- El estado actual se denomina  $Q_t$ .
- El estado siguiente se denomina  $Q_{t+1}$ .

# Índice

1. Circuitos secuenciales definición
2. El reloj
3. Falso circuito que memoriza
4. Biestables (flip –flops) definición

## 5 Circuitos Combinacionales Típicos

6. Registros
7. Contadores

# 5. Circuitos biestables típicos

## El cerrojo (latch) S-R (Set – Reset):

El biestable S-R asíncrono es un circuito a base de puertas lógicas con dos entradas ( S ( set ) y R ( Reset) y dos salidas Q1 y Q2.

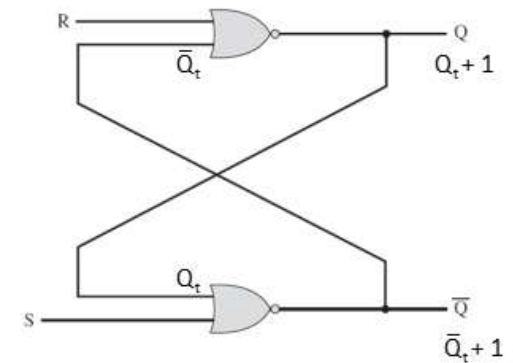
La siguiente imagen muestra el circuito del biestable, la tabla de verdad y la tabla de verdad de la puerta lógica empleada en la construcción del biestable.

- El cerrojo (latch) S-R (Set – Reset):

S	R	$Q_t$	$Q_{t+1}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	-
1	1	1	-

ENTRADA  
PROHIBIDA

El biestable RS, con los valores de R y S 1, 1 puede oscilar, dependiendo del tipo de puertas empleadas



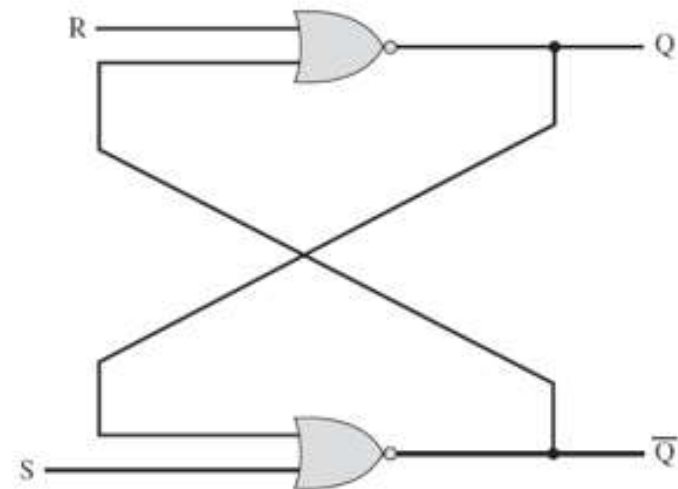
NOR		
A	B	F
0	0	1
0	1	0
1	0	0
1	1	0

# 5. Circuitos biestables típicos

## El cerrojo (latch) S-R (Set – Reset):

Veamos cómo cambian los estados

S	R	$Q_t$	$Q_{t+1}$



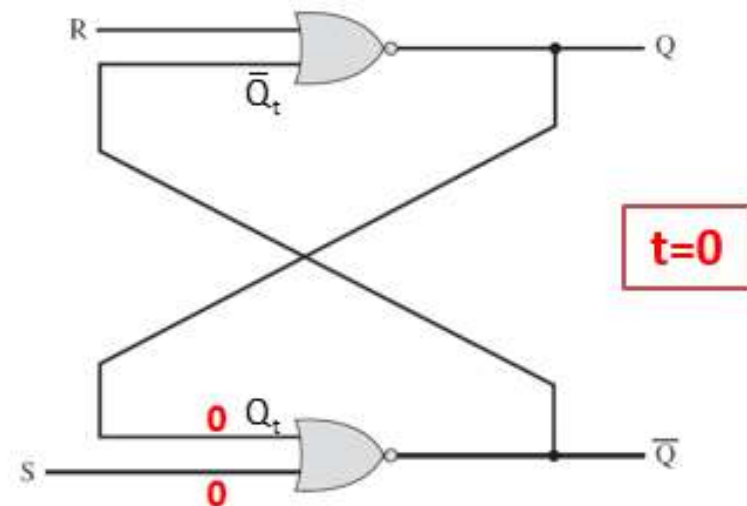


# 5. Circuitos biestables típicos

## El cerrojo (latch) S-R (Set – Reset):

Veamos cómo cambian los estados

S	R	$Q_t$	$Q_{t+1}$
0	0	0	

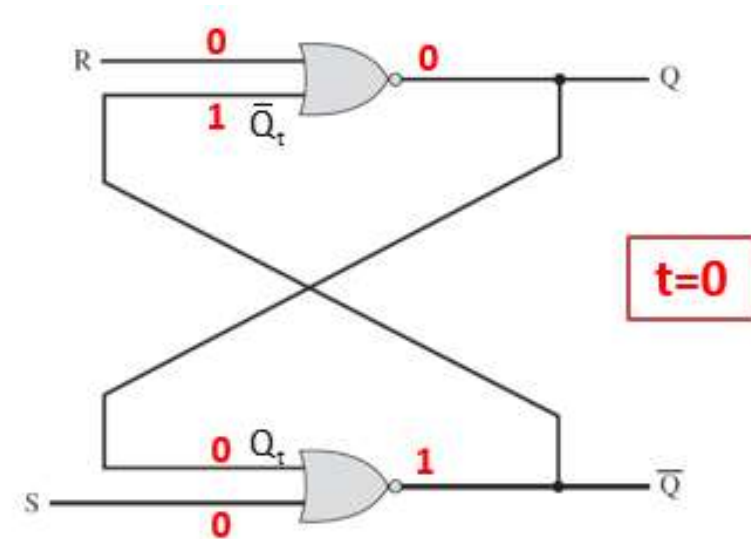


# 5. Circuitos biestables típicos

## El cerrojo (latch) S-R (Set – Reset):

Veamos cómo cambian los estados

S	R	$Q_t$	$Q_{t+1}$
0	0	0	

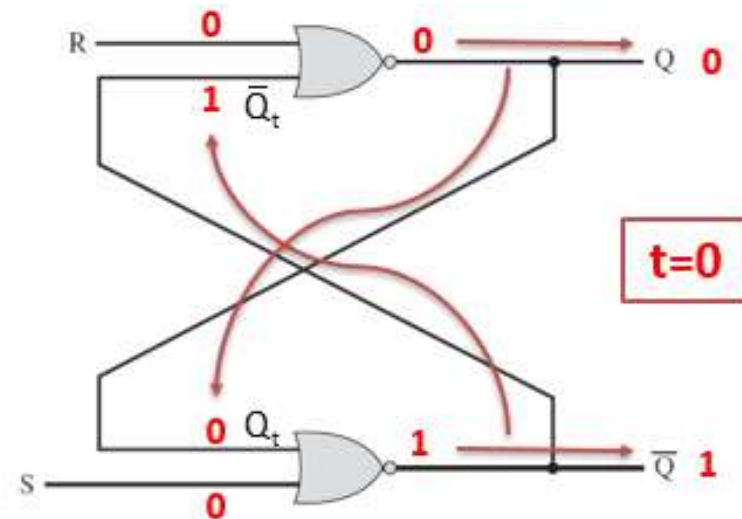


## 5. Circuitos biestables típicos

### El cerrojo (latch) S-R (Set – Reset):

Veamos cómo cambian los estados

S	R	$Q_t$	$Q_{t+1}$
0	0	0	

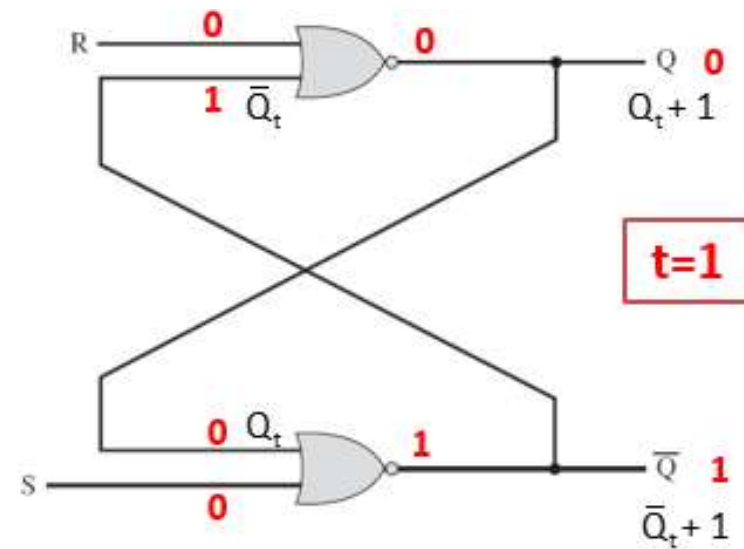


## 5. Circuitos biestables típicos

### El cerrojo (latch) S-R (Set – Reset):

Veamos cómo cambian los estados

S	R	$Q_t$	$Q_{t+1}$
0	0	0	0

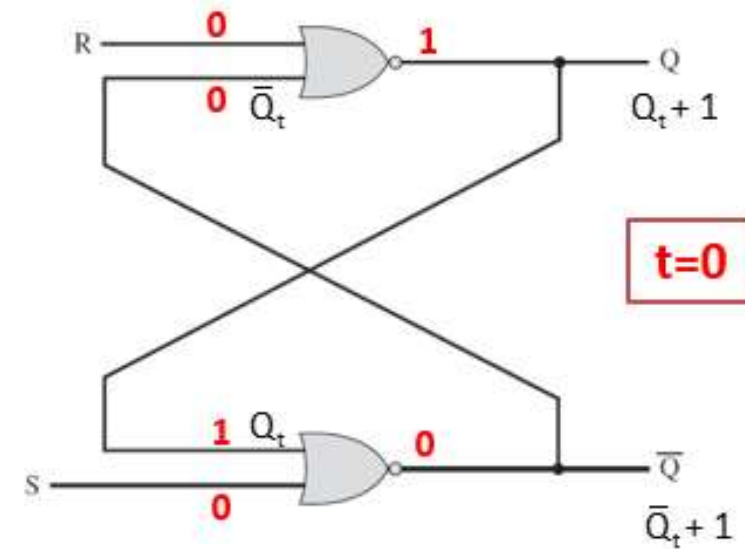


# 5. Circuitos biestables típicos

## El cerrojo (latch) S-R (Set – Reset):

Veamos cómo cambian los estados

S	R	$Q_t$	$Q_{t+1}$
0	0	0	0
0	0	1	

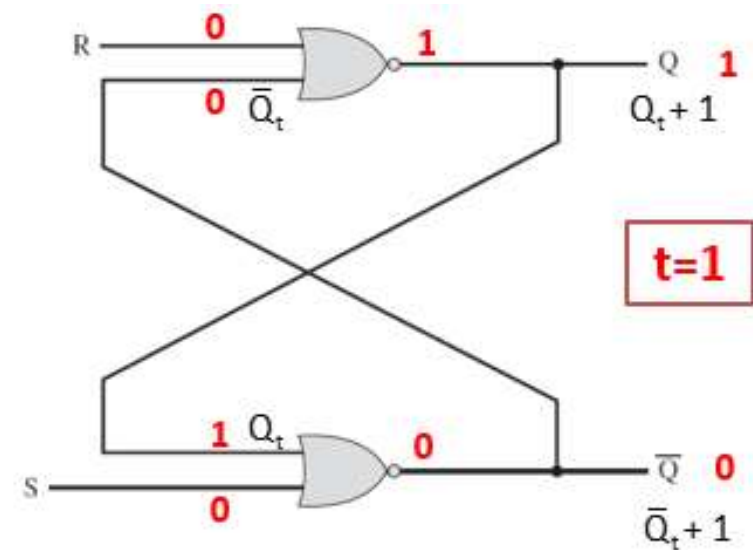


# 5. Circuitos biestables típicos

## El cerrojo (latch) S-R (Set – Reset):

Veamos cómo cambian los estados

S	R	$Q_t$	$Q_{t+1}$
0	0	0	0
0	0	1	1

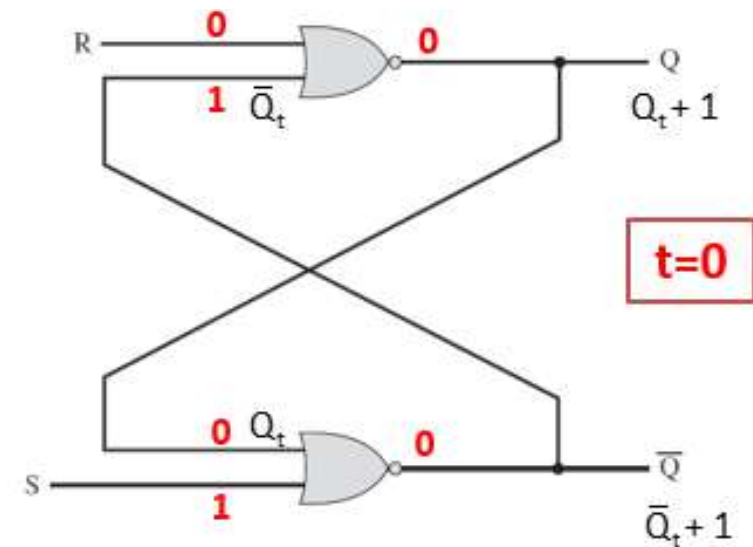


# 5. Circuitos biestables típicos

## El cerrojo (latch) S-R (Set – Reset):

Veamos cómo cambian los estados

S	R	$Q_t$	$Q_{t+1}$
0	0	0	0
0	0	1	1
1	0	0	

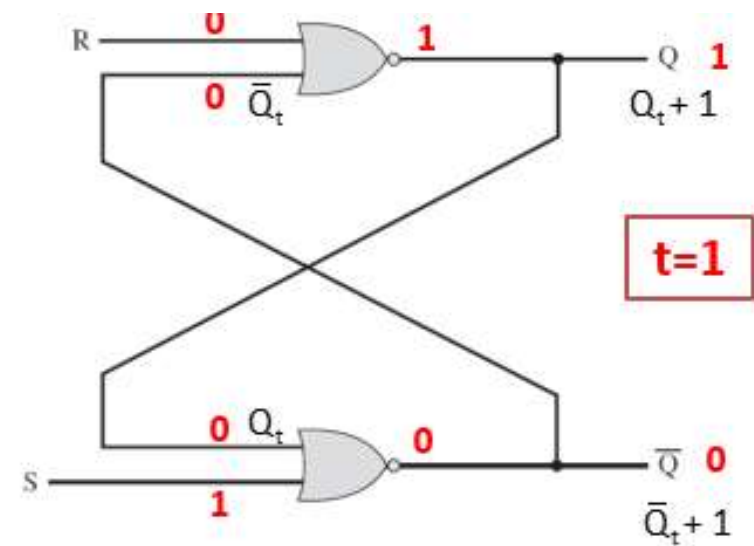


# 5. Circuitos biestables típicos

## El cerrojo (latch) S-R (Set – Reset):

Veamos cómo cambian los estados

S	R	$Q_t$	$Q_{t+1}$
0	0	0	0
0	0	1	1
1	0	0	1



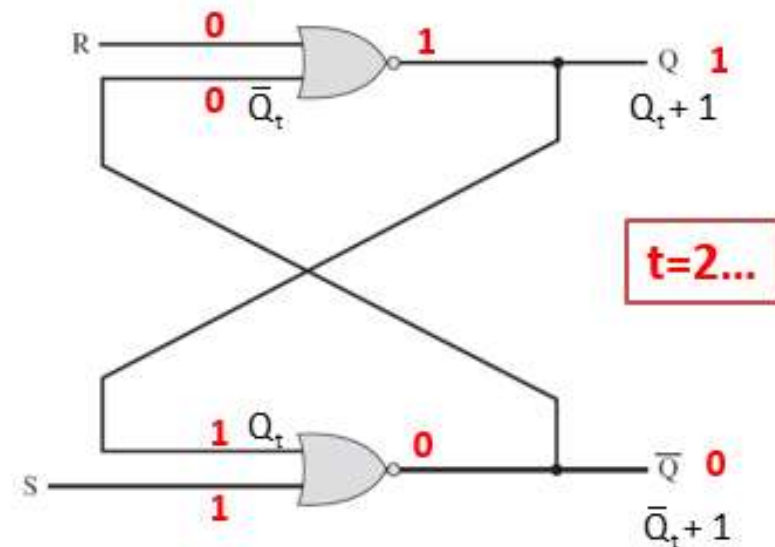


## 5. Circuitos biestables típicos

### El cerrojo (latch) S-R (Set – Reset):

Veamos cómo cambian los estados. Ahora con  $t=2$

S	R	$Q_t$	$Q_{t+1}$
0	0	0	0
0	0	1	1
1	0	0	1

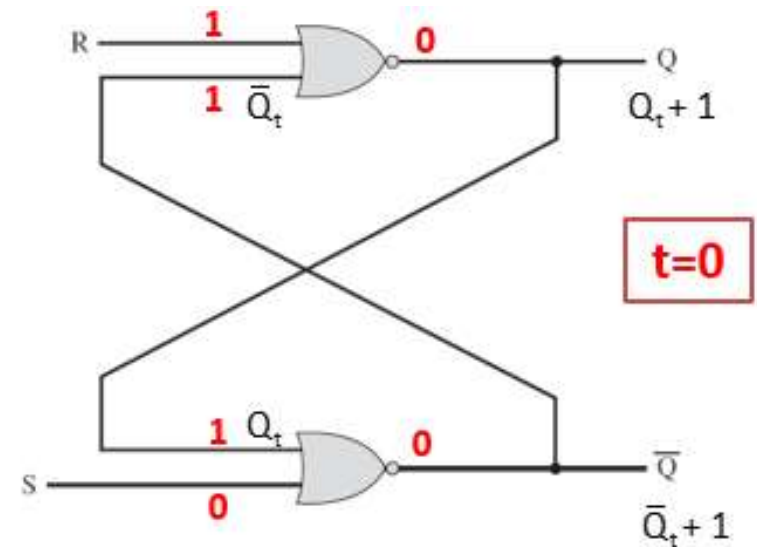


## 5. Circuitos biestables típicos

### El cerrojo (latch) S-R (Set – Reset):

Veamos cómo cambian los estados.

S	R	$Q_t$	$Q_{t+1}$
0	0	0	0
0	0	1	1
1	0	0	1
0	1	1	

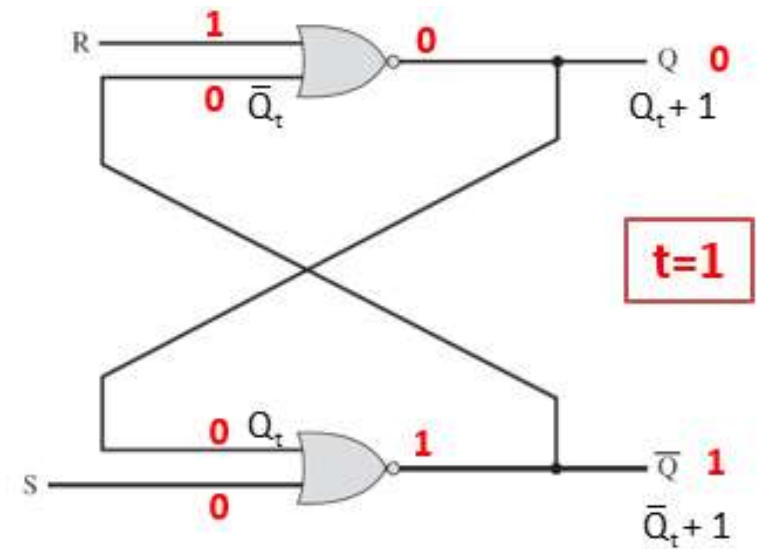


# 5. Circuitos biestables típicos

## El cerrojo (latch) S-R (Set – Reset):

Veamos cómo cambian los estados.

S	R	$Q_t$	$Q_{t+1}$
0	0	0	0
0	0	1	1
1	0	0	1
0	1	1	0

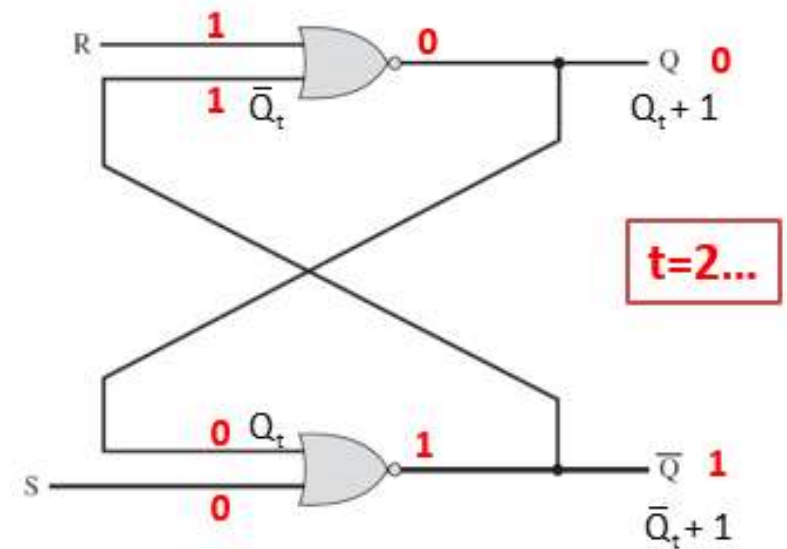


## 5. Circuitos biestables típicos

### El cerrojo (latch) S-R (Set – Reset):

Veamos cómo cambian los estados. Ahora con  $t=2$

S	R	$Q_t$	$Q_{t+1}$
0	0	0	0
0	0	1	1
1	0	0	1
0	1	1	0



# 5. Circuitos biestables típicos

## El cerrojo (latch) S-R (Set – Reset):

Por último comentar que en la siguiente imagen vemos la tabla de verdad simplificada y un resumen de cómo los valores de salida han ido cambiando con el paso del tiempo:

El cerrojo (latch) S-R (Set – Reset):

- Tabla simplificada:

S	R	$Q_{t+1}$
0	0	$Q_t$
0	1	0
1	0	1
1	1	-

- Evolución del circuito en t=9 estados.

t	0	1	2	3	4	5	6	7	8	9
S	1	0	0	0	0	0	0	0	1	0
R	0	0	0	1	0	0	1	0	0	0
$Q_{t+1}$	1	1	1	0	0	0	0	0	1	1

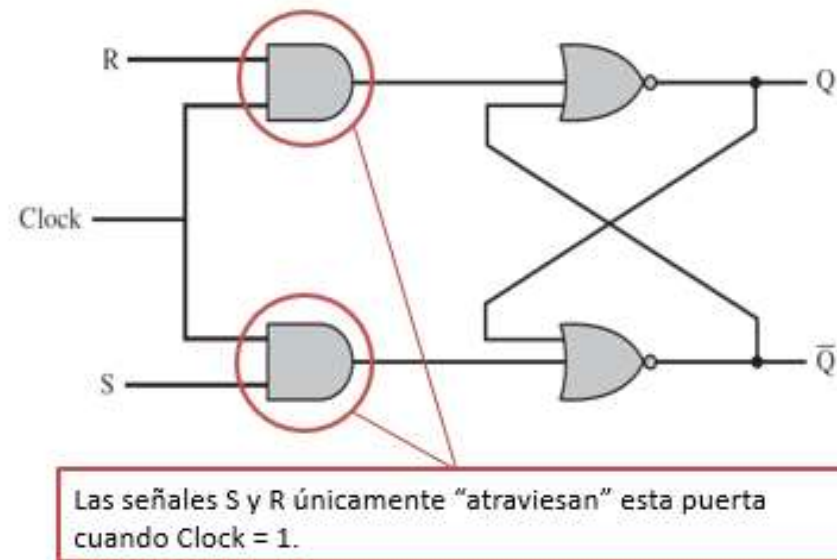
# 5. Circuitos biestables típicos

## El cerrojo (latch) S-R (Set – Reset) con reloj:

Funciona igual que el S-R, pero únicamente está operativo cuando la señal del reloj está activa (1).

• Tabla simplificada:

Clock	S	R	$Q_{t+1}$
1	0	0	$Q_t$
1	0	1	0
1	1	0	1
1	1	1	-
0	0	0	$Q_t$
0	0	1	$Q_t$
0	1	0	$Q_t$
0	1	1	$Q_t$



# 5. Circuitos biestables típicos

## Biestable D con reloj:

El biestable D es siempre síncrono (emplea el reloj) y puede estar activado por nivel o por flanco (señal alta o baja del reloj).

- Tiene una única entrada D (data).
- Se evita la entrada prohibida. Elimina por tanto la entrada errónea 1-1.
- La salida en  $t+1$  es igual a la entrada en  $t$ .
- Funciona como almacenamiento de datos de un solo bit.
- Sirve como elemento de retardo o como restaurador de señal (en casos de transmisiones de señales digitales a través de cables muy largos).

# 5. Circuitos biestables típicos

## Biennale D con reloj:

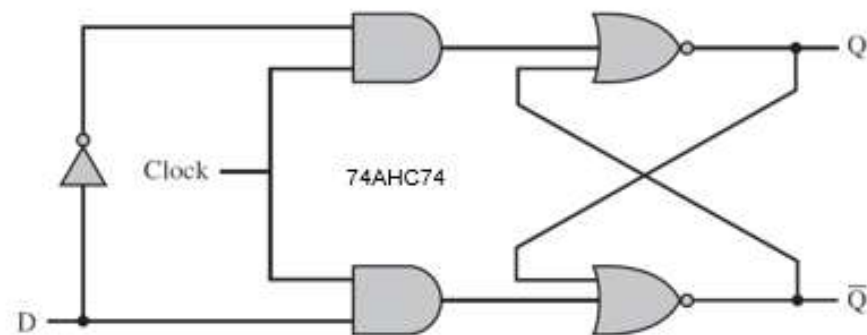
Tabla de verdad

D	C	$Q_{n-1}$	$Q_n$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Tablas simplificadas

<u>Clock</u>	D	$Q_{t+1}$
0	0	$Q_t$
0	1	0
1	0	$Q_t$
1	1	1

Clock	D	$Q_{t+1}$
1	0	0
1	1	1



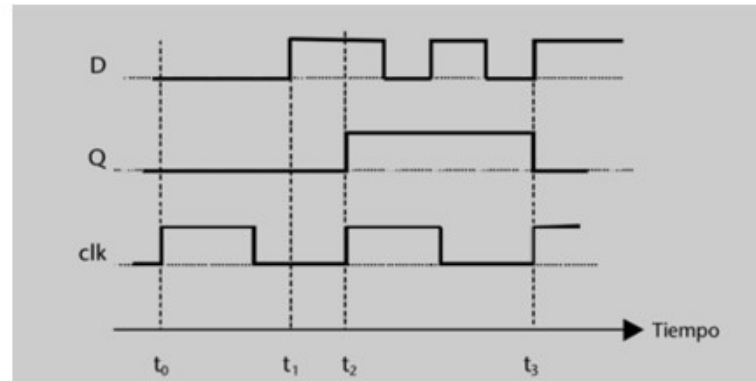


# 5. Circuitos biestables típicos

## Bi stable D con reloj:

Si lo vemos en el diagrama de tiempos:

D	clk	Q <sup>+</sup>
0	↻	0
1	↻	1



# 5. Circuitos biestables típicos

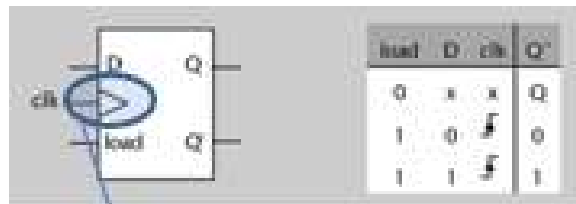
## Biestable D con reloj:

Cuando se pone un biestable dentro de un circuito con otros componentes, a veces nos interesará que el contenido del biestable no cambie, ni siquiera en los instantes de los flancos, aunque varíe el valor de D; queremos que el biestable sea “insensible” a las variaciones de D cuando así lo requiramos.

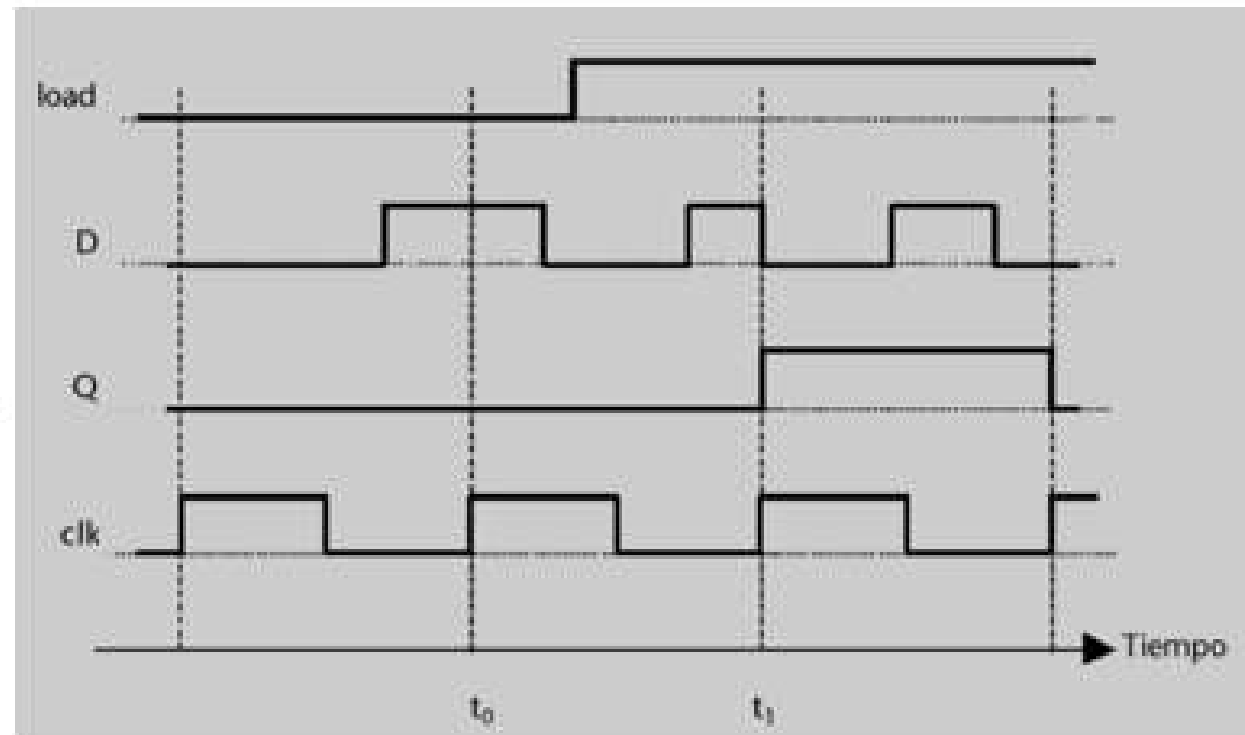
Con este fin se añade al biestable una señal de carga que funciona de la siguiente forma: si vale 0, el valor del biestable no cambia. Si vale 1, el biestable funciona tal como se ha explicado

# 5. Circuitos biestables típicos

## Biastable D con reloj:



Por flanco de subida. Si tiene una negación anterior,  
Será por flanco de bajada



# 5. Circuitos biestables típicos

## Biestable J-K con reloj:

- Similar al S-R, pero todas las entradas son válidas.
- Las entradas 0-0, 0-1 y 1-0 funcionan igual que el S-R con reloj.
- La entrada 1-1 da como resultado la negación del estado anterior.
- La entrada K actúa para la puesta a 0 (reset) y la entrada J para la puesta a 1 (set).
- Cuando se activan las dos entradas simultáneamente, el biestable cambia de estado.
- Son biestables síncronos, lo que quiere decir que las transiciones de los valores de salida se producen durante los flancos activos de las señales de reloj.

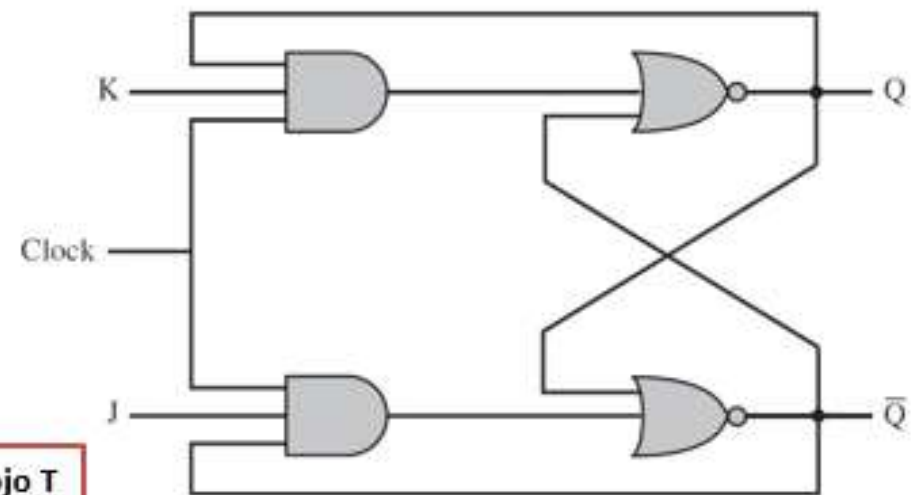
# 5. Circuitos biestables típicos

## Biastable J-K con reloj:

- Tabla simplificada:

Clock	J	K	$Q_{t+1}$
1	0	0	$Q_t$
1	0	1	0
1	1	0	1
1	1	1	$\bar{Q}_t$

Cuando  $J = K = 1$  siempre, se convierte en un **cerrojo T (toggle)**, cuya salida es siempre la inversa de la anterior.



# 5. Circuitos biestables típicos

## Biestable J-K con reloj:

A continuación mostramos una tabla de funcionamiento que ayuda a entender cuando se hace set, cuando reset, cuando se mantiene el valor y cuando se obtiene el inverso:

**Tabla de funcionamiento**

CLK	J	K	Q(t)	Q(t+1)	
0/1/↓	X	X	X	Q(t)	Mant.
↑	0	0	0	0	Mant.
↑	0	0	1	1	Mant.
↑	0	1	0	0	Reset
↑	0	1	1	0	Reset
↑	1	0	0	1	Set
↑	1	0	1	1	Set
↑	1	1	0	1	Inv.
↑	1	1	1	0	Inv.

# 5. Circuitos biestables típicos

## Biestable J-K con reloj:

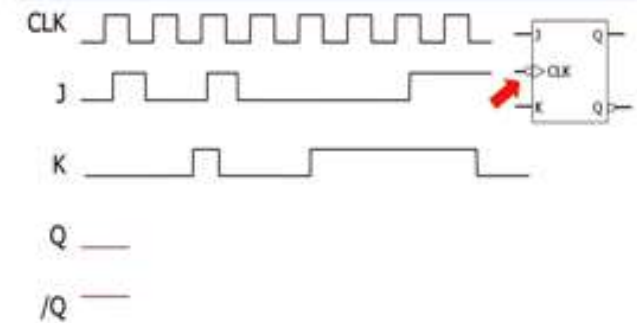
Si representamos los cronogramas inicial y final veríamos lo siguiente:

Tabla de funcionamiento

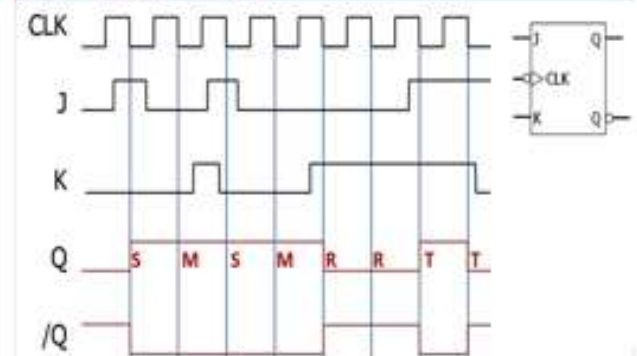
CLK	J	K	Q(t)	Q(t+1)	
0/1/↓	X	X	X	Q(t)	Mant.
↑	0	0	0	0	Mant.
↑	0	0	1	1	Mant.
↑	0	1	0	0	Reset
↑	0	1	1	0	Reset
↑	1	0	0	1	Set
↑	1	0	1	1	Set
↑	1	1	0	1	Inv.
↑	1	1	1	0	Inv.

Q = 0 (estado inicial)

Cronograma



Cronograma



# Índice

- 1. Circuitos secuenciales definición
- 2. El reloj
- 3. Falso circuito que memoriza
- 4. Biestables (flip –flops) definición
- 5 Circuitos Combinacionales Típicos
- 6. Registros**
- 7. Contadores



## 6. Registros

Un biestable permite guardar el valor de un bit. Para guardar el valor de una palabra de  $n$  bits serán necesarios  $n$  biestables.

Los registros:

- Son circuitos secuenciales capaces de almacenar varios bits de información.
- Conjuntos de biestables que funcionan al unísono compartiendo sus señales de control.
- La transferencia de información binaria a un registro puede ser de tipo:
  - Serie, cuando los bits se transfieren uno a continuación de otro por una misma línea.
  - Paralelo, cuando todos los bits se transfieren simultáneamente, utilizando tantas líneas como bits.

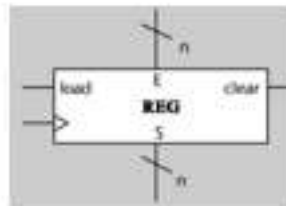
# 6. Registros

Entrada a un registro serie

1			
0	1		
1	0	1	
1	1	0	1

Salida a un registro serie

1	1	0	1
	1	1	0
		1	1
			1



La señal clear sirve para poner el contenido del registro a 0. Es una señal asíncrona, es decir, actúa independientemente del reloj, y es el más prioritario, de forma que cuando está a 1, los  $n$  bits del registro se ponen a 0, independientemente del valor de las otras señales.

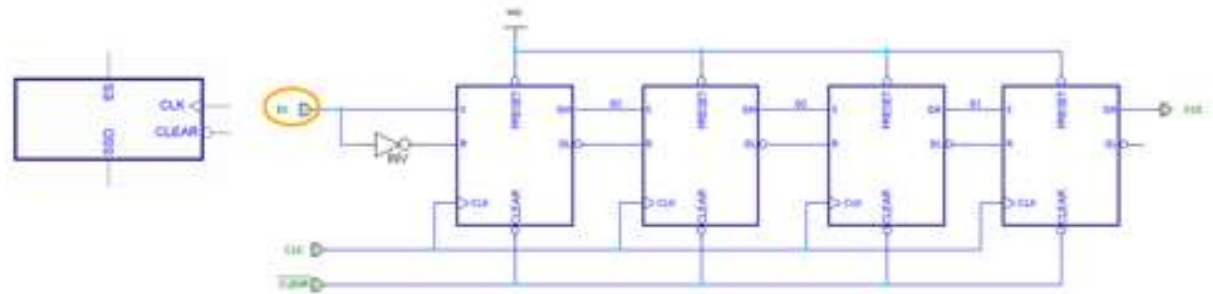
Cuando clear está a 0, entonces los  $n$  biestables que forman el registro se comportan como  $n$  biestables D con señal de carga.

# 6. Registros

Veamos un ejemplo de registro Serie:

Ejemplo: registro de desplazamiento hacia la derecha con biestables SR.

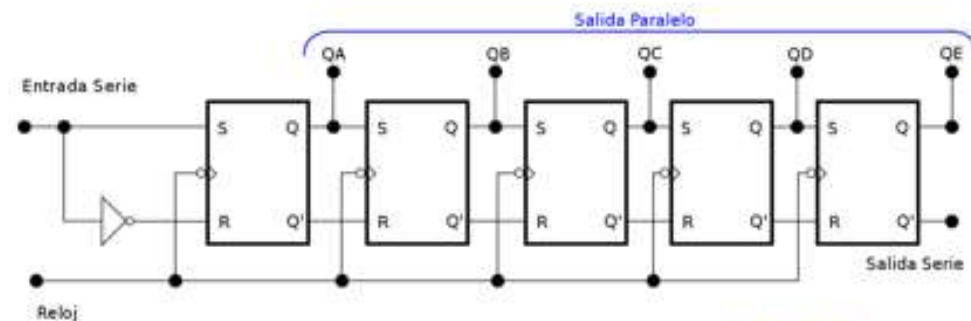
Registro SERIE



# 6. Registros

Ahora otros 2 ejemplos: uno SERIE-PARALELO y otro PARALELO-SERIE

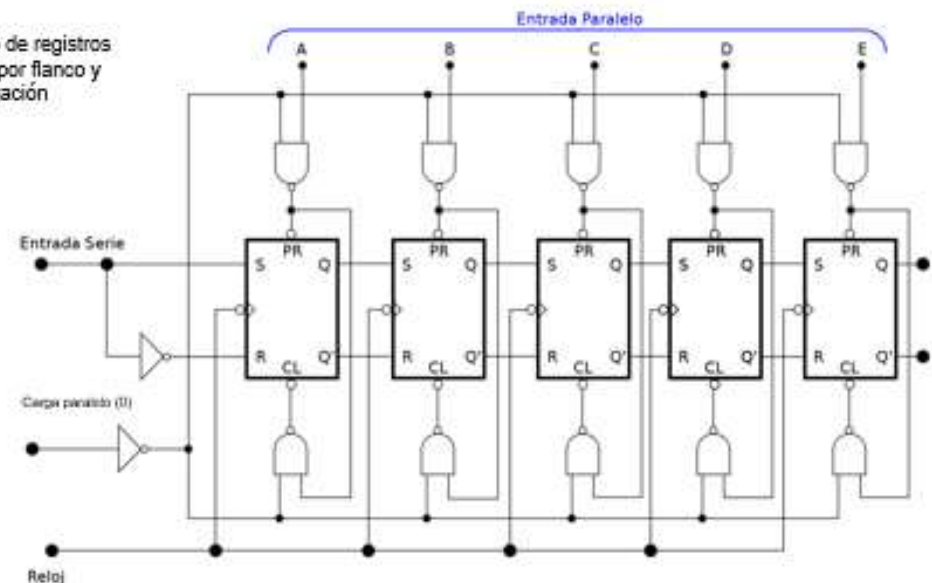
**Registro SERIE-PARALELO** (Se pueden obtener todos los datos a la vez. Por otro lado, también se puede obtener una salida en serie de cualquier salida Q)



Para explicar el funcionamiento de registros síncronos se necesita: disparo por flanco y considerar el retardo de propagación de los biestables

**Registro PARALELO - SERIE**

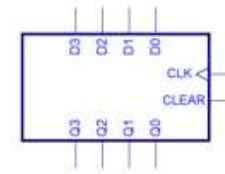
Carga Paralelo (0)  
Preset (A..E=1) y  
Clear (A..E=0)



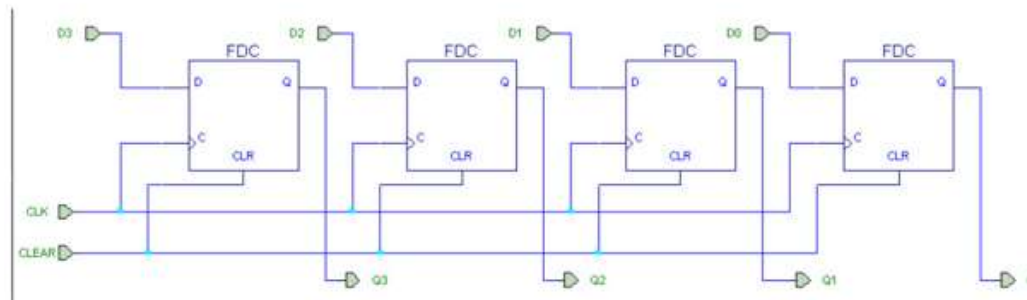
## 6. Registros

Según las conexiones entre los biestables, se tiene un desplazamiento a la izquierda o a la derecha de la información almacenada. Es de señalar que un desplazamiento a la izquierda de un conjunto de bits, multiplica por 2, mientras que uno a la derecha, divide entre 2.

Registro PARALELO - PARALELO



Ejemplo con biestables D síncronos por flanco de subida.



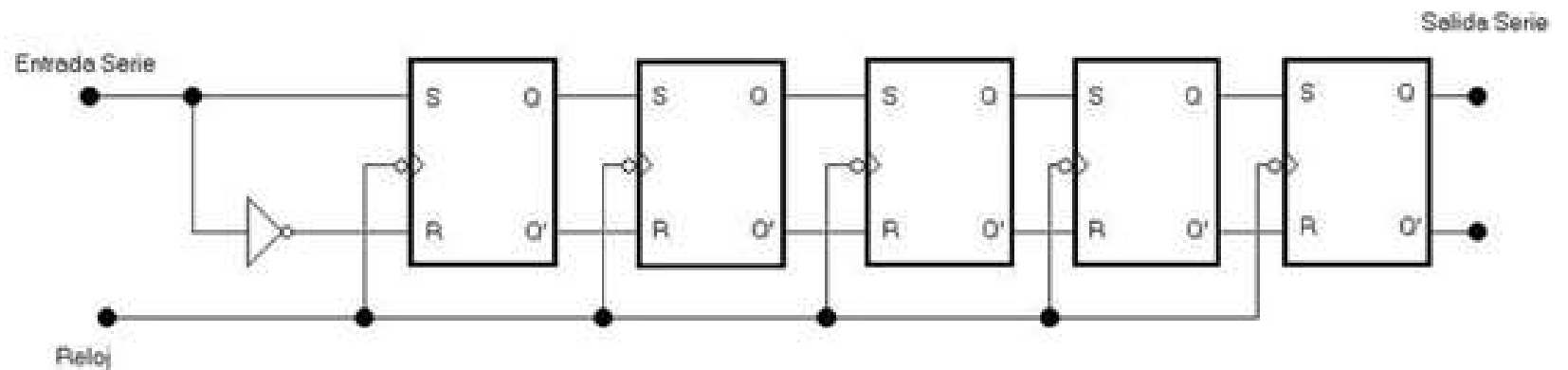
Entrada y salida paralelo-

No están unidos los biestables (Qs con Ds), para poder configurarlos según necesitemos, 2, 3 o 4 etapas

# 6. Registros

## Resumen:

Un registro entrada serie-salida serie, es aquel en el que la transmisión de la información desde la entrada a la salida se realiza bit a bit, por lo que tendrá una sola línea de entrada y una sola línea de salida.



# 6. Registros

## Resumen:

Un registro **entrada serie-salida serie**, es aquel en el que la transmisión de la información desde la entrada a la salida se realiza bit a bit, por lo que tendrá una sola línea de entrada y una sola línea de salida.

Un registro **entrada serie-salida paralelo** es aquel en el cual, la información entra al registro a través de una sola línea de entrada, y sale a través de varias líneas de salida, tantas como biestables conformen el registro, por lo que se podrán utilizar para la conversión de información de formato serie a formato paralelo.

Un registro **entrada paralelo-salida serie** es aquel en el cual, la información entra a través de varias líneas de entrada, tantas como biestables conformen el registro, y salen a través de una sola línea de salida. Por lo que se podrán utilizar para la conversión de información de formato paralelo a formato serie.

Un registro **entrada paralelo-salida paralelo** es aquel en el cual, la información entra y sale a través de varias líneas de entrada y salida, tantas como biestables conformen el registro.

# Índice

1. Circuitos secuenciales definición
2. El reloj
3. Falso circuito que memoriza
4. Biestables (flip –flops) definición
- 5 Circuitos Combinacionales Típicos
6. Registros
- 7. Contadores**



## 7. Contadores

- Un contador es un circuito secuencial que genera una secuencia ordenada de salidas se repite en el tiempo.
- La salida coincide con el estado de sus biestables.
- También se puede ver como una combinación de biestables regidos por una señal de reloj, que aumentan de uno en uno el valor de la salida a cada tick del reloj.
- Se usan para el control de fases de un proceso.

# 7. Contadores

## Tipos de contadores

- Síncronos: todos los biestables comparten la misma señal de reloj, producida por un oscilador
- Asíncronos: no todos los biestables comparten la misma señal de reloj. Se aplica una señal externa a la entrada de reloj del primer biestable y a los siguientes se les aplica como señal de reloj la salida del biestable anterior.
- Ascendente: la cuenta es creciente.
- Descendente: la cuenta es decreciente
- Reversible: la cuenta puede ser ascendente o descendente en función de una entrada de control.

# 7. Contadores

## Ejemplo de contador binario ascendente de 3 bits de salida

- Este circuito puede contar hasta el número 7, es decir, 8 valores ( $2^3$ ). Cuando llegue al último valor volverá a contar desde el principio. Podemos decir que el contador pasa por 8 estados distintos según su salida.

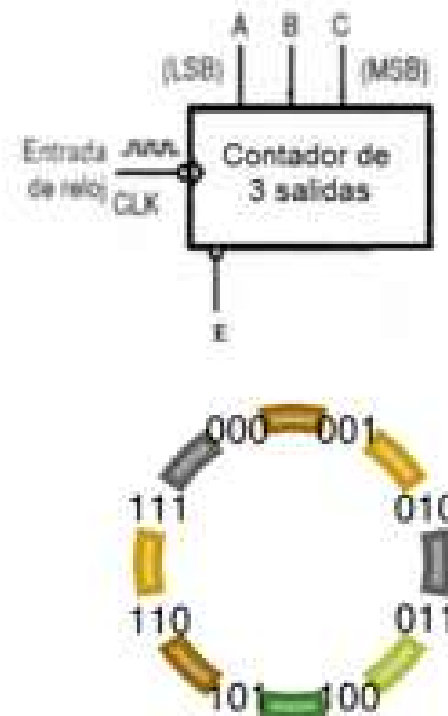
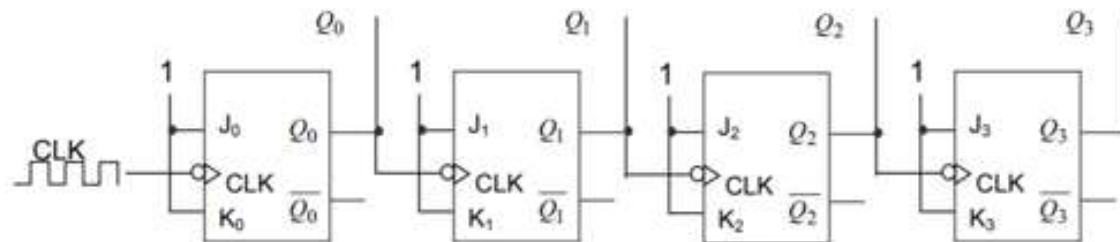


Diagrama de estado de un contador binario de 3 bits

# 7. Contadores

Circuito Ascendente Asíncrono



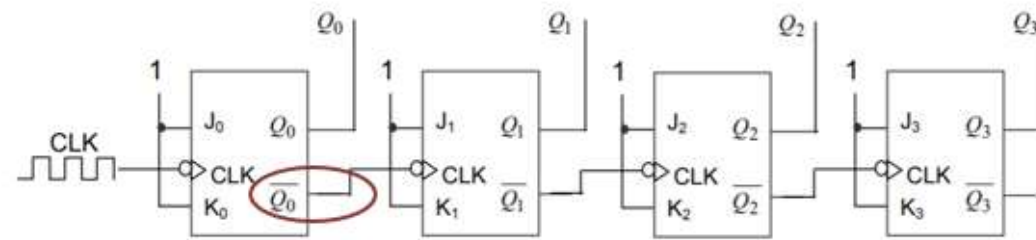
Clock	J	K	$Q_{t+1}$
1	0	0	$Q_t$
1	0	1	0
1	1	0	1
1	1	1	$\bar{Q}_t$

$Q_3$	$Q_2$	$Q_1$	$Q_0$	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

Cada vez que hay un flanco de bajada, la salida se invierte.  
No sucede en paralelo, son secuenciales

# 7. Contadores

Una vez que hemos visto cómo hacer un circuito contador ascendente, ¿cómo haríamos para hacer uno descendiente? En la siguiente imagen se explica pero básicamente consiste en utilizar la salida negada de Q.



Valor inicial 1111

$Q_3$	$Q_2$	$Q_1$	$Q_0$	
1	1	1	1	15
1	1	1	0	14
1	1	0	1	13
1	1	0	0	12
1	0	1	1	11
1	0	1	0	10
1	0	0	1	9
1	0	0	0	8
0	1	1	1	7
0	1	1	0	6
0	1	0	1	5
0	1	0	0	4
0	0	1	1	3
0	0	1	0	2
0	0	0	1	1
0	0	0	0	0