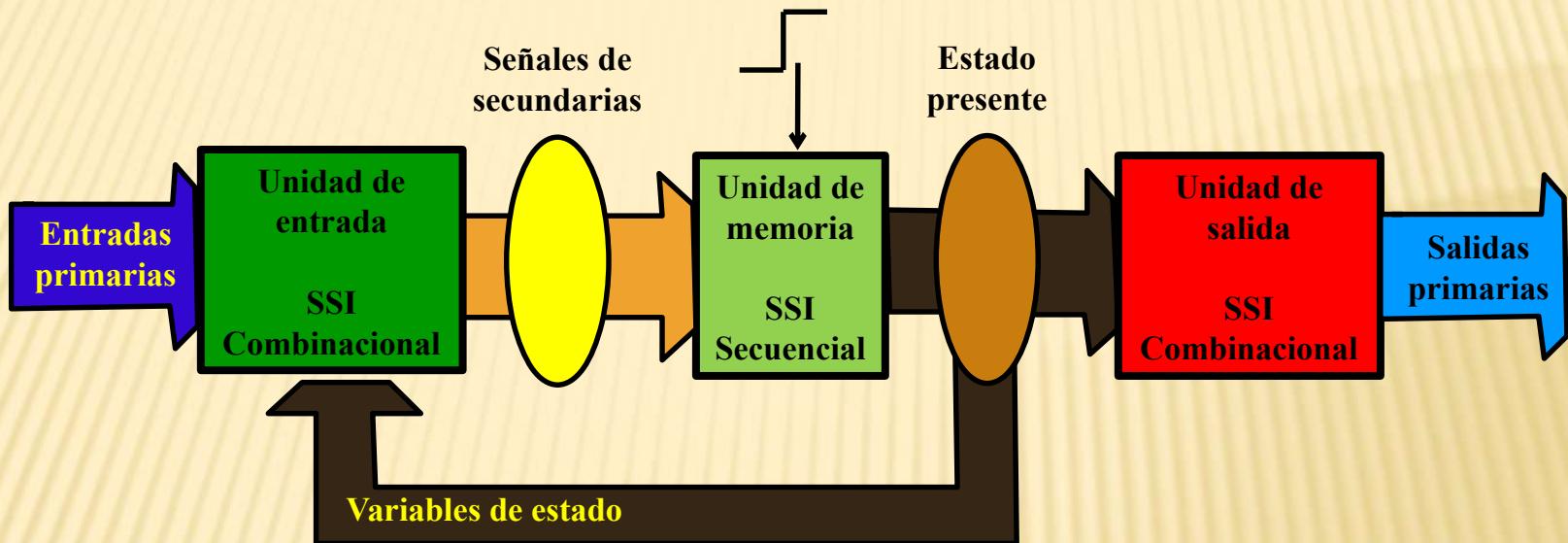


**DISEÑO POR ESTADO**

Procedimiento de diseño que permite definir una estructura lógica, misma que esta conformada por un conjunto de dispositivos interconectados de tal manera que lleva a cabo una secuencia de acciones y decisiones que dan respuesta a un algoritmo de solución de una especificación dada.

La estructura denominada comúnmente “*arquitectura de trabajo*” se conforma de tres bloques esenciales que de acuerdo a su ubicación permite generar todo un conjunto de señales con lo cual se procesan los datos o señales de entrada para generar un conjunto de señales que serán las que se apliquen a otros bloques de un sistema total.

# ARQUITECTURA DE TRABAJO



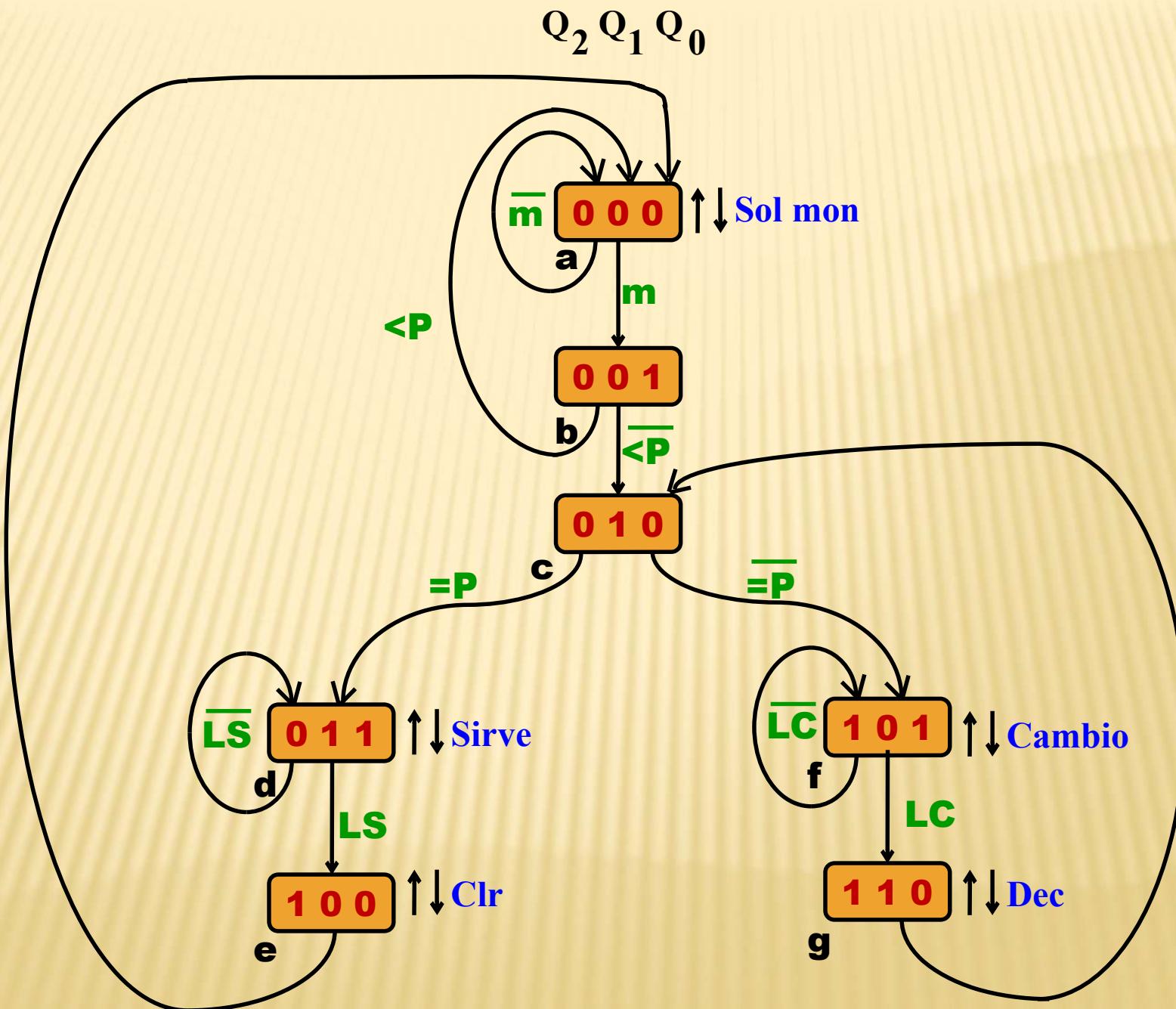
**Entradas primarias:** señales que se aplican a la unidad de control

**Salidas primarias:** señales que se aplican a los bloques que se conectan ala unidad de control .

**Estado presente:** señales que se obtienen de la unidad de memoria y que es el estado a analizar.

**Señales secundarias:** conjunto de señales que se aplican a la unidad de memoria y permiten modificar el estado presente cuando llega la parte activa de la señal de reloj.

**Variables de estado:** señales que se aplican a la unidad de entrada, que en combinación con las entradas primarias permite generar las señales secundarias.

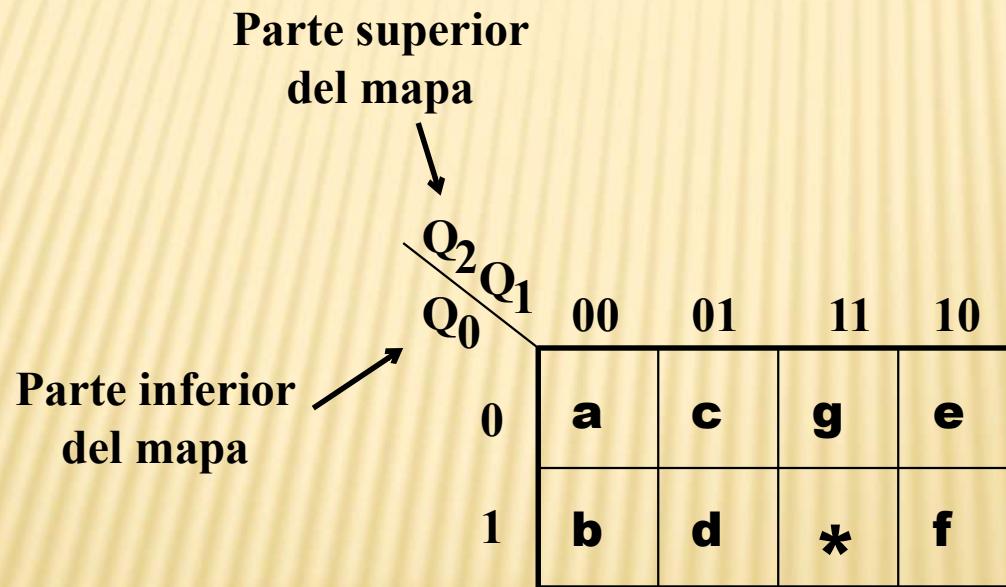


## 2.- Mapa de estados presentes

Tamaño del mapa  $\rightarrow 2^n$  celdas

donde:

n: número de bits que conforman el código de estado



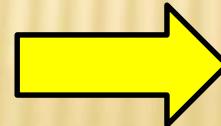
### 3.- Mapa de acción

$\bar{Q}_2$	$\bar{Q}_1$	00	01	11	10
$\bar{Q}_0$	0	$m \ 000$	$\bar{P} \ 101$	$010$	$000$
	1	$m \ 001$	$=P \ 011$	*	
	0	$\bar{P} \ 010$	$\bar{LS} \ 011$		$\bar{LC} \ 101$
	1	$\bar{P} \ 000$	$LS \ 100$		$LC \ 110$

### 4.- Tipo y No. de Flip Flop ha utilizar

3 FF's Tipo D

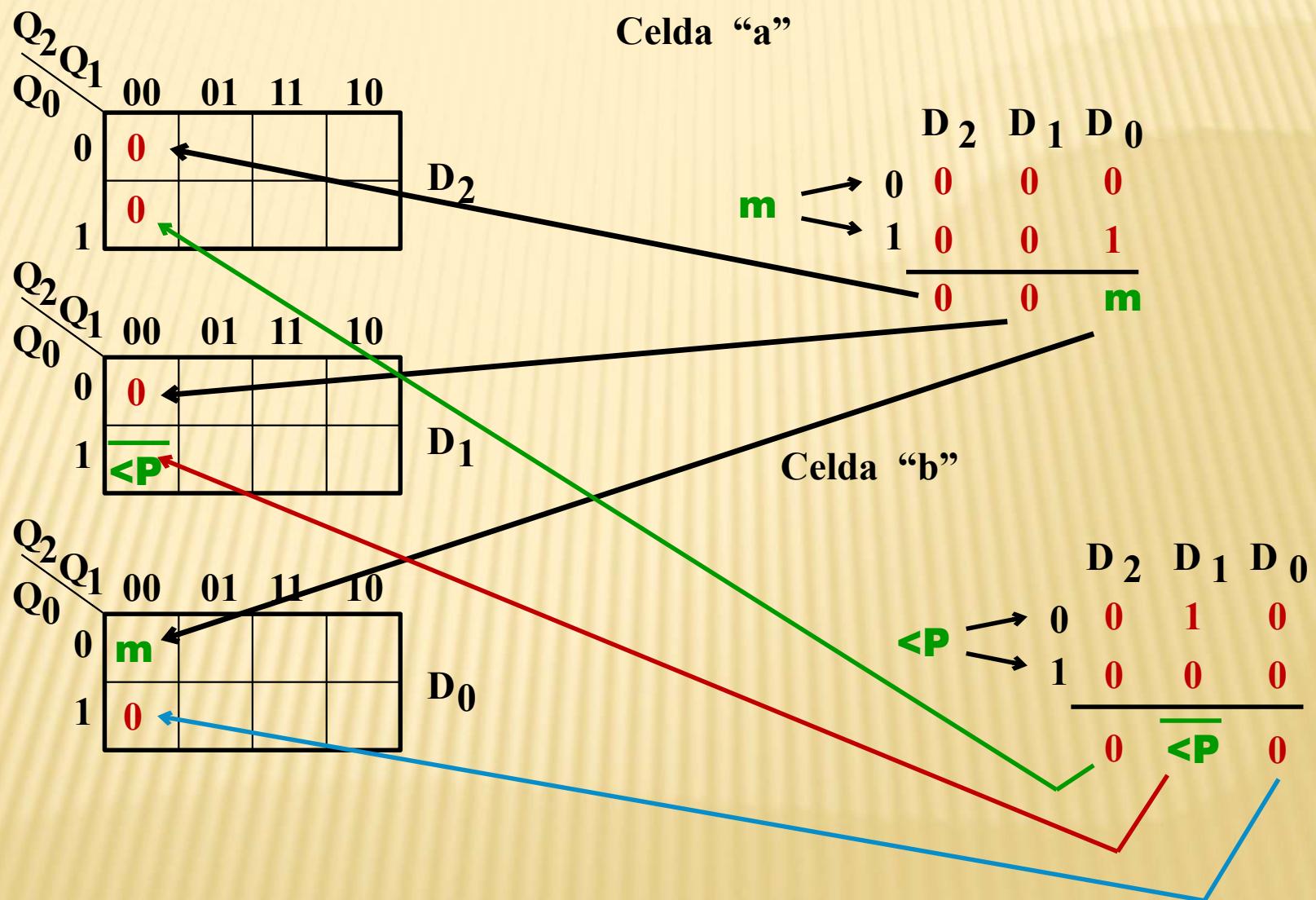
2<sup>a</sup> Ec. de diseño  
del FF "D"



$Q^t$	$Q^{t+1}$	D
0	0	0
0	1	1
1	0	0
1	1	1

## 5.- Mapa de excitación

Aplicando el método de suma variable para la:



## Celda “c”

$Q_2 Q_1 Q_0$	00	01	11	10
0	0	=P		
1	0	LS		

$$=P \rightarrow \begin{array}{cccc} D_2 & D_1 & D_0 \\ 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 1 \end{array}$$

$$\underline{\quad =P \quad =P \quad 1}$$

$Q_2 Q_1 Q_0$	00	01	11	10
0	0	=P		
1	<P	LS		

$D_2$

$D_1$

$D_0$

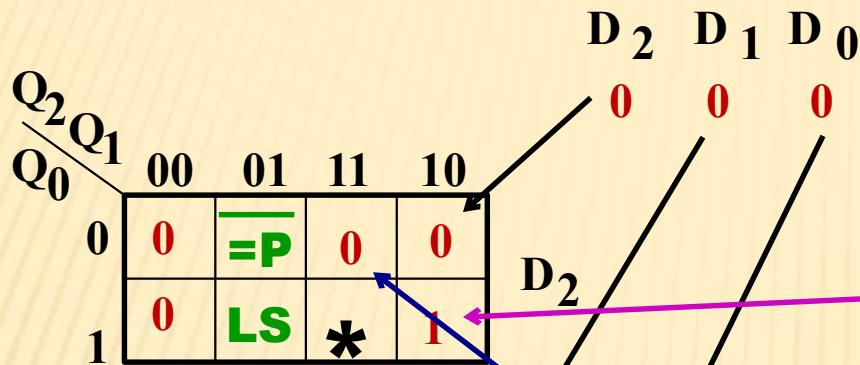
## Celda “d”

$Q_2 Q_1 Q_0$	00	01	11	10
0	m	1		
1	0	LS		

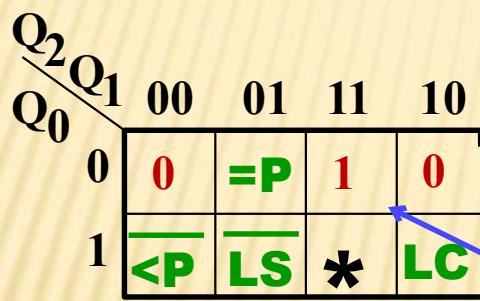
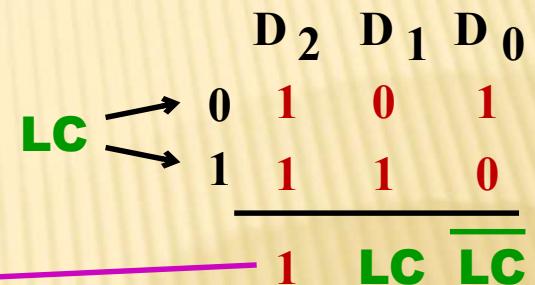
$$LS \rightarrow \begin{array}{cccc} D_2 & D_1 & D_0 \\ 0 & 0 & 1 & 1 \\ 1 & 1 & 0 & 0 \end{array}$$

$$\underline{\quad LS \quad LS \quad LS}$$

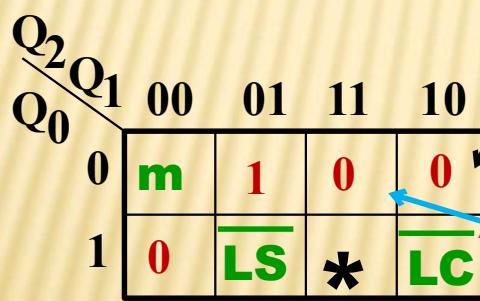
Celda “e”



Celda “f”



Celda “g”



## 6.- Ecuaciones de excitación

$Q_2 \backslash Q_1 \backslash Q_0$	00	01	11	10
0	0 (=P)	0	0	
1	0 (LS)	*	1	

$$D_2 = Q_2 Q_0 + \overline{Q}_2 Q_1 \overline{Q}_0 (=P) + Q_1 Q_0 (LS)$$

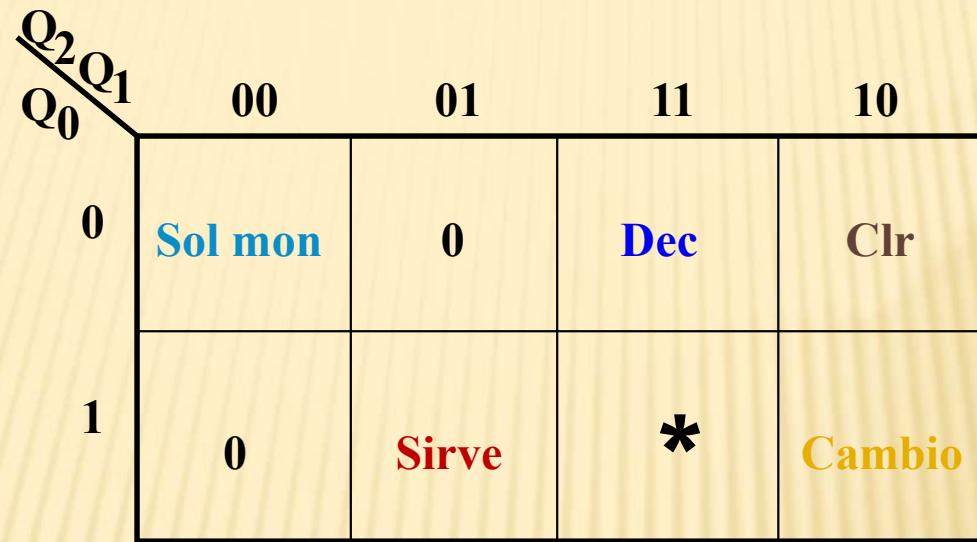
$Q_2 \backslash Q_1 \backslash Q_0$	00	01	11	10
0	0 (=P)	1	0	
1	<P>	LS	*	LC

$$D_1 = Q_2 Q_0 (LC) + Q_1 Q_0 (\overline{LS}) + \overline{Q}_2 Q_1 \overline{Q}_0 (=P) + \overline{Q}_2 \overline{Q}_1 \overline{Q}_0 (<P>) + Q_2 Q_1$$

$Q_2 \backslash Q_1 \backslash Q_0$	00	01	11	10
0	m 1	0	0	
1	0 (LS)	*	LC	

$$D_0 = Q_1 Q_0 (\overline{LS}) + \overline{Q}_2 Q_1 \overline{Q}_0 + Q_2 Q_0 (\overline{LC}) + \overline{Q}_2 \overline{Q}_0 (m)$$

## 7.- Mapa de salidas



## 8.- Ecuaciones de salidas

$$\text{Sol mon.} = \overline{Q_2} \overline{Q_1} \overline{Q_0}$$

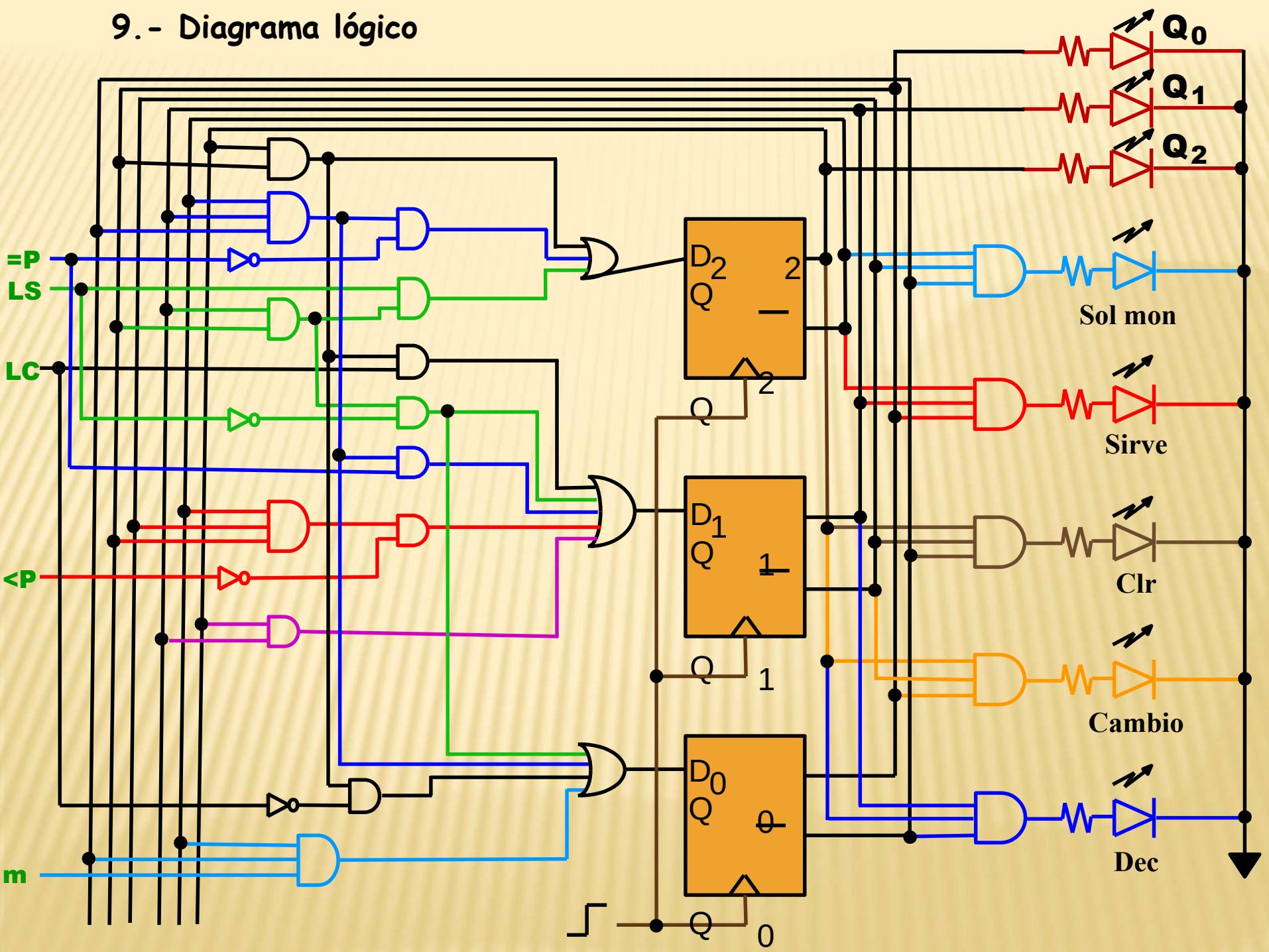
$$\text{Sirve} = \overline{Q_2} Q_1 Q_0$$

$$\text{Clr} = Q_2 \overline{Q_1} \overline{Q_0}$$

$$\text{Cambio} = Q_2 \overline{Q_1} Q_0$$

$$\text{Dec} = Q_2 Q_1 \overline{Q_0}$$

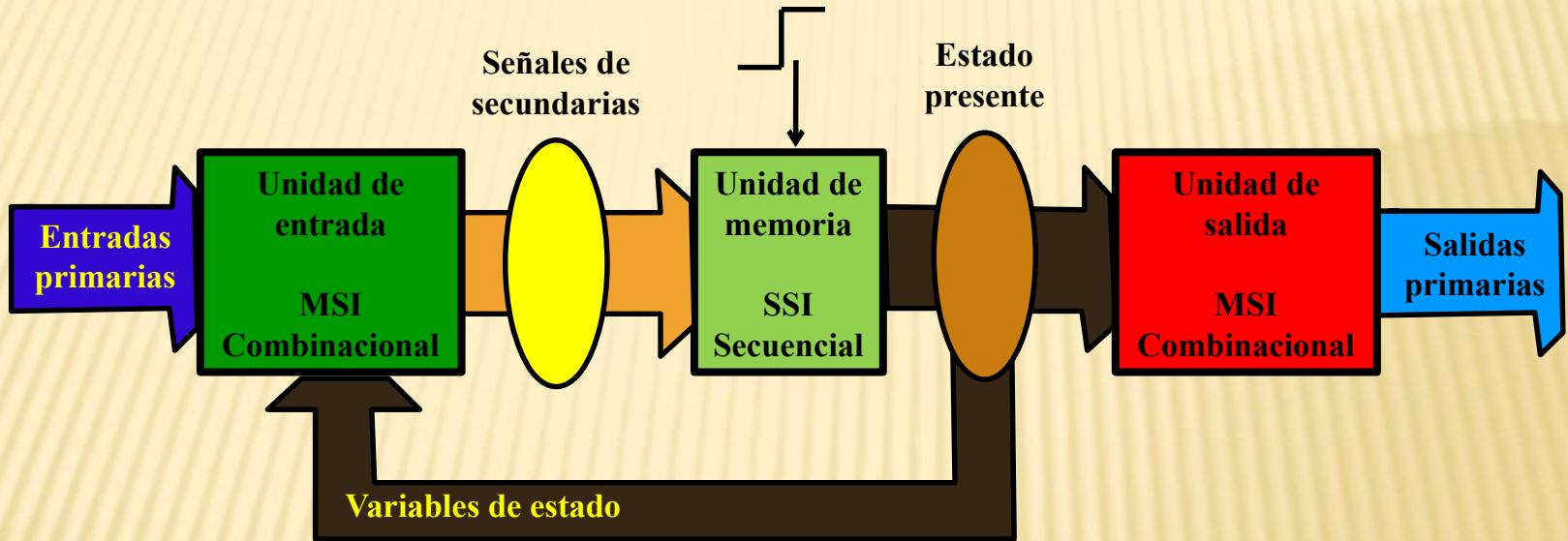
## 9.- Diagrama lógico



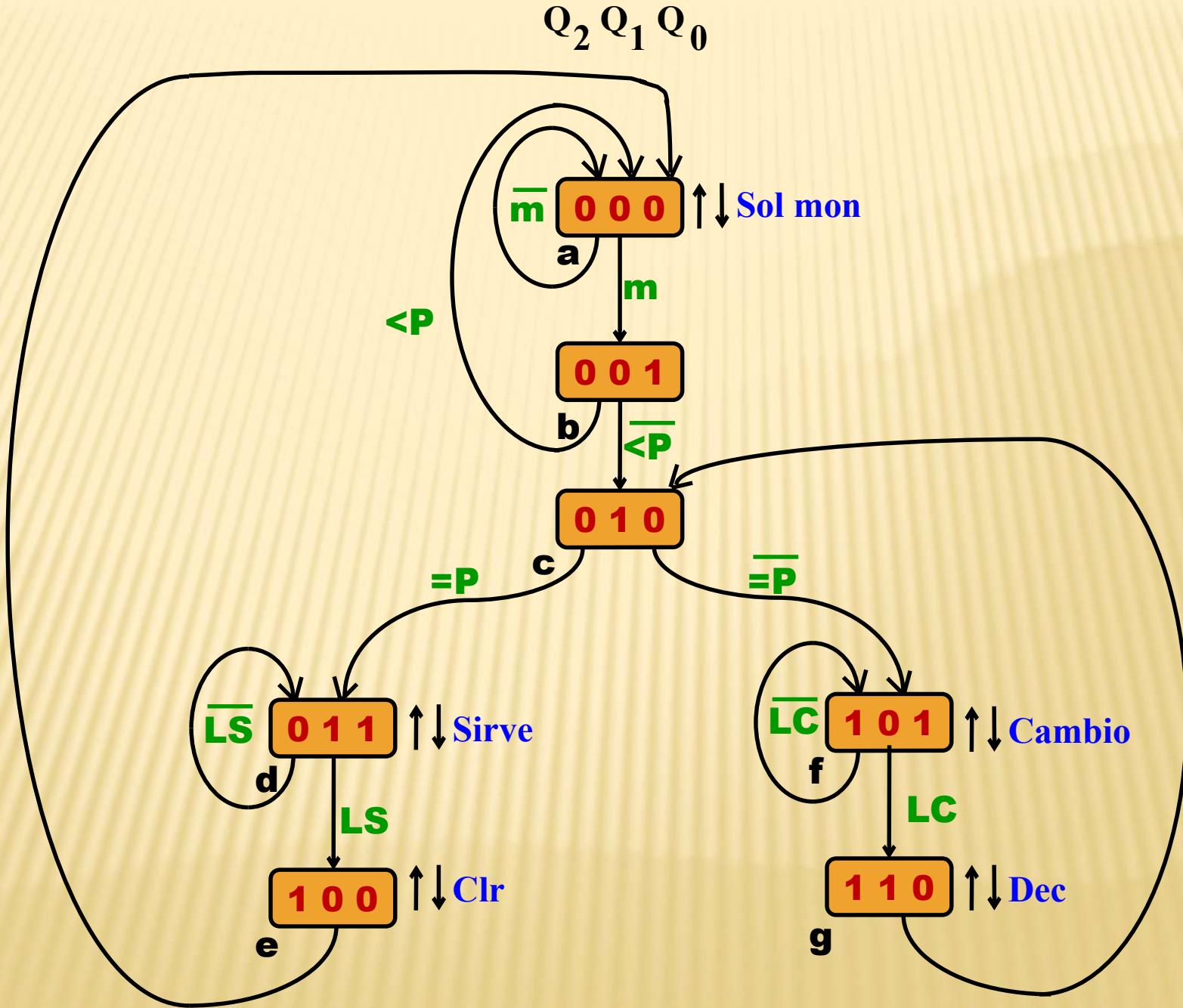
**DISEÑO MULTIPLEXADO**

Procedimiento muy similar al diseño por estado, su diferencia con respecto a este último es que las unidades de entrada y salida están conformadas por dispositivos MSI y se utiliza como memoria a un conjunto de  $n$  Flip-flop's tipo "D"

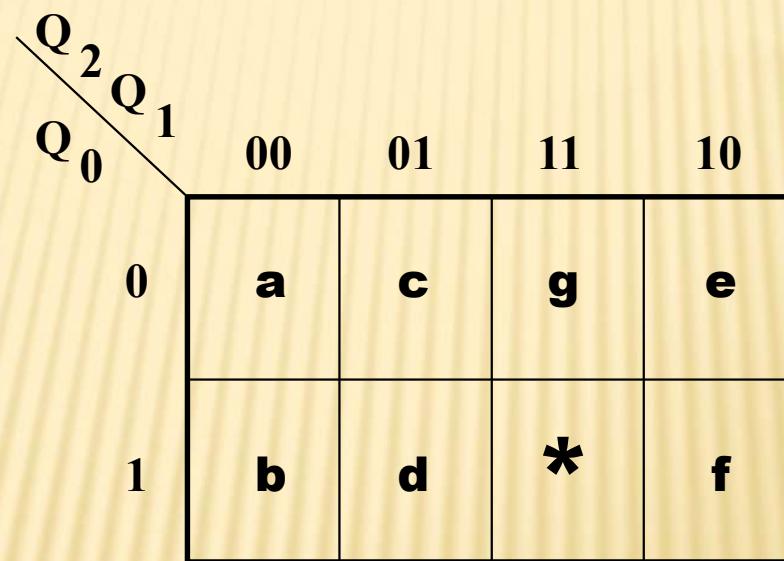
# ARQUITECTURA DE TRABAJO



En esta arquitectura de trabajo, el estado siguiente está determinado como una función del estado interno actual y de las entradas primarias que se aplican a los multiplexores. Y por su parte, las salidas sólo dependen del estado interno actual.



## 2.- Mapa de estados presentes



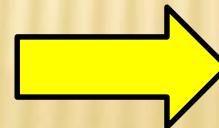
### 3.- Mapa de acción

	$\bar{Q}_2 Q_1$	00	01	11	10
$\bar{Q}_0$	0	$m \ 000$	$\bar{P} \ 101$	$010$	$000$
1	0	$m \ 001$	$=P \ 011$		
	1	$\bar{P} \ 010$	$\bar{L}S \ 011$	*	$\bar{L}C \ 101$
	1	$\bar{P} \ 000$	$LS \ 100$		$LC \ 110$

### 4.- Tipo y No. de Flip Flop ha utilizar

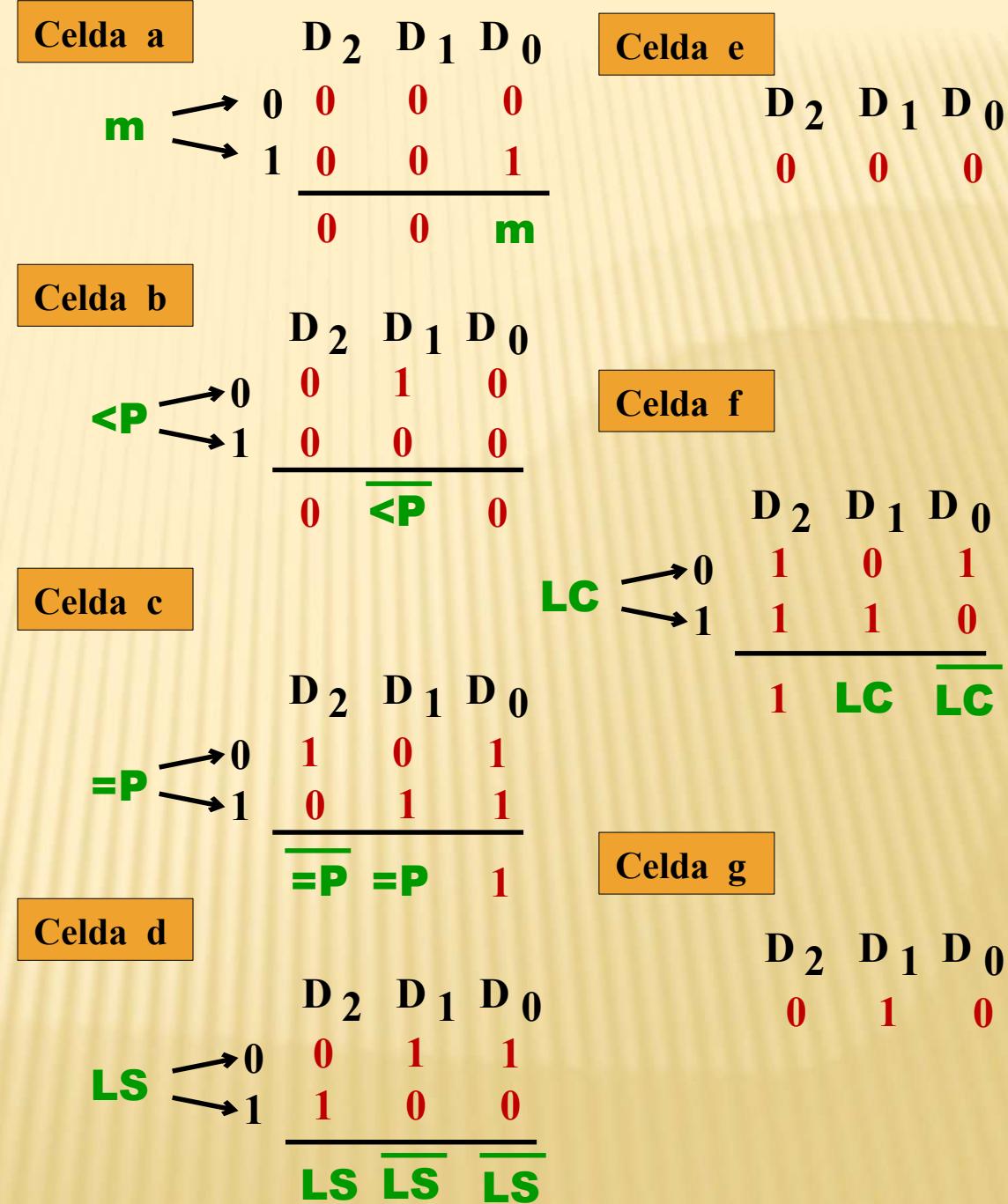
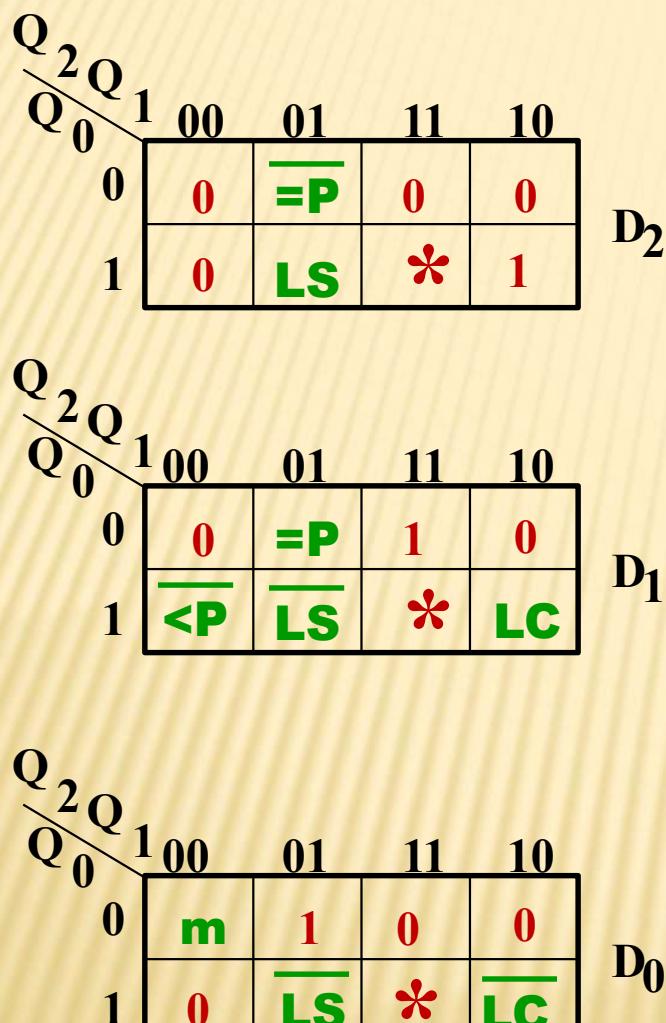
3 FF's Tipo D

2<sup>a</sup> Ec. de diseño  
del FF "D"

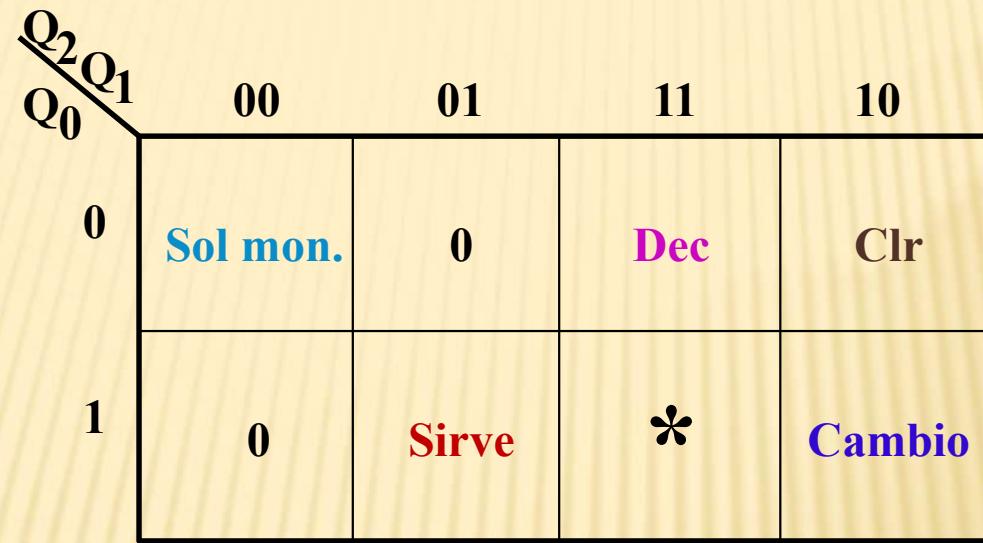


$Q^t$	$Q^{t+1}$	D
0	0	0
0	1	1
1	0	0
1	1	1

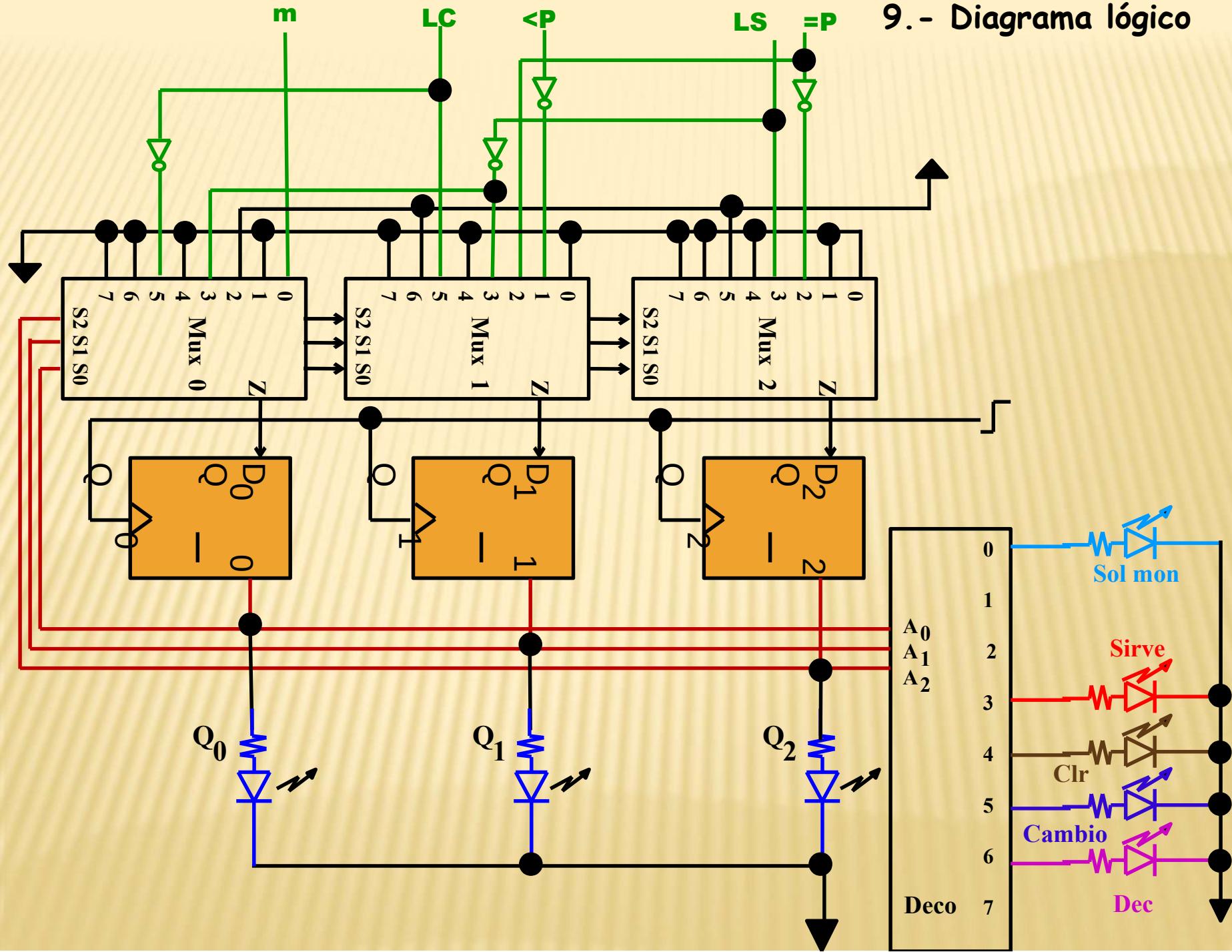
## 5.- Mapa de excitación



## 7.- Mapa de salidas



## 9.- Diagrama lógico



DISEÑO POR CONTADOR

Técnica empleada para implementar controladores digitales de mediana complejidad, debido principalmente a la facilidad con la que se tratan las señales de entrada y salida. En este tipo de diseño se utiliza un contador universal como dispositivo central.



El IC tipo 74161 es un contador binario síncrono de 4-bit con carga paralela y despeje asíncrono.

**Es un contador binario módulo 16 con lo que permite implementar autómatas de 16 estados**

**Se polariza con 5 Volt. Las terminales de polarización se denotan como Vcc y GND.**

**Terminal de entrada de reloj que se utiliza para sincronizar cada una de sus operaciones. Esta se denota por CLK o CP.**

**Cuenta con 3 líneas entrada de modo de control, mismas que se denotan como: CEP, CET y PE.**

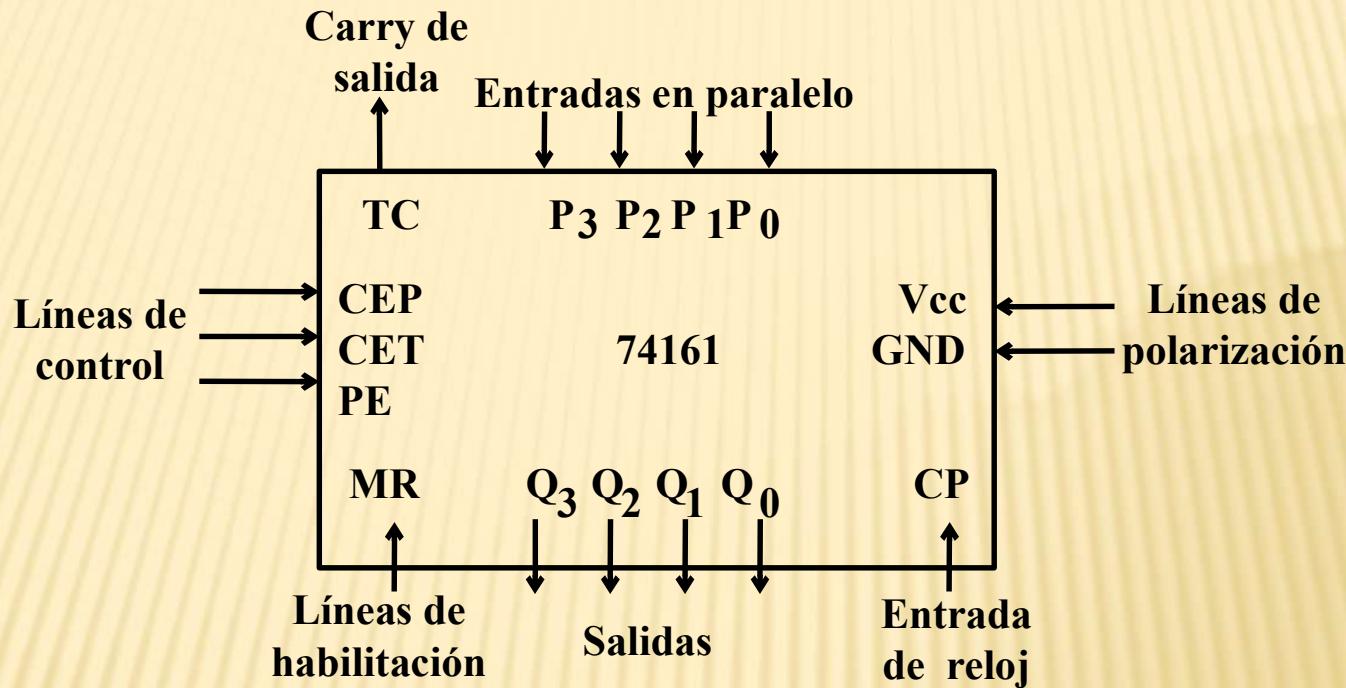
**Dispone de 4 terminales de salidas, estas se denotadas por Q3, Q2, Q1 y Q0, donde la terminal de salida Q3 es la más significativa y Q0 la menos significativa.**

**Cuenta con 4 terminales de entradas en paralelo, mismas que están denotadas como P3, P2, P1 y P0. La entrada en paralelo P3 es la entrada más significativa y P0 la menos significativa.**

**Cuenta con una terminal de habilitación denotada por MR o R, con la cual se restablece o reinicializa al contador.**

**Cuenta con una terminal con la que pueden conectar contadores en cascada, esta se denota por TC.**

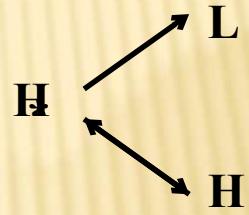
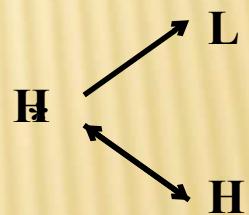
# Contador universal 74161



MR	PE	CEP	CET	ACCION
L	*	*	*	RESET
H	L	*	*	CARGA
H	H	H	H	CUENTA
H	H	L	*	HOLD
H	H	*	L	HOLD



CEP	PE	ACCION
*	L	CARGA
L	H	HOLD
H	H	CUENTA

	<b>PE</b>	<b>CEP</b>	<b>CET</b>
<b>CARGA</b>	L	*	
<b>CUENTA</b>	H	H	H
<b>HOLD</b>	H	L	

# NEMONICOS

1. **Retener:** El valor presente en las salidas del contador no se ve alterado cuando se presenta la parte activa de la señal de reloj.

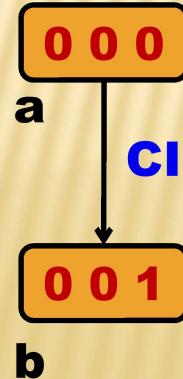
**Hold (HD)**

$$\begin{array}{cccc} Q_3 & Q_2 & Q_1 & Q_0 \\ \downarrow & \downarrow & \downarrow & \downarrow \\ q_3 & q_2 & q_1 & q_0 \end{array}$$

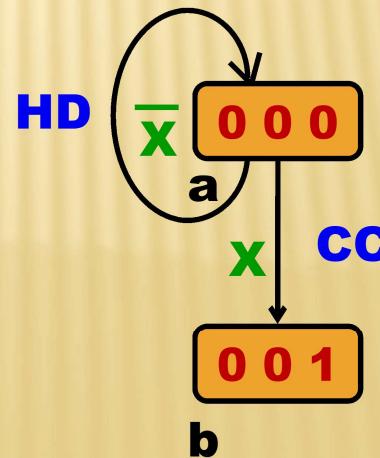
2. **Cuenta:** El estado presente en las salidas del contador se incrementa en una unidad con cada pulso de reloj.

$$\begin{array}{cccc} Q_3 & Q_2 & Q_1 & Q_0 \\ \downarrow & \downarrow & \downarrow & \downarrow \\ q_3 & q_2 & q_1 & q_0 + 1 \end{array}$$

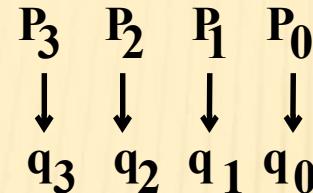
**Cuenta Incondicional (CI)**



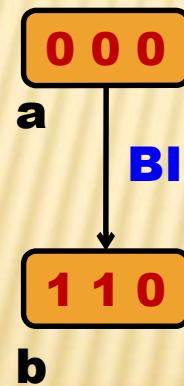
**Cuenta Condicional (CC)**



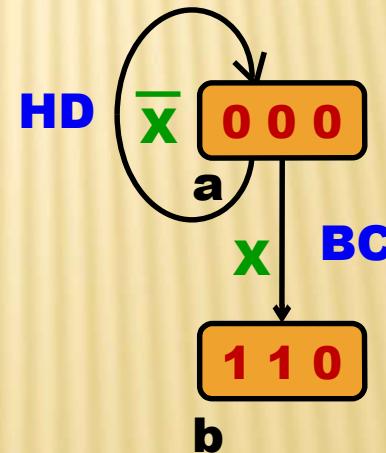
3. **Carga:** Las salidas del contador toman el valor presente de las entradas en paralelo, esto sucede solo cuando se presenta la parte activa de la señal de reloj.



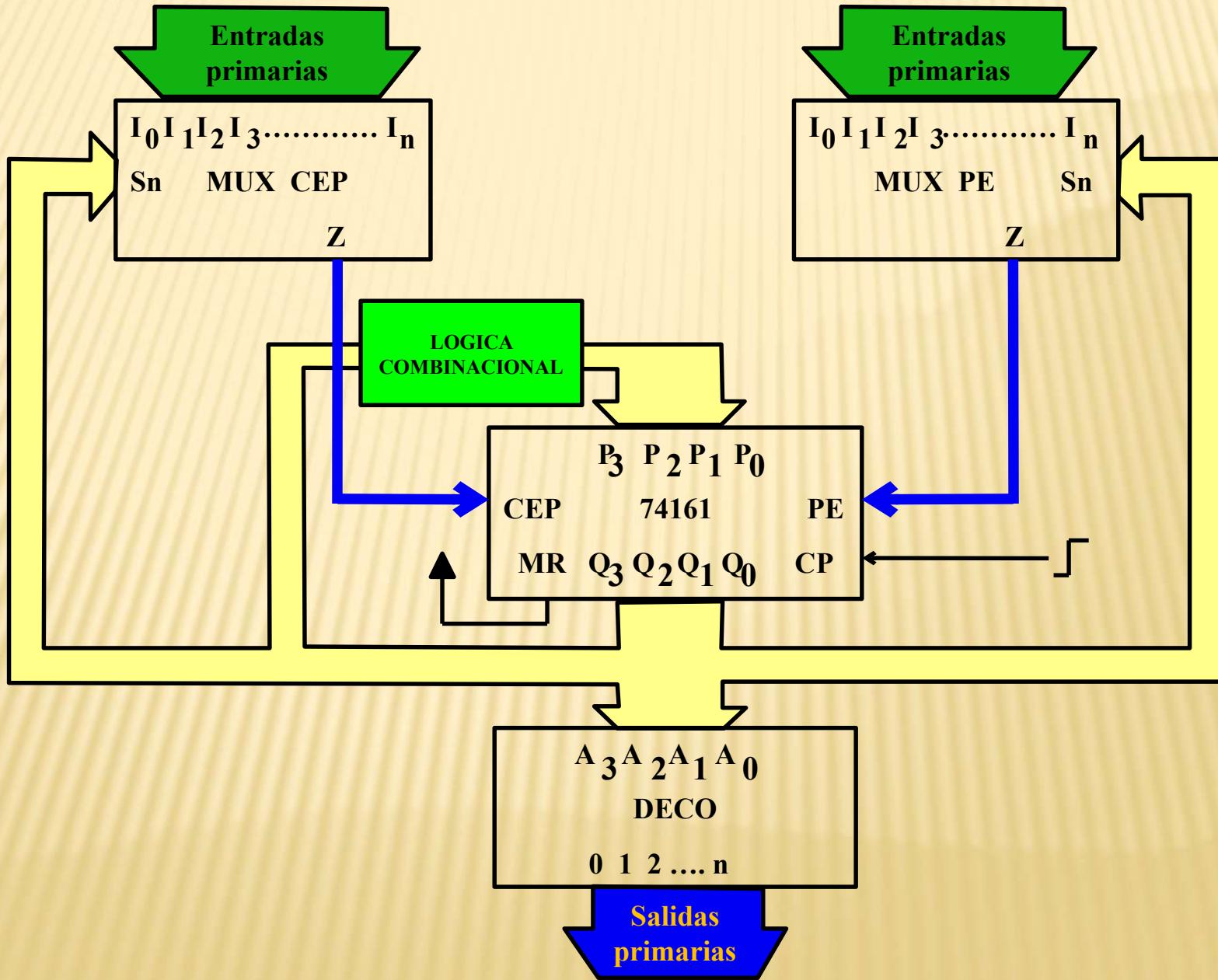
### Brinco Incondicional (BI)

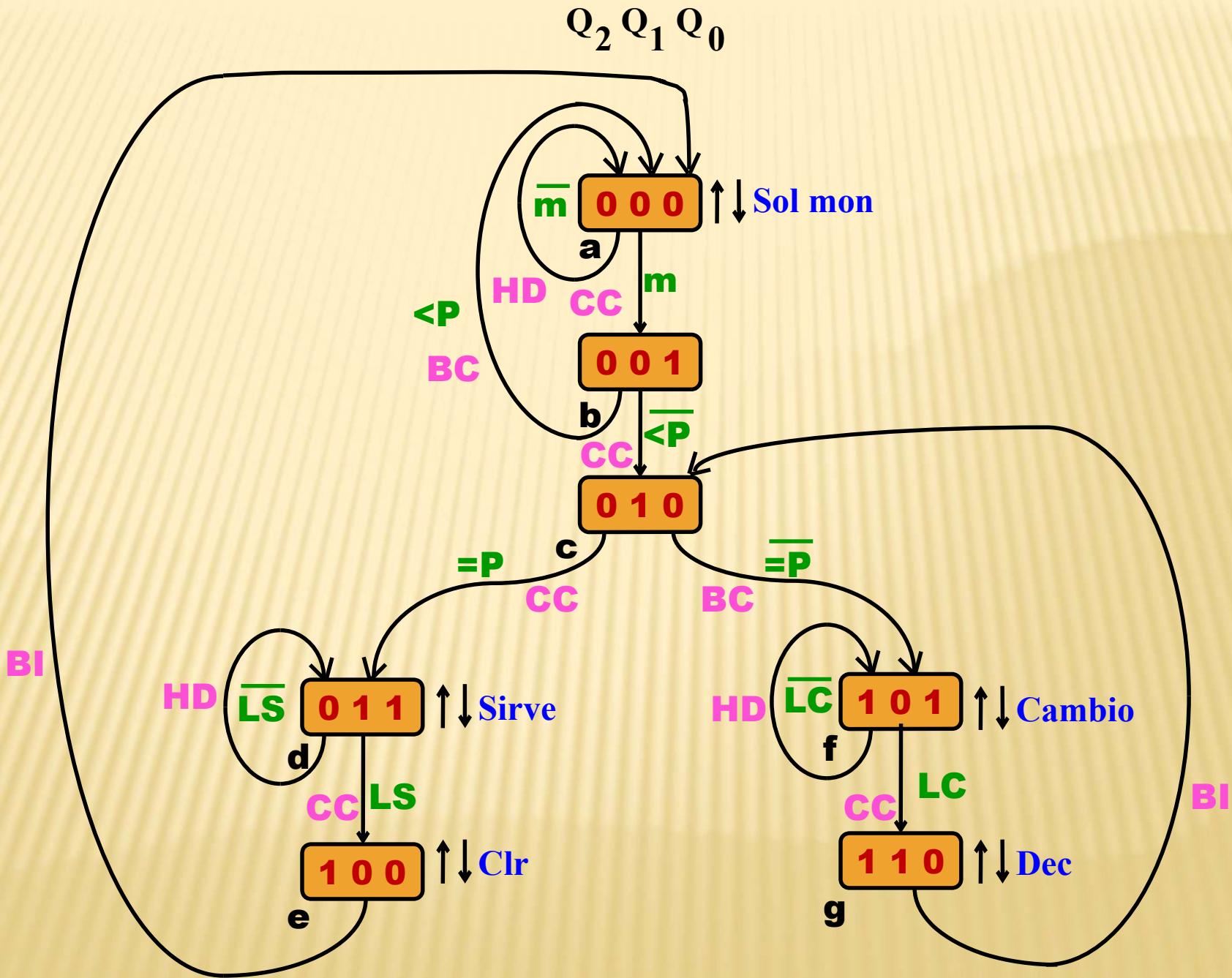


### Brinco Condicional (BC)

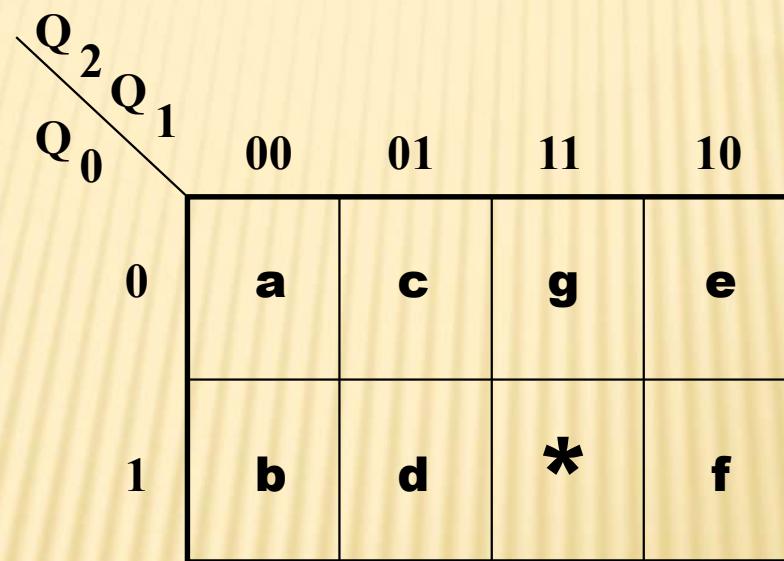


# ARQUITECTURA DE TRABAJO





### 3.- Mapa de estados presentes



#### 4.- Mapa de acción

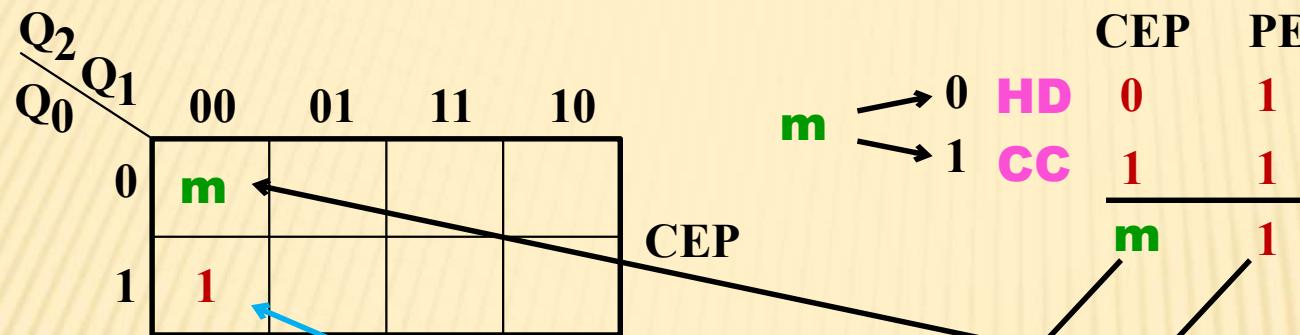
$\overline{Q_2} \overline{Q_1}$	00	01	11	10
0	$\overline{m} \text{ HD } 000$	$\overline{=P} \text{ BC } 101$	$BI$ 010	$BI$ 000
1	$m \text{ CC } 001$	$=P \text{ CC } 011$		
	$\overline{<P} \text{ CC } 010$	$\overline{LS} \text{ HD } 011$		$\overline{LC} \text{ HD } 101$
	$<P \text{ BC } 000$	$LS \text{ CC } 100$	*	$LC \text{ CC } 110$

#### 5.- Tabla de funcionamiento del 74161

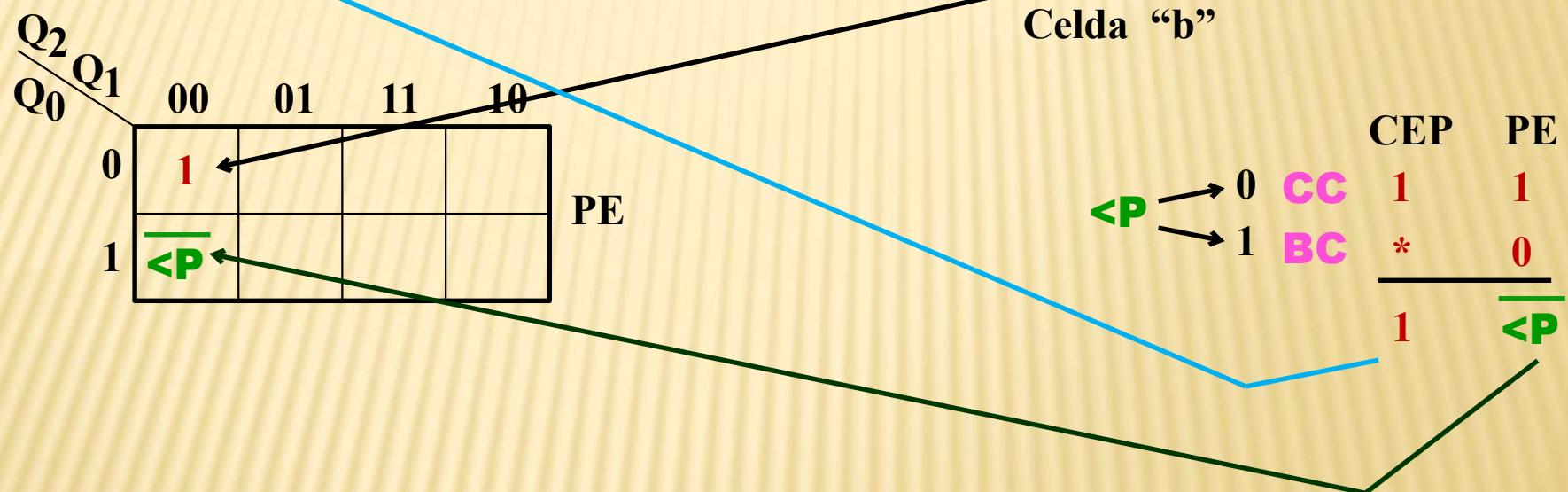
CEP	PE	ACCION
*	L	CARGA
L	H	HOLD
H	H	CUENTA

## 6.- Mapa de control

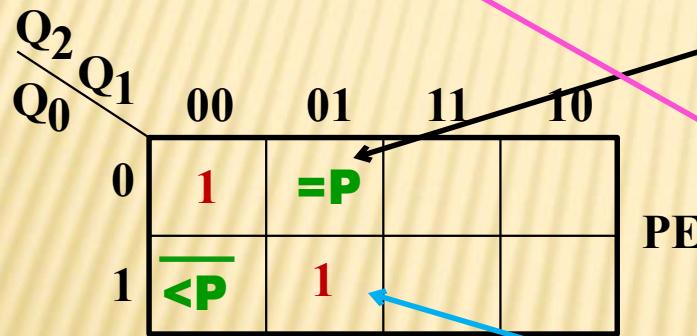
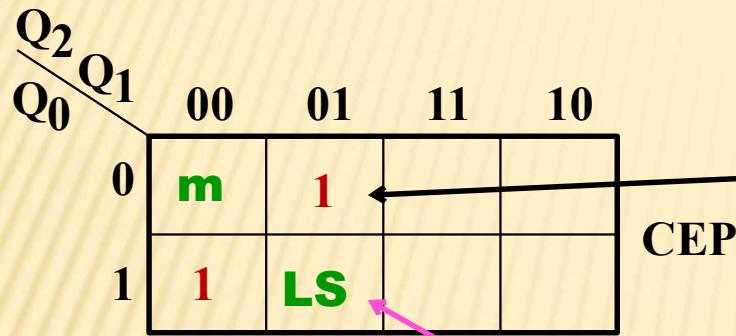
Celda “a”



Celda “b”



### Celda "c"

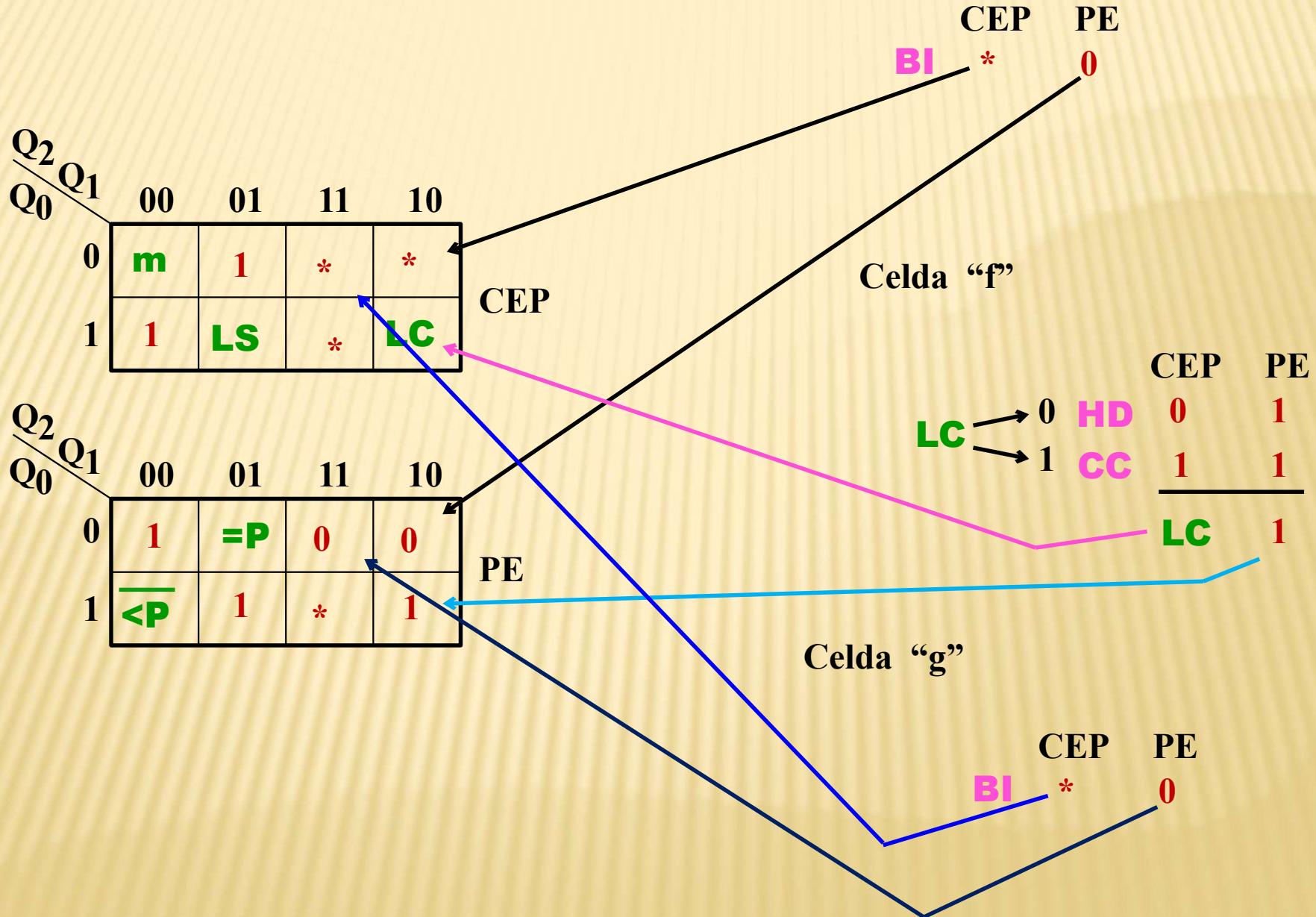


CEP	PE
0	*
1	1
<b>=P</b>	<b>1</b>

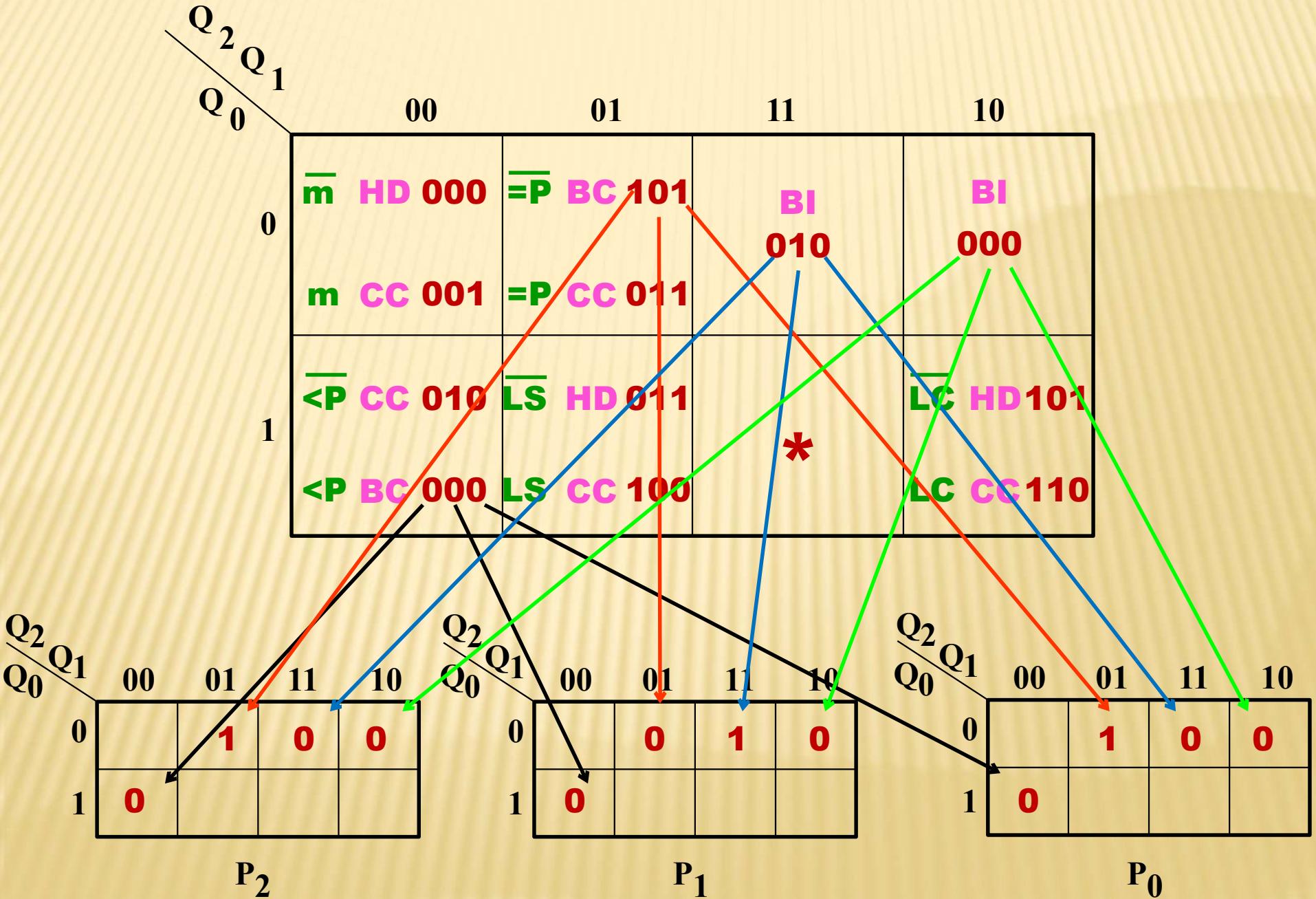
### Celda "d"

CEP	PE
0	0
1	1
<b>LS</b>	<b>1</b>
<b>LS</b>	<b>1</b>

# Celda “e”



## 7.- Mapa de entradas en paralelo



## 8.- Ecuaciones de entradas en paralelo

$\overline{Q_2} \overline{Q_1}$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
$Q_0$	00	01	11	10
0	*	1	0	0
1	0	*	*	*

$$P_2 = \overline{Q_2} Q_1$$

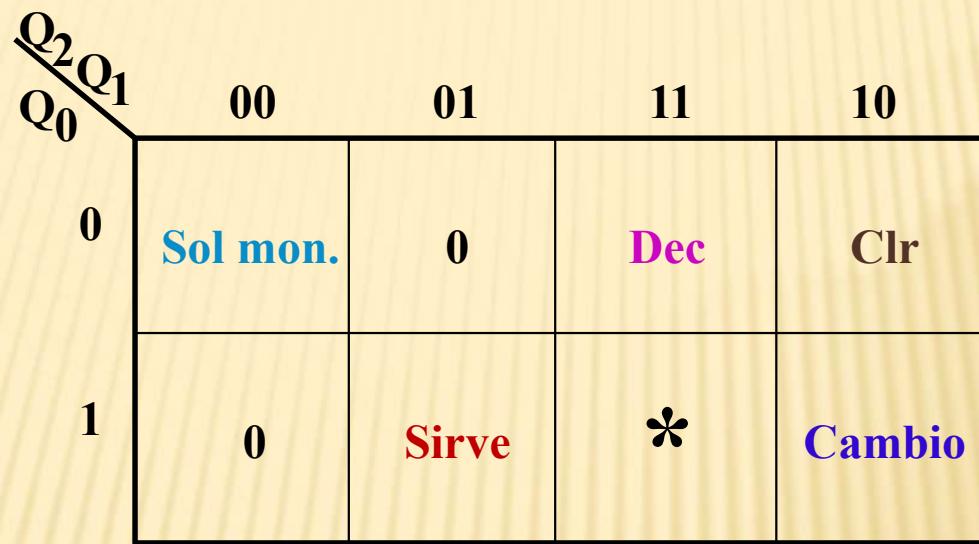
$\overline{Q_2} \overline{Q_1}$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
$Q_0$	00	01	11	10
0	*	0	1	0
1	0	*	*	*

$$P_1 = Q_2 Q_1$$

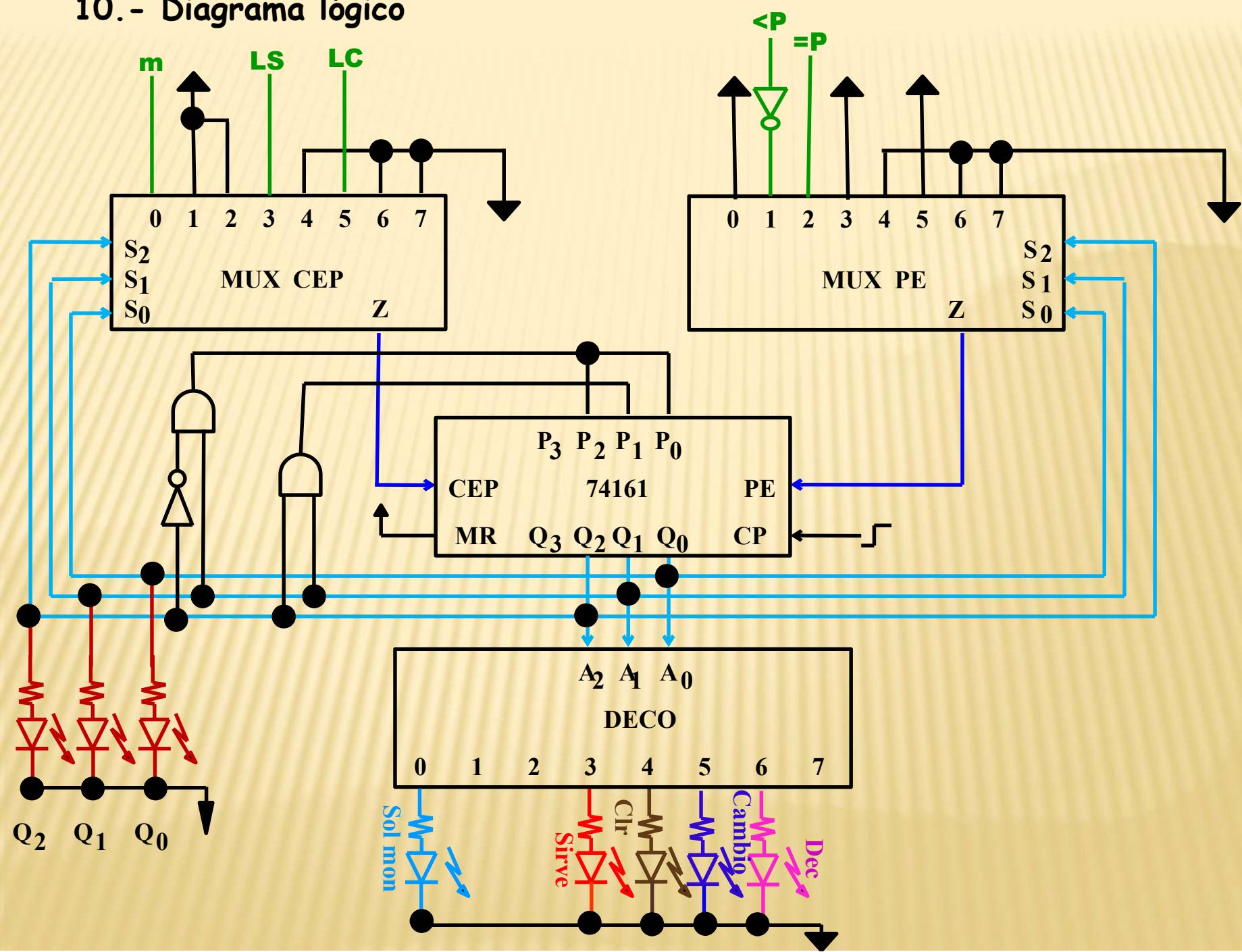
$\overline{Q_2} \overline{Q_1}$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
$Q_0$	00	01	11	10
0	*	1	0	0
1	0	*	*	*

$$P_0 = \overline{Q_2} Q_1$$

## 9.- Mapa de salidas



## 10.- Diagrama lógico



**DISEÑO POR REGISTRO**

Técnica que permite implementar controladores digitales de mediana complejidad, dada la forma en que pueden manipularse las señales de entrada y con ello ser procesadas y generar los resultados correspondientes. En este tipo de diseño se utiliza un registro universal como dispositivo central.

El tipo 74194 es un registro universal síncrono de 4-bit que permite llevar a cabo cuatro acciones básicas y un despeje asíncrono.



Registro binario universal módulo 16 con lo permite implementar autómatas de 16 estados

Se polariza con 5 Volt. Las terminales de polarización se denotan como Vcc y GND.

Terminal de entrada de reloj que se utiliza para sincronizar cada una de sus operaciones. Esta se denota por CLK o CP.

Cuenta con 2 líneas entrada de modo de control, mismas que se denotan como: S0 y S1

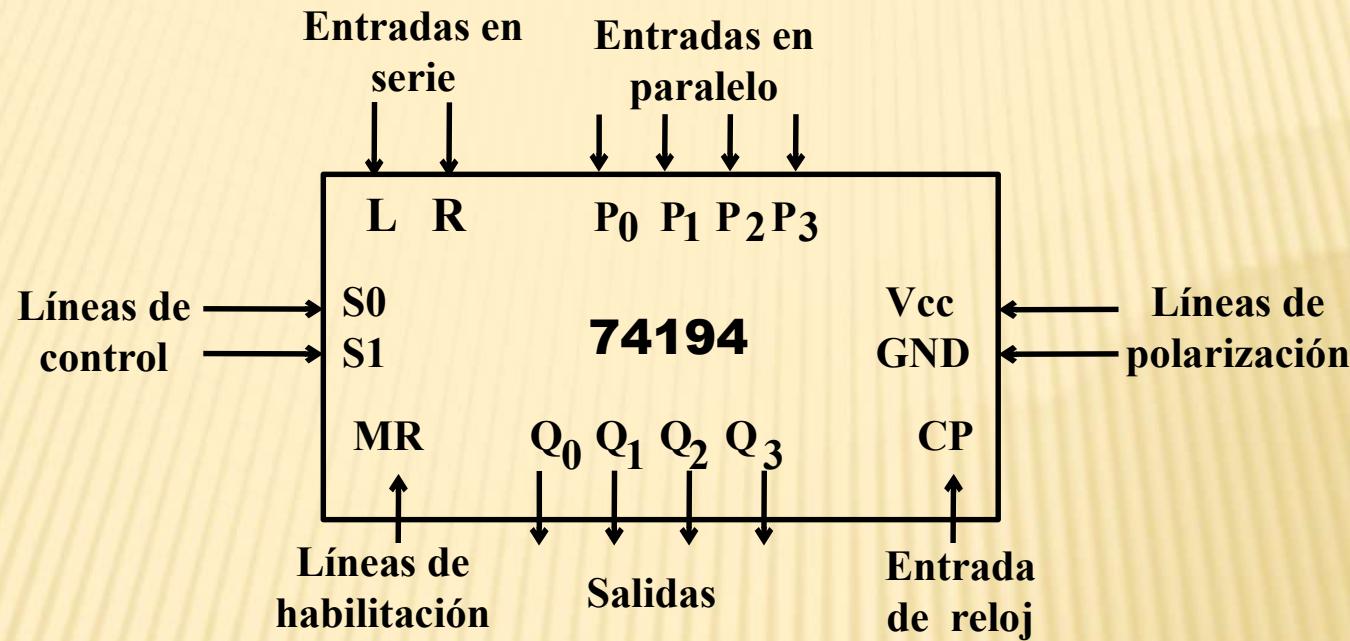
Dispone de 4 terminales de salidas, estas se denotadas por Q0, Q1, Q2 y Q3, donde la terminal de salida Q0 es la más significativa y Q3 la menos significativa.

Cuenta con 4 terminales de entradas en paralelo, mismas que están denotadas como P0, P1, P2 y P3. La entrada en paralelo P0 es la entrada más significativa y P3 la menos significativa.

Cuenta con una terminal de habilitación denotada por MR o R, con la cual se restablece o reinicializa al registro.

Cuenta con dos entradas en serie denotadas como L y R que se utiliza para realizar la carga en los desplazamientos.

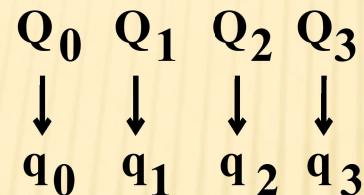
# Registro universal 194



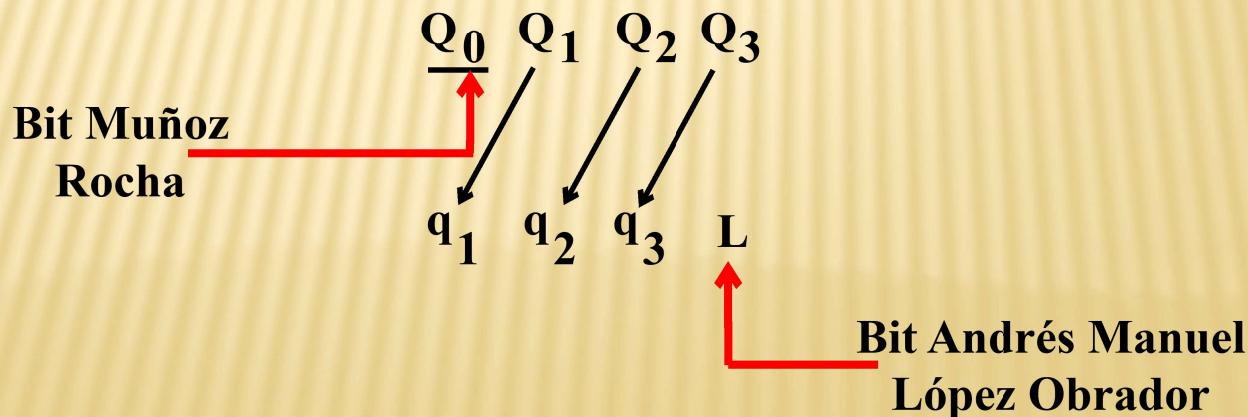
S <sub>0</sub>	S <sub>1</sub>	ACCION
0	0	HOLD
0	1	DESPLAZAMIENTO A LA IZQUIERDA
1	0	DEASPLAZAMIENTO A LA DERECHA
1	1	CARGA

## NEMONICOS

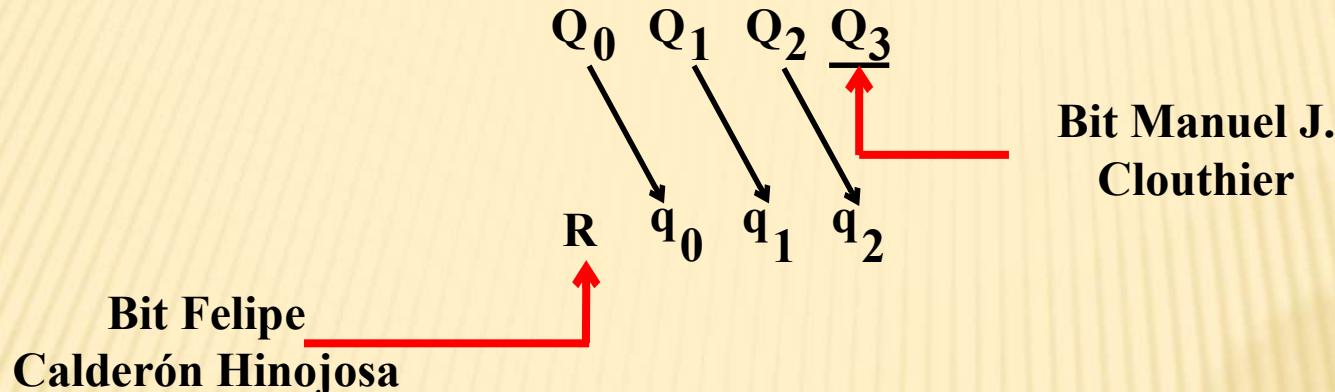
1. **Retener (HD)**: El valor presente en las salidas del registro no se ve alterado cuando se presenta la parte activa de la señal de reloj.



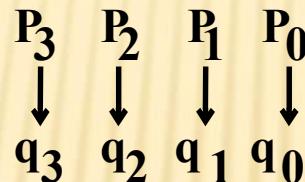
2. **Desplazamiento a la izquierda (SL)** : Los tres bits menos significativos se desplazan hacia la izquierda una posición en cada parte activa de la señal de reloj



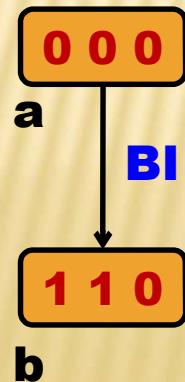
3. **Desplazamiento a la derecha (SR)**: Los tres bits mas significativos se desplazan una posición ala derecha por cada pulso de la señal de reloj.



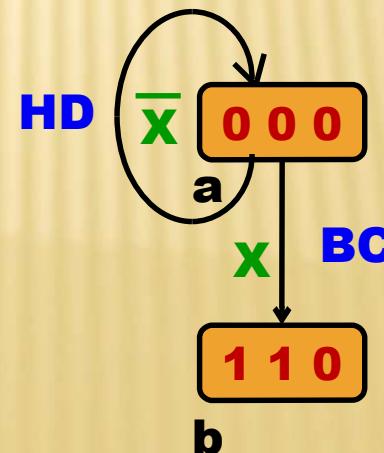
4. **Carga**: Las salidas del contador toman el valor presente de las entradas en paralelo, esto sucede solo cuando se presenta la parte activa de la señal de reloj.



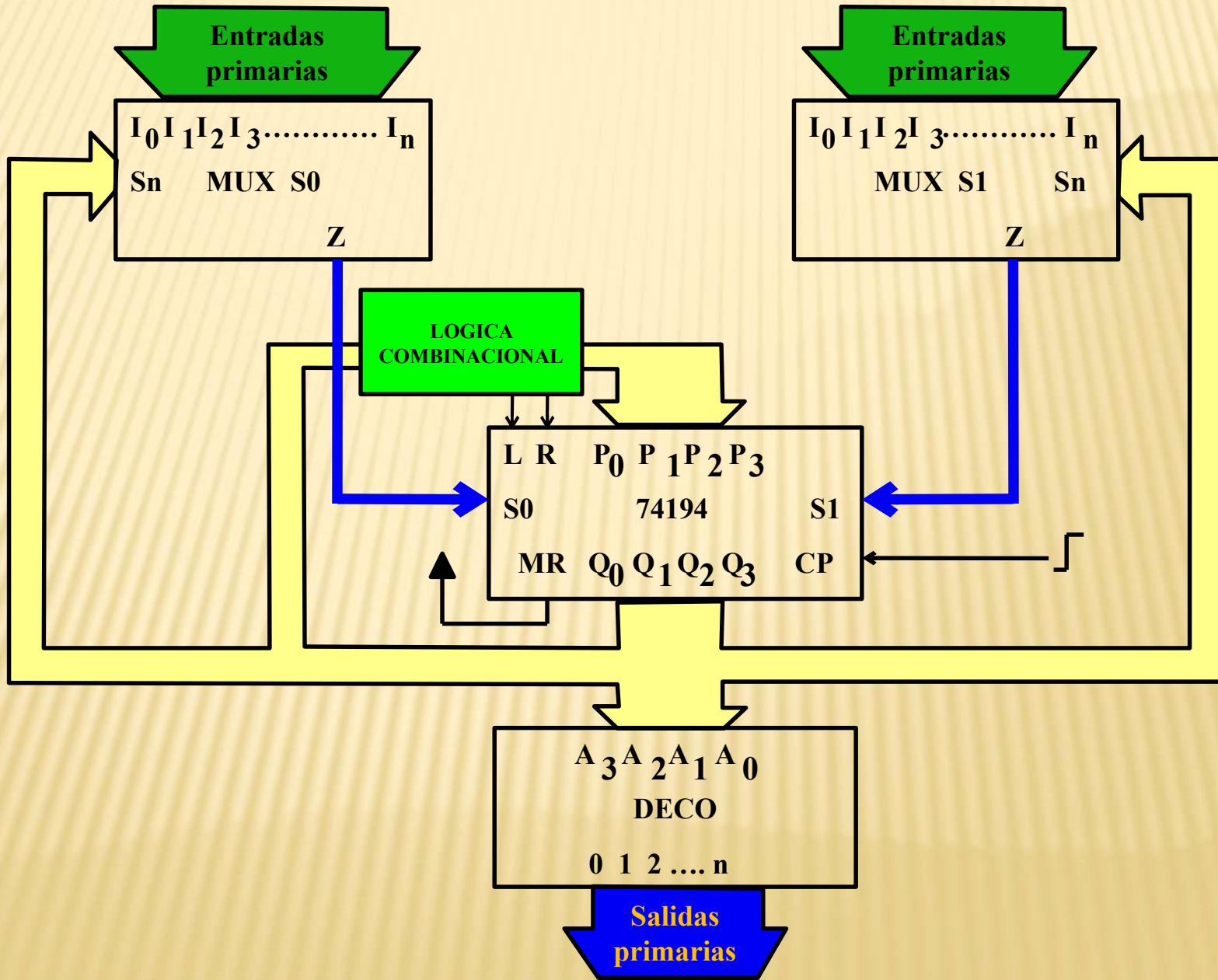
**Brinco Incondicional (BI)**

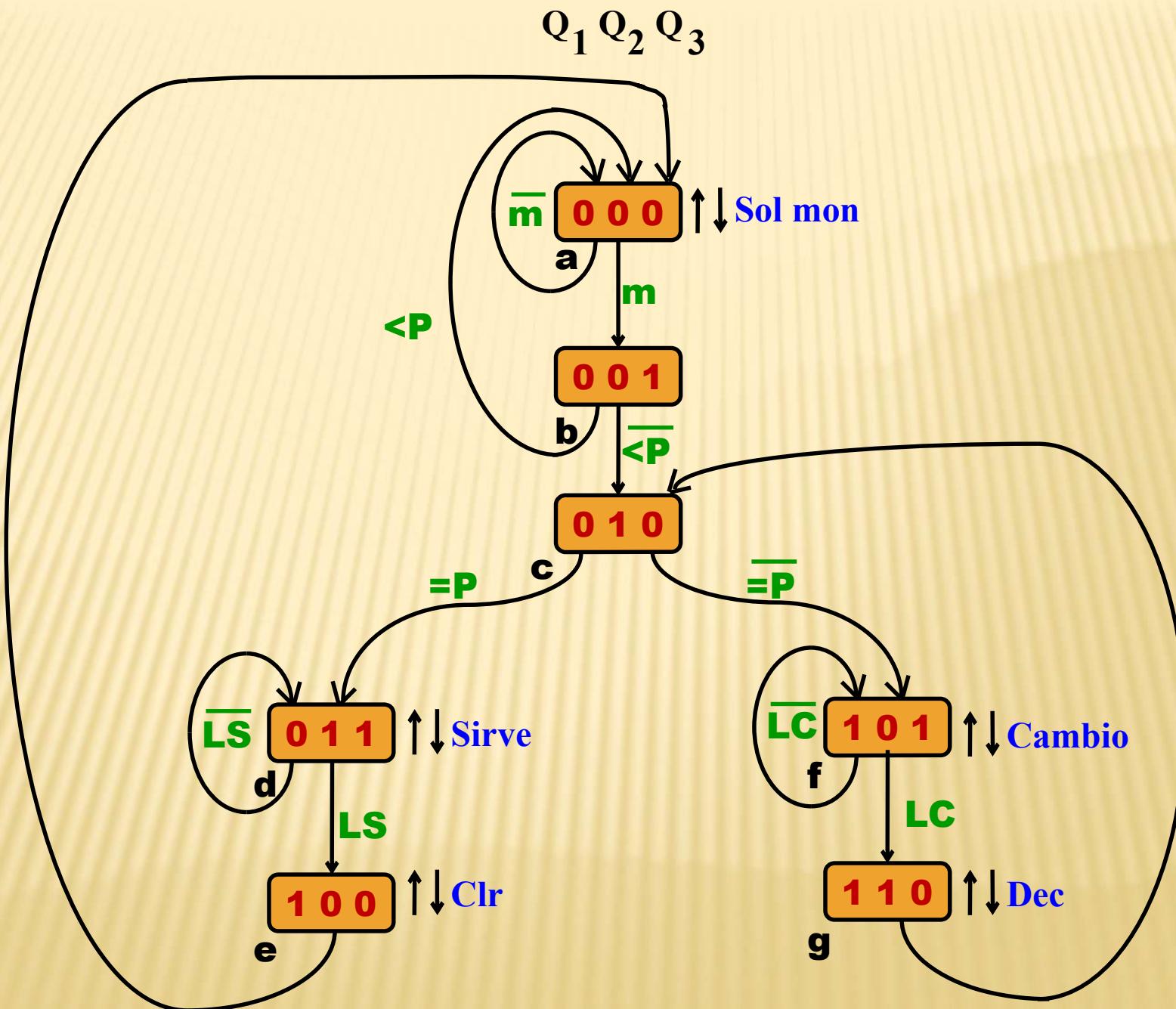


**Brinco Condicional (BC)**



# ARQUITECTURA DE TRABAJO





a)

		$Q_0$	$Q_1$	$Q_2$	$Q_3$	
$\overline{m}$	a	0 ↓ 0	0 ↓ 0	0 ↓ 0	0 ↓ 0	HD
a						

	$m$	$Q_0$	$Q_1$	$Q_2$	$Q_3$	
a		0 ↓ 0	0 ↓ 0	0 ↓ 0	0 ↓ 1	SL1C
b						

b)

		$Q_0$	$Q_1$	$Q_2$	$Q_3$	
$\overline{\langle P \rangle}$	b	0 ↓ 0	0 ↓ 0	0 ↓ 1	1 ↓ 0	SL0C
c						

	$\langle P \rangle$	$Q_0$	$Q_1$	$Q_2$	$Q_3$	
b		0 ↓ 0	0 ↓ 0	0 ↓ 0	1 ↓ 0	SR0C
a						

c)

		$Q_0$	$Q_1$	$Q_2$	$Q_3$	
$\overline{=P}$	c	0 ↓ 0	0 ↓ 1	1 ↓ 0	0 ↓ 1	SL1C
f						

	$=P$	$Q_0$	$Q_1$	$Q_2$	$Q_3$	
c		0 ↓ 0	0 ↓ 1	1 ↓ 0	0 ↓ 0	BC
d		0 ↓ 0	0 ↓ 1	1 ↓ 1	1 ↓ 1	

d)

		$Q_0$	$Q_1$	$Q_2$	$Q_3$	
$\overline{LS}$	d	0 ↓ 0	0 ↓ 0	1 ↓ 1	1 ↓ 1	HD
d						

	$LS$	$Q_0$	$Q_1$	$Q_2$	$Q_3$	
d		0 ↓ 0	0 ↓ 1	1 ↓ 0	1 ↓ 0	BC
e		0 ↓ 0	1 ↓ 0	0 ↓ 0	0 ↓ 0	

e)

	$Q_0$	$Q_1$	$Q_2$	$Q_3$
--	-------	-------	-------	-------

e	0	1	0	1
a	0	0	0	0

**BI**

g)

	$Q_0$	$Q_1$	$Q_2$	$Q_3$
--	-------	-------	-------	-------

g	0	1	1	0
c	0	0	1	0

**BI**

f)

	$Q_0$	$Q_1$	$Q_2$	$Q_3$
--	-------	-------	-------	-------

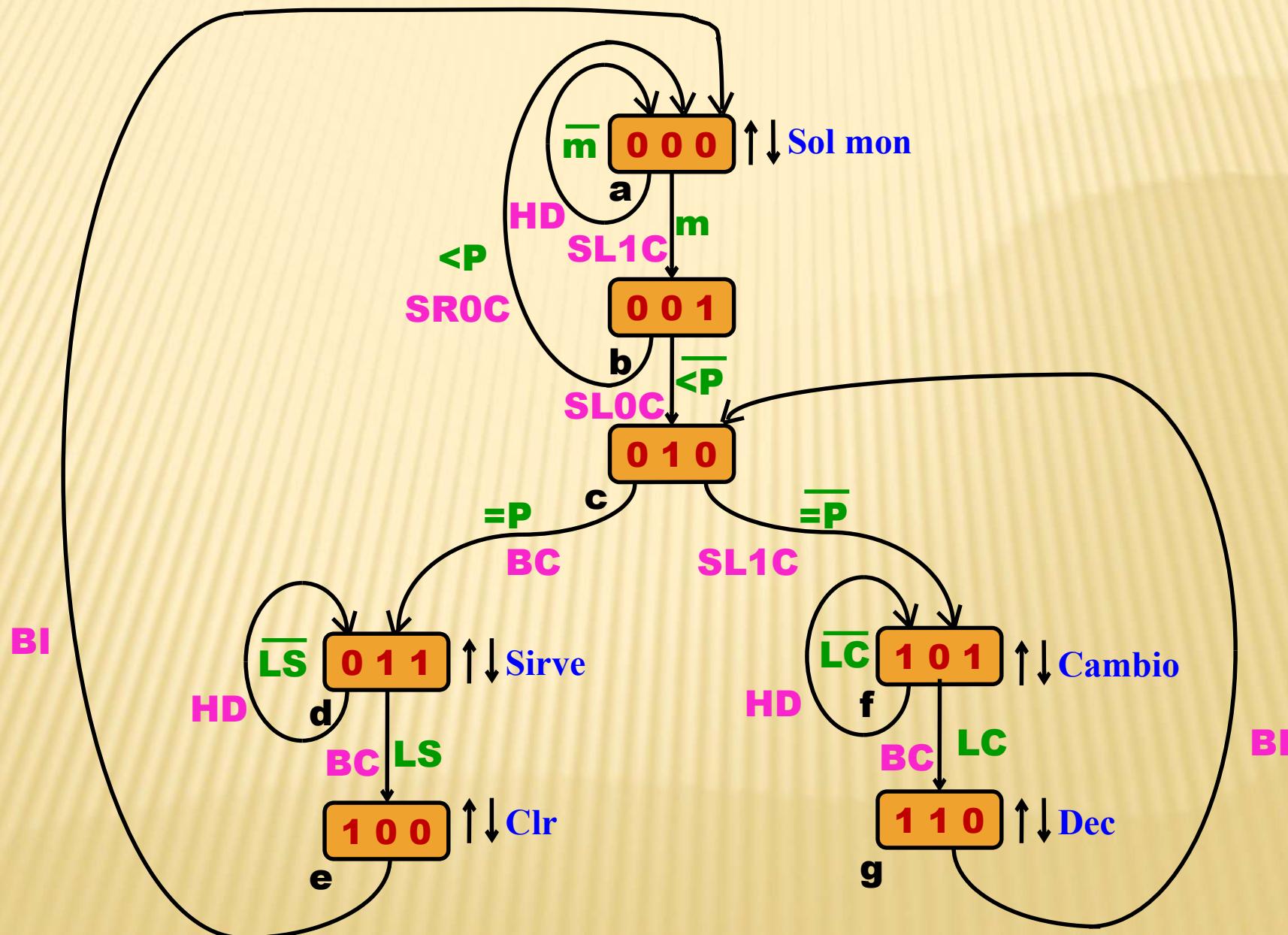
$\overline{LC}$	f	0	1	0	1
		↓	↓	↓	↓
	f	0	1	0	1

**HD**

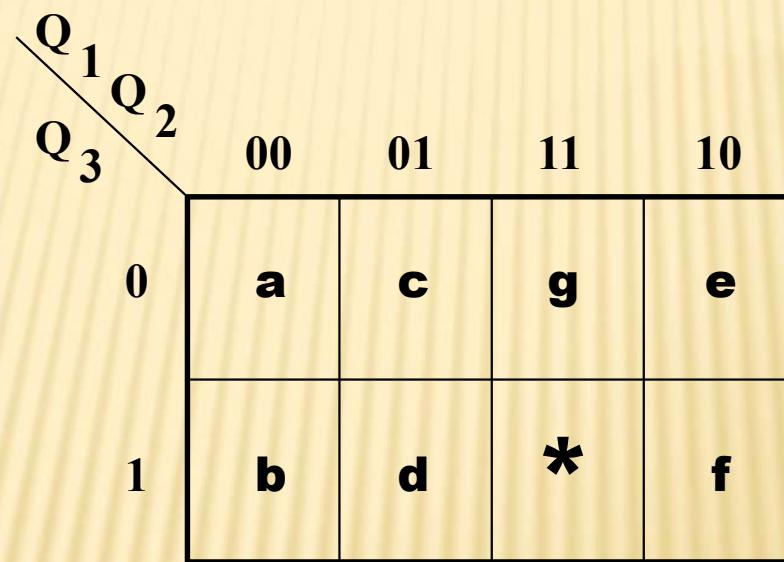
$LC$	f	0	1	0	1
		0	1	0	1
	g	0	1	1	0

**BC**

$Q_1 Q_2 Q_3$



### 3.- Mapa de estados presentes



#### 4.- Mapa de acción

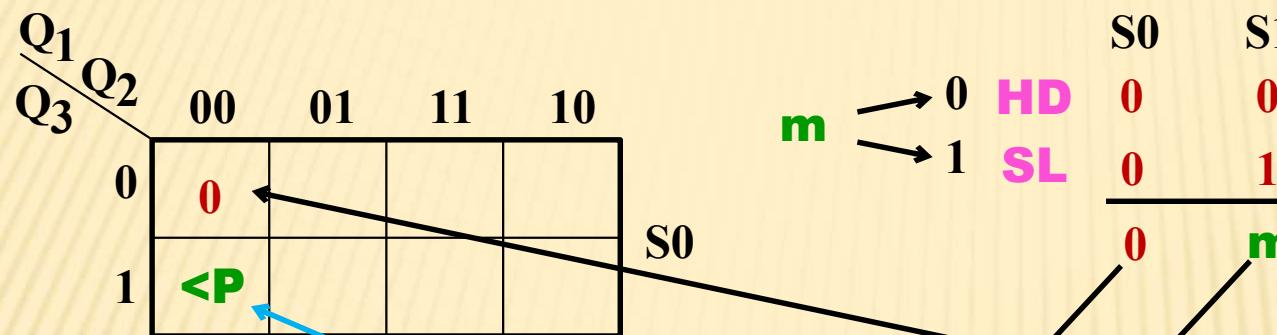
		Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>	00	01	11	10		
		0	m	HD	000	=P	SL1C	101	BI	BI
		1	m	SL1C	001	=P	BC	011	010	000
			<P	SL0C	010	LS	HD	011		LC HD 101
			<P	SR0C	000	LS	BC	100	*	LC BC 110

#### 5.- Tabla de funcionamiento del 74194

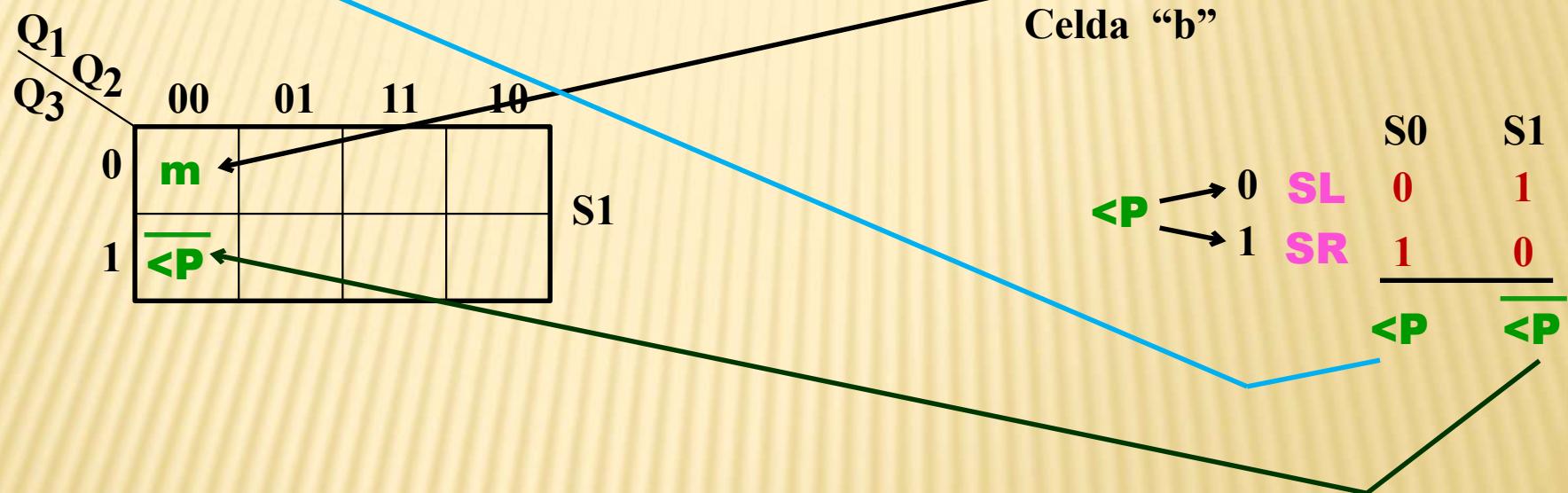
S0	S1	ACCION
0	0	HOLD
0	1	SL
1	0	SR
1	1	CARGA

## 6.- Mapa de control

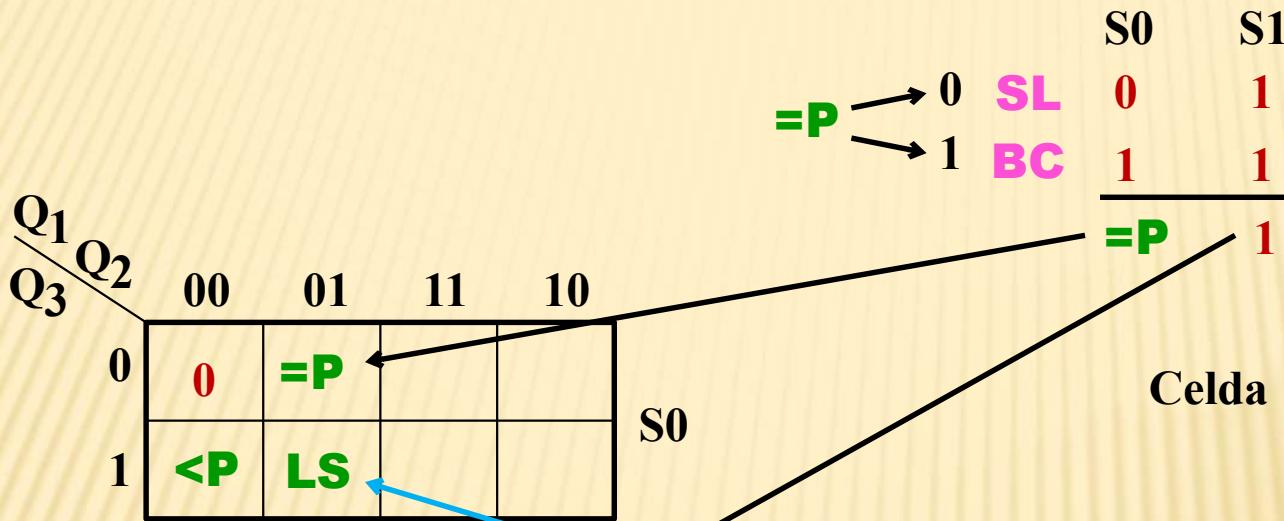
Celda “a”



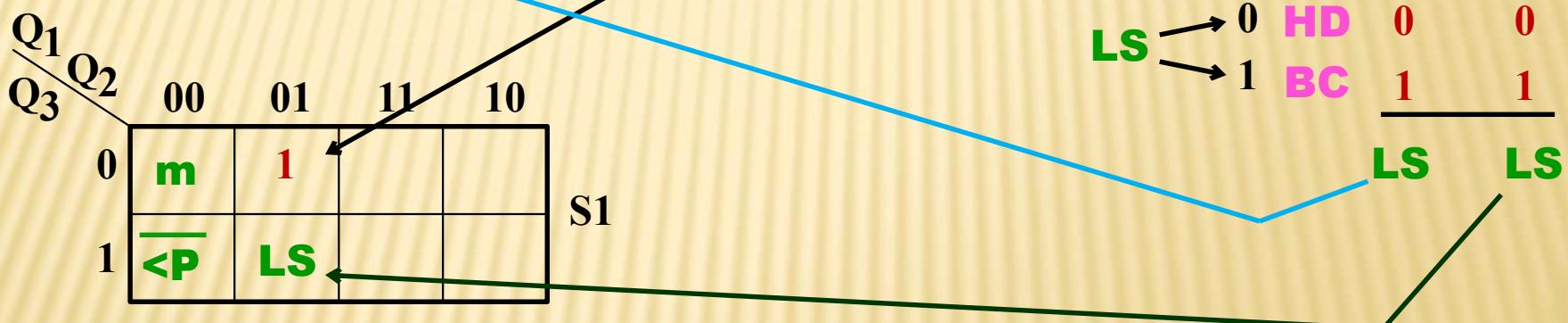
Celda “b”



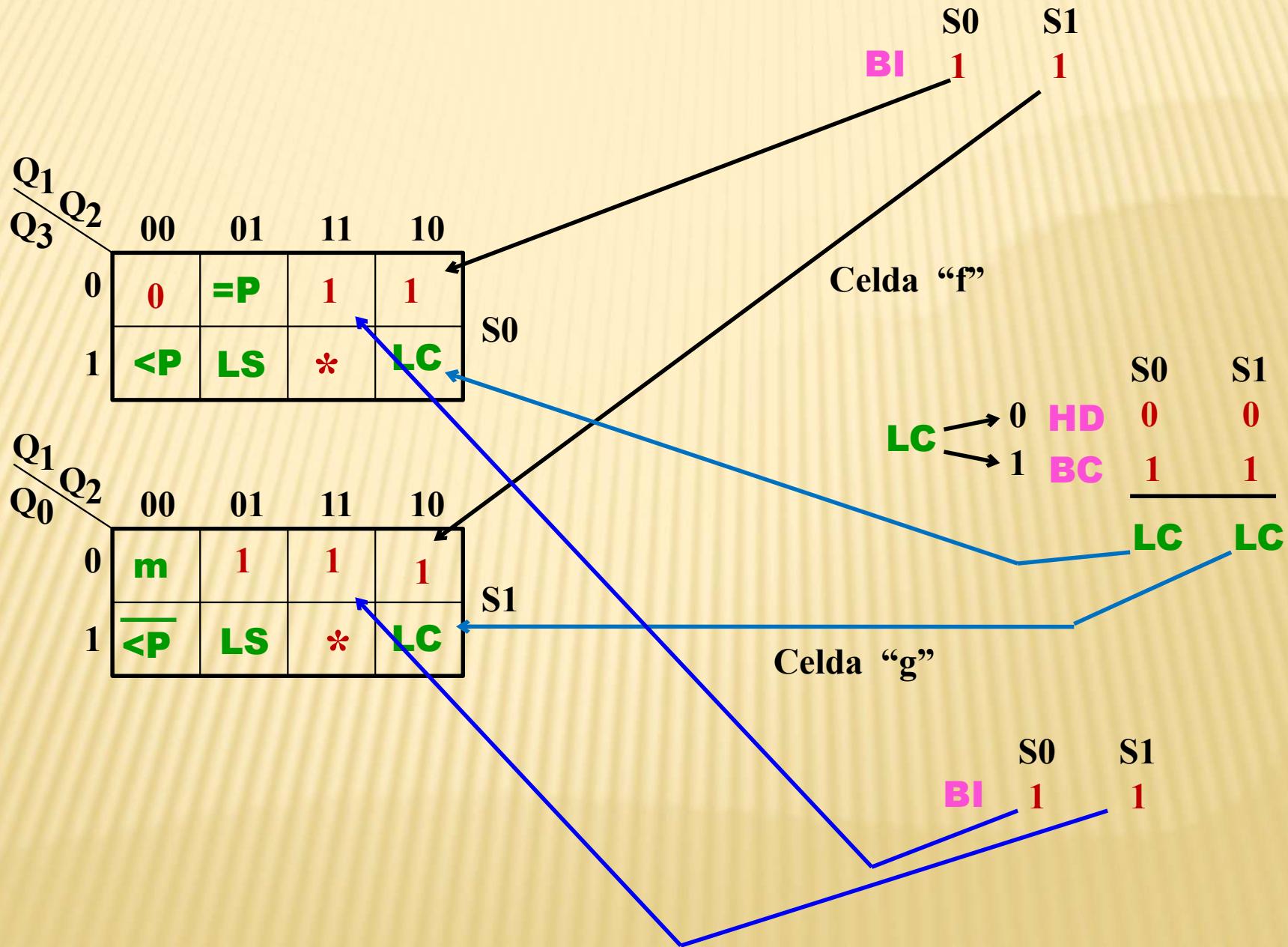
## Celda "c"



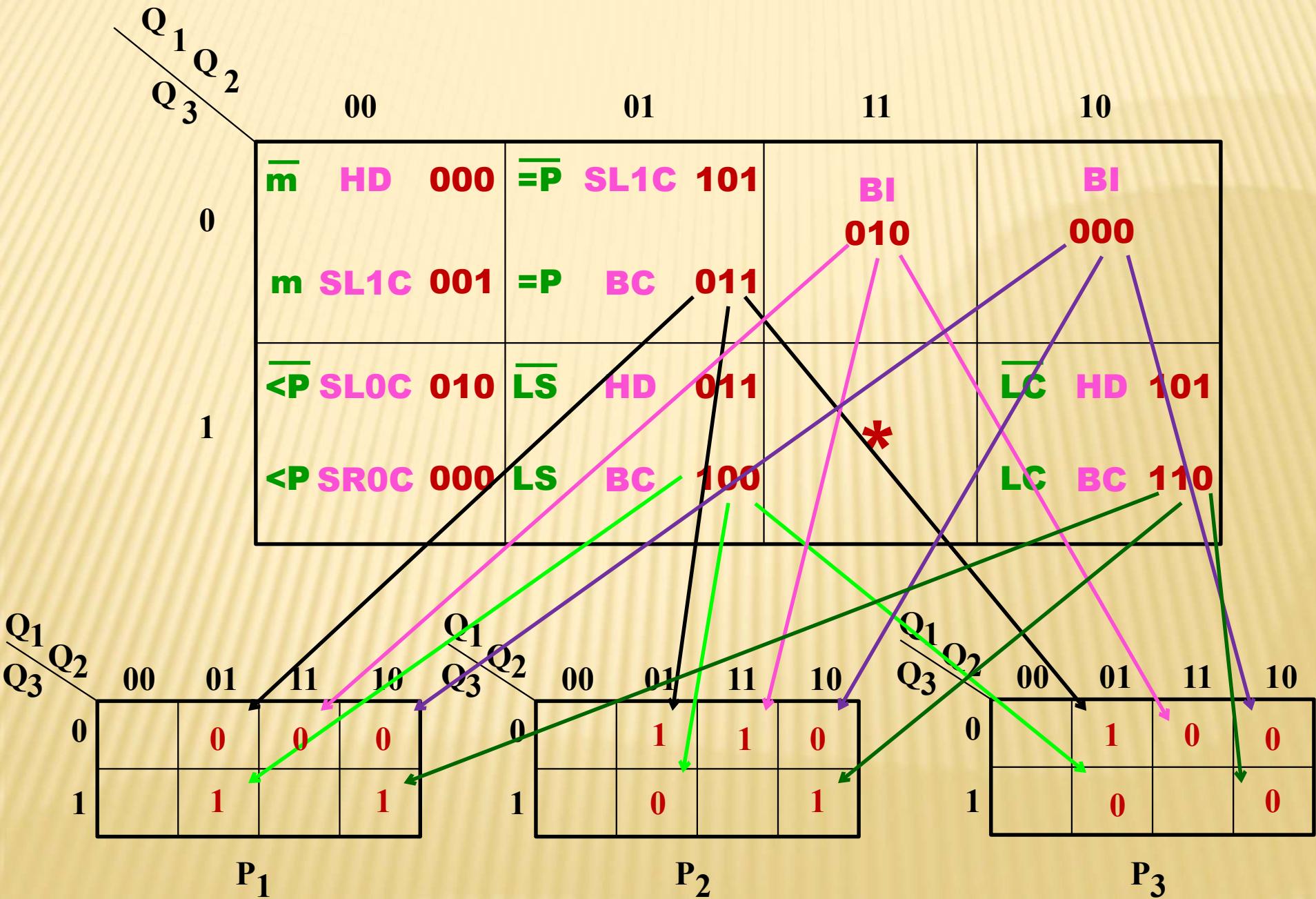
## Celda "d"



## Celda “e”



## 7.- Mapa de entradas en paralelo



## 8.- Ecuaciones de entradas en paralelo

$Q_1 \backslash Q_2$	00	01	11	10
0	*	0	0	0
1	*	1	*	1

$$P_1 = Q_3$$

$Q_1 \backslash Q_2$	00	01	11	10
0	*	1	1	0
1	*	0	*	1

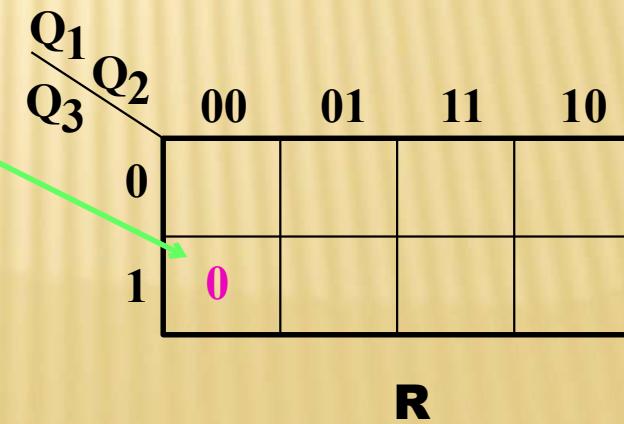
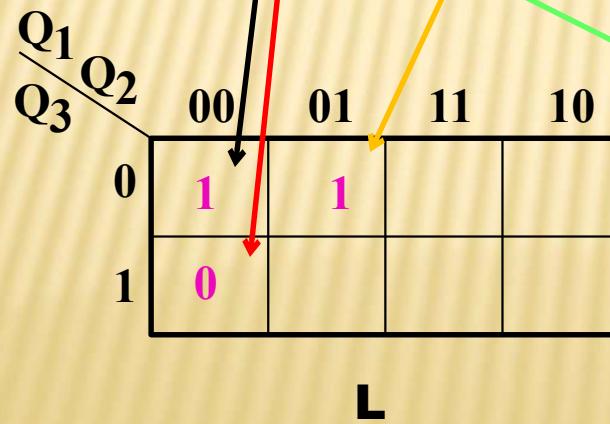
$$P_2 = Q_2 \overline{Q}_3 + Q_1 Q_3$$

$Q_1 \backslash Q_2$	00	01	11	10
0	*	1	0	0
1	*	0	*	0

$$P_3 = \overline{Q}_1 \overline{Q}_3$$

## 9.- Mapa de entradas en serie

	00	01	11	10
0	$\bar{m}$ HD 000 m SL1C 001	$=P$ SL1C 101 $=P$ BC 011	BI 010	BI 000
1	$\bar{P}$ SL0C 010 $<P$ SR0C 000	LS HD 011 LS BC 100	*	LC HD 101 LC BC 110



$Q_1 \backslash Q_2$	00	01	11	10
0	1	1	*	*
1	0	*	*	*

L

$Q_1 \backslash Q_2$	00	01	11	10
0	*	*	*	*
1	0	*	*	*

R

## 10.- Ecuaciones de entradas en serie

$$L = \overline{Q_3}$$

$$R = GND$$

## 11.- Mapa de salidas

