

Sensor CAMERACHIPTM OV7670/OV7171 CMOS VGA (640x480)

® com OmniPixel Tecnologia

Descrição geral

O sensor de imagem OV7670/OV7171 CAMERACHIPTM é de baixa dispositivo CMOS de tensão que fornece a funcionalidade completa de um câmera VGA de chip único e processador de imagem em um pequeno pacote de pegada. O OV7670/OV7171 oferece full-frame, imagens subamostradas ou em janela de 8 bits em uma ampla gama de formatos, controlados através do barramento de controle de câmera serial (SCCB).

Este produto possui um conjunto de imagens capaz de operar em até até 30 quadros por segundo (fps) em VGA com usuário completo controle sobre a qualidade da imagem, formatação e dados de saída transferir. Todas as funções de processamento de imagem necessárias, incluindo controle de exposição, gama, balanço de branco, saturação de cor, controle de matiz e muito mais, também são programáveis através do Interface SCCB. Além disso, os sensores OmniVision usam tecnologia de sensor proprietária para melhorar a qualidade da imagem reduzindo ou eliminando fontes comuns de iluminação/elétricas de contaminação de imagem, como ruído de padrão fixo (FPN), manchas, florescimento, etc., para produzir um ambiente limpo e totalmente estável imagem colorida.



Nota: O OV7670/OV7171 usa um pacote sem chumbo.

Características

- Alta sensibilidade para operação com pouca luz
- Baixa tensão operacional para aplicativos portáteis incorporados
- Interface SCCB padrão compatível com interface I2C
- Suporte de saída para Raw RGB, RGB (GRB 4:2:2, Formatos RGB565/555/444), YUV (4:2:2) e YCbCr (4:2:2)
- Suporta tamanhos de imagem: VGA, CIF e qualquer tamanho reduzido de CIF para 40x30
- Método VarioPixel® para subamostragem
- Funções de controle automático de imagem, incluindo: Automático Controle de Exposição (AEC), Controle Automático de Ganho (AGC), Balanço de Branco Automático (AWB), Automático Filtro de banda (ABF) e nível de preto automático Calibração (ABLC)
- Controles de qualidade de imagem, incluindo saturação de cor, matiz, gama, nitidez (aprimoramento de bordas) e anti-blooming
- ISP inclui redução de ruído e correção de defeitos
- Suporta modo LED e flash estroboscópico
- Suporta dimensionamento
- Correção de sombreamento de lente
- Deteção automática de cintilação (50/60 Hz)
- Ajuste automático do nível de saturação (ajuste UV)
- Ajuste automático do nível de aprimoramento de borda
- Ajuste automático do nível de eliminação de ruído

Informações sobre pedidos

produtos	Pacote
OV07670-VL2A (cor, sem chumbo)	24 pinos CSP2
OV07171-VL2A (P&B, sem chumbo)	24 pinos CSP2

Formulários

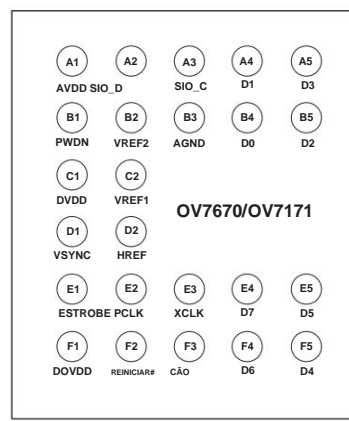
- Telefones celulares e de imagem
- Brinquedos
- PC multimídia
- Câmeras fotográficas digitais

Especificações principais

Tamanho da matriz ativa		640 x 480
Fonte de energia	Núcleo Digital	1,8 VCC +10%_
	Analogico	2,45 V a 3,0 V
	E/S	1,7V a 3,0Va
Poder	Ativo	60 mW típico (formato VGA YUV de 15 fps)
	Espera	<20 µA
Temperatura	Operação	-30°C a 70°C
	Imagem Estável	0°C a 50°C
Formatos de saída (8 bits)		<ul style="list-style-type: none"> YUV/YCbCr 4:2:2 RGB565/555/444 GRB 4:2:2 Dados RGB brutos
Tamanho da lente		1/6"
Ângulo do raio principal		25°
Imagem Máxima Sensibilidade da		30 fps para VGA
taxa de transferência		1,3 V/(Lux • seg)
Relação S/R		46 dB
Faixa dinâmica		52 dB
Modo de digitalização		progressivo
Exposição eletrônica		até 510:1 (para fps selecionados)
Tamanho do pixel		3,6 µm x 3,6 µm
Corrente escura		12 mV/s a 60°C
Capacidade do poço		17 K e
Área da imagem		2,36 mm x 1,76 mm
Dimensões da embalagem		3785 µm x 4235 µm

- a. A alimentação de E/S deve ser de 2,45 V ou superior ao usar o interno regulador para Core (1,8V); caso contrário, é necessário fornecer um 1,8 V externo para a fonte de alimentação Core.

Figura 1 Diagrama de pinos do OV7670/OV7171 (vista superior)



Descrição Funcional

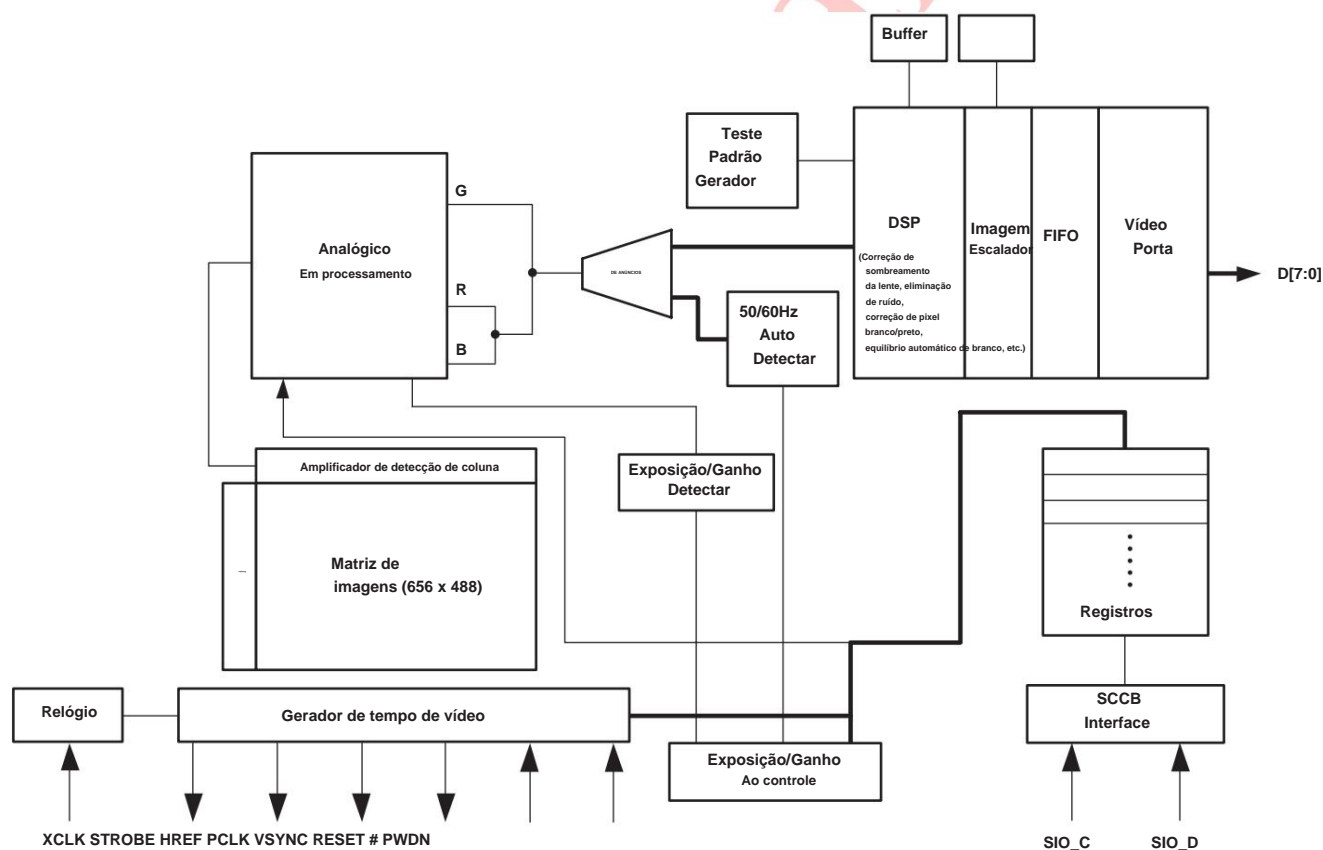
A Figura 2 mostra o diagrama de blocos funcionais do sensor de imagem OV7670/OV7171. O OV7670/OV7171 inclui:

- **Conjunto de sensores de imagem** (matriz total de 656 x 488 pixels, com pixels ativos de 640 x 480 no modo YUV)
- **Processador de sinal analógico**
- **Conversores A/D**

Conversores A/D

- Gerador de padrões de teste
- Processador de sinal digital (DSP)
- Dimensionador de imagem
- Gerador de temporização
- Porta de Vídeo Digital
- Interface SCCB
- Saída de controle de LED e flash estroboscópico

Figura 2 Diagrama de Blocos Funcionais

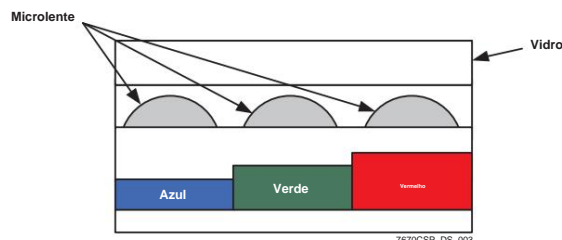


7670CSP_DS_002

Matriz de sensores de imagem

O sensor OV7670/OV7171 possui uma matriz de imagens de 656 x 488 pixels para um total de 320.128 pixels, dos quais 640 x 480 pixels estão ativos (307.200 pixels). A Figura 3 mostra uma seção transversal do conjunto de sensores de imagem.

Figura 3 Matriz de sensores de imagem



Gerador de tempo

Em geral, o gerador de temporização controla as seguintes funções:

- Controle de array e geração de quadros
- Geração e distribuição de sinais de temporização interna • Temporização da taxa de quadros • Controle Automático de Exposição (AEC)
- Saídas de temporização externas (VSYNC, HREF/HSYNC e PCLK)

Processador de sinal analógico

Este bloco executa todas as funções de imagem analógica, incluindo: • Controle Automático de Ganho (AGC) • Balanço de Branco Automático (AWB)

Conversores A/D

Após o bloco de Processamento Analógico, o sinal Raw do padrão bayer é alimentado para um conversor analógico-digital (A/D) de 10 bits compartilhado pelos canais G e BR. Este conversor A/D opera em velocidades de até 12 MHz e é totalmente síncrono com a taxa de pixels (a taxa de conversão real está relacionada à taxa de quadros).

Além da conversão A/D, este bloco também possui as seguintes funções:

- Calibração digital de nível de preto (BLC) • Atraso de canal U/V opcional • Controles adicionais de faixa A/D

Em geral, a combinação do multiplicador de faixa A/D e do controle de faixa A/D define a faixa A/D e o valor máximo para permitir que o usuário ajuste o brilho final da imagem em função da aplicação individual.

Gerador de padrões de teste

O Gerador de padrão de teste apresenta o seguinte: • Padrão de barra colorida de 8 barras • Padrão de barra colorida esmaecido até cinza

- Mude "1" no pino de saída

Processador de Sinal Digital (DSP)

Este bloco controla a interpolação de dados Raw para RGB e algum controle de qualidade de imagem. •

Aprimoramento de borda (uma passagem alta bidimensional filtro)

- Conversor de espaço de cores (pode alterar dados brutos para RGB ou YUV/YCbCr)
- Matriz RGB para eliminar interferência de cores
- Controle de matiz e saturação
- Correção de pixel branco/preto • Eliminação de ruído
- Correção de sombreamento de lente • Controle de gama programável • Transferência de dados de 10 bits para 8 bits

Escalador de imagem

Este bloco controla toda a saída e formatação de dados necessária antes do envio da imagem. Este bloco dimensiona a saída YUV/RGB de VGA para CIF e quase qualquer tamanho sob CIF.

Porta de vídeo digital

Os bits de registro COM2[1:0] aumentam a corrente do drive IOL/IOH e podem ser ajustados em função da carga do cliente.

Interface SCCB

A interface Serial Camera Control Bus (SCCB) controla a operação do sensor CAMERACHIP. Consulte [OmniVision Technologies Serial Camera Control Bus \(SCCB\) Especificação](#) para uso detalhado da porta de controle serial.

Saída de controle de flash LED e estroboscópico

O OV7670/OV7171 possui um modo Strobe que permite trabalhar com flash externo e LED.

Descrição do alfinete

tabela 1 **Descrição do alfinete**

Nome do número	PIN	Tipo de pino	Descrição da função
A1	AVDD	Poder	Fonte de alimentação analógica
A2	SIO_D	E/S	E/S de dados da interface serial SCCB
A3	SIO_C	Entrada	Entrada de relógio da interface serial SCCB
A4	D1a	Saída	Bit de saída do componente de vídeo YUV/RGB[1]
A5	D3	Saída	Bit de saída do componente de vídeo YUV/RGB[3]
B1	PWDN	Entrada (0)b	Seleção do modo de desligamento 0: Modo normal 1: Modo de desligamento
B2	VREF2	Referência Tensão	Tensão de referência - conecte ao terra usando um capacitor de 0,1 μ F
B3	AGND	Poder	Terra analógica
B4	D0	Saída	Bit de saída do componente de vídeo YUV/RGB[0]
B5	D2	Saída	Bit de saída do componente de vídeo YUV/RGB[2]
C1	DVDD	Poder	Fonte de alimentação (+1,8 VDC) para núcleo lógico digital
C2	VREF1	Referência Tensão	Tensão de referência - conecte ao terra usando um capacitor de 0,1 μ F
D1	VSYN	Saída	Saída de sincronização vertical
D2	HREF	Saída	Saída HREF
E1	PCLK	Saída	Saída de relógio de pixel
E2	ESTROBOSCO	Saída	Saída de controle LED/estroboscópio
E3	XCLK	Entrada	Entrada do relógio do sistema
E4	D7	Saída	Bit de saída do componente de vídeo YUV/RGB[7]
E5	D5	Saída	Bit de saída do componente de vídeo YUV/RGB[5]
F1	DOVDD	Poder	Fonte de alimentação digital para E/S (1,7 V ~ 3,0 V)
F2	REINICIAR#	Entrada	Limpa todos os registros e os redefine para seus valores padrão. 0: Modo de reinicialização 1: Modo normal
F3	CÃO	Poder	Terreno digital
F4	D6	Saída	Bit de saída do componente de vídeo YUV/RGB[6]
F5	D4	Saída	Bit de saída do componente de vídeo YUV/RGB[4]

a. D[7:0] para YUV ou RGB de 8 bits (D[7] MSB, D[0] LSB)

b. A entrada (0) representa um resistor pull-down interno.

características elétricas

mesa 2 Avaliações Máximas Absolutas

Temperatura ambiente de armazenamento		-40°C a +95°C
Tensões de alimentação (em relação ao terra)	VDD-A 4,5 V	
	VDD-C	3V
	VDD-IO 4,5 V	
Todas as tensões de entrada/saída (em relação ao terra)		-0,3V a VDD-IO+0,5V
Temperatura sem chumbo, processo de montagem em superfície		245°C

NOTA: Exceder as classificações máximas absolutas mostradas acima invalida todas as especificações elétricas CA e CC e pode resultar em danos permanentes ao dispositivo.

Tabela 3 Características DC (-30°C < TA < 70°C)

Símbolo	Parâmetro	Doença	Mínimo	Tipo	Máx.	Unidade
VDD-A	Tensão de alimentação DC – Analógica	–	2,45	2,75	3,0	V
VDD-C	Tensão de alimentação DC – Núcleo Digital	–	1,62	1,8	1,98	V
VDD-IO	Tensão de alimentação CC – alimentação de E/S	–	1,7	–	3,0	V
IDDA	Corrente ativa (operacional)	Veja a nota ^a		10 + 8b		mA
Corrente de espera IDDS-SCCB		Veja a nota ^c		1		mA
Corrente de espera IDDS-PWDN				10	20	µA
VIH	Tensão de entrada ALTA	CMOS	0,7 x VDD-IO			V
VIL	Tensão de entrada BAIXA				0,3 x VDD-IO	V
VOH	Tensão de saída ALTA	CMOS	0,9 x VDD-IO			V
VOL	Tensão de saída BAIXA				0,1 x VDD-IO	V
IOH	Corrente de saída ALTA	Veja a nota ^d	8			mA
LIO	Corrente de saída BAIXA		15			mA
IL	Vazamento de entrada/saída	GND para VDD-IO			± 1	µA

a. VDD-A = 2,5 V, VDD-C = 1,8 V, VDD-IO = 2,5 V IDDA
= $\sum (IDD-IO + IDD-C + IDD-A)$, fCLK = 24 MHz a 30 fps de saída YUV, sem carregamento de E/S

b. IDD-C = 10mA, IDD-A = 8mA, sem carga

c. VDD-A = 2,5 V, VDD-C = 1,8 V, VDD-IO = 2,5 V

IDDS-SCCB refere-se a um Standby iniciado por SCCB, enquanto IDDS-PWDN refere-se a um Standby iniciado por pino PWDN

d. Carregamento de saída padrão = 25pF, 1,2KΩ

Tabela 4 Características Funcionais e AC (-30°C < TA < 70°C)

Símbolo	Parâmetro	Mínimo	Tipo	Máx.	Unidade
Características Funcionais					
	DE ANÚNCIOS Não Linearidade Diferencial		$\pm 1/2$		LSB
	DE ANÚNCIOS Não Linearidade Integral		± 1		LSB
	Gama AGC			30	dB
	Faixa de ajuste vermelho/azul			12	dB
Entradas (PWDN, CLK, RESET#)					
fCLK	Frequência do relógio de entrada	10	24	48	MHz
tCLK	Período do relógio de entrada	21	42	100	ns
tCLK:DC	Ciclo de trabalho do relógio	45	50	55	%
tS:RESET	Definir tempo após reinicialização de software/hardware			1	EM
tS:REG	Tempo de acomodação para mudança de registro (são necessários 10 quadros)			300	EM
Tempo SCCB (ver Figura 4)					
fSIO_C	Frequência do relógio			400	KHz
tBAIXO	Período Baixo do Relógio	1.3			µs
coxa	Período alto do relógio	600			ns
TAA	SIO_C baixo para saída de dados válido	100		900	ns
tBUF	Tempo livre do ônibus antes do novo START	1.3			µs
tHD:STA	Condição de INÍCIO Tempo de espera	600			ns
tSU:STA	Condição START Tempo de configuração	600			ns
tHD:DAT	Tempo de espera de entrada de dados	0			µs
tSU:DAT	Tempo de configuração de entrada de dados	100			ns
tSU:STO	Condição de PARADA Tempo de configuração	600			ns
tR, tF	Tempos de subida/queda do SCCB			300	ns
tDH	Tempo de espera de saída de dados	50			ns
Saídas (VSYNC, HREF, PCLK e D[7:0] (ver Figura 5, Figura 6, Figura 7, Figura 9 e Figura 10)					
tPDV	PCLK[<i>y</i>] para saída de dados válida			5	ns
tSU	D[7:0] Tempo de configuração	15			ns
HD	D[7:0] Tempo de espera	8			ns
tPHH	PCLK[<i>y</i>] para HREF[<i>y</i>]	0		5	ns
tPHL	PCLK[<i>y</i>] em HREF[<i>y</i>]	0		5	ns
AC Condições:	<ul style="list-style-type: none"> • DDV: VDD-C = 1,8 V, VDD-A = 2,5 V, VDD-IO = 2,5 V • Tempos de subida/descida: E/S: 5ns, Máximo SCCB: 300ns, Máximo • Capacitância de entrada: 10pF • Carga de saída: 25pF, 1,2KΩ a 2,5V • fCLK: 24 MHz 				

Especificações de tempo

Figura 4 Diagrama de Tempo SCCB

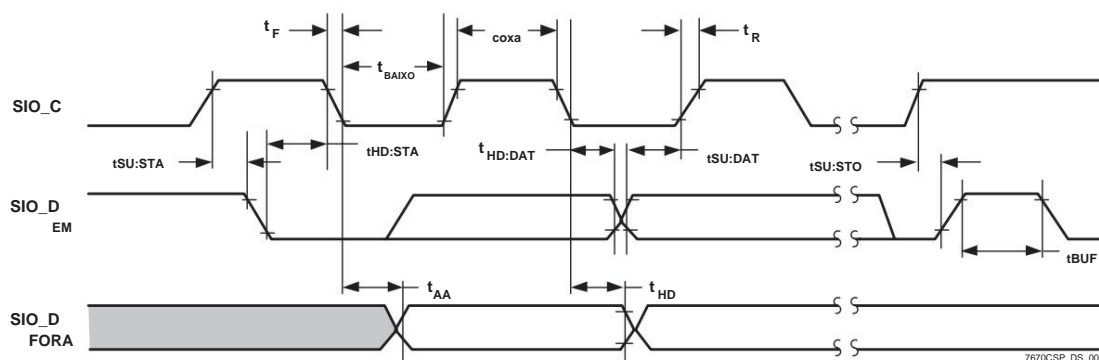


Figura 5 Tempo Horizontal

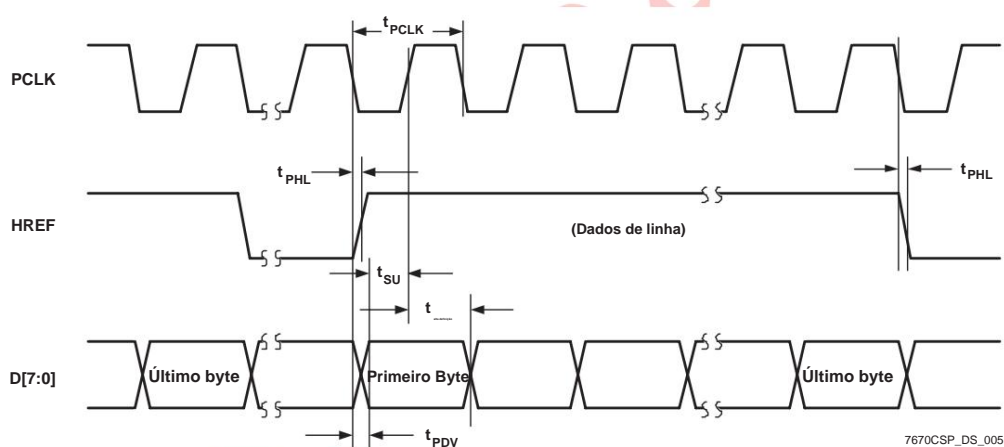
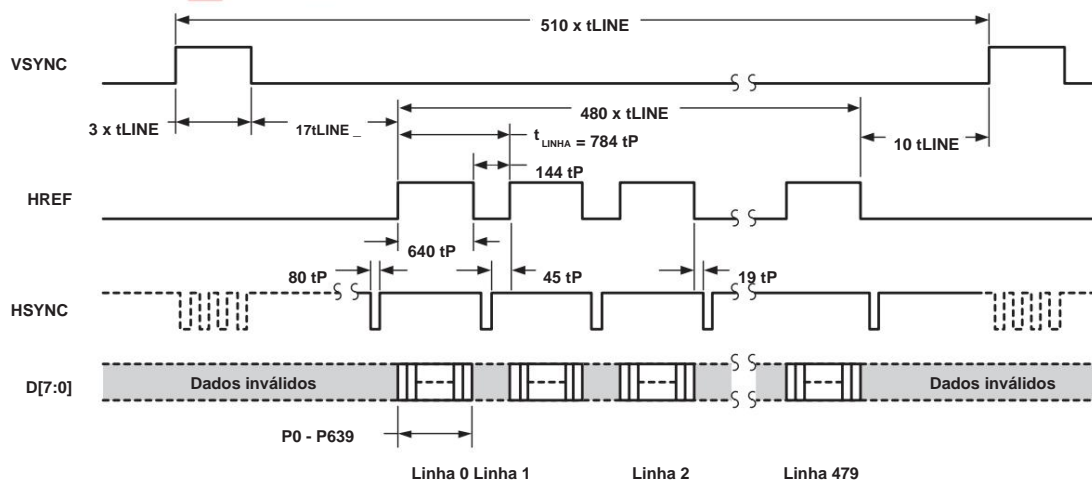


Figura 6 Sincronização do quadro VGA



OBSERVAÇÃO:

Para dados brutos, $t_P = t_{PCLK}$ Para YUV/RGB, $t_P = 2 \times t_{PCLK}$

7670CSP_DS_006

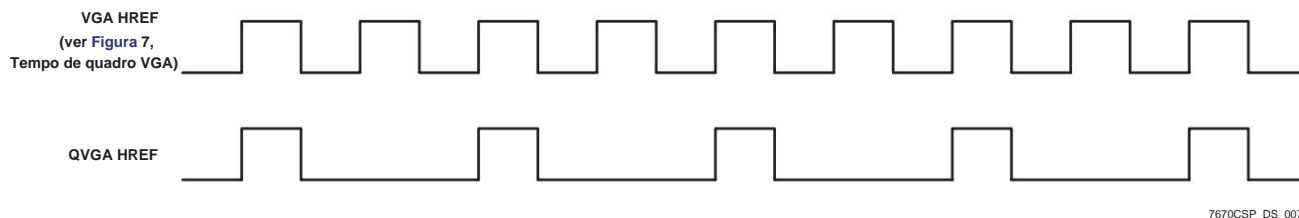
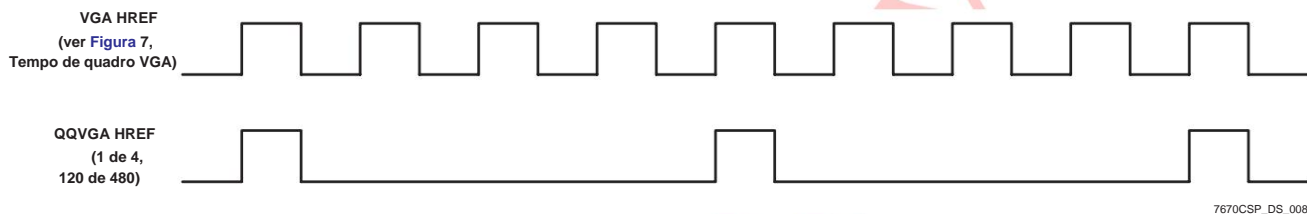
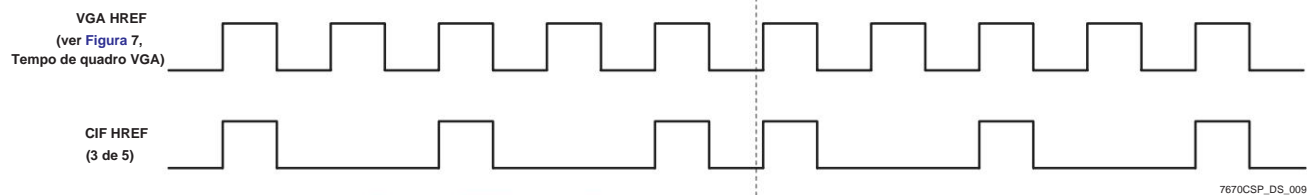
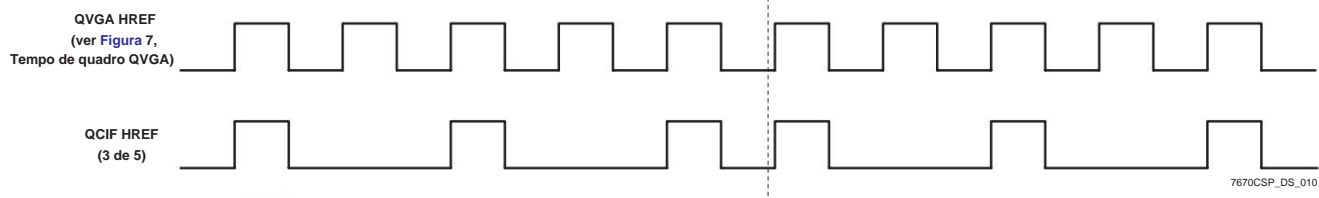
Figura 7 Sincronização do quadro QVGA**Figura 8 Sincronização do quadro QQVGA****Figura 9 Tempo do quadro CIF****Figura 10 Tempo do quadro QCIF**

Figura 11 Diagrama de tempo de saída RGB 565

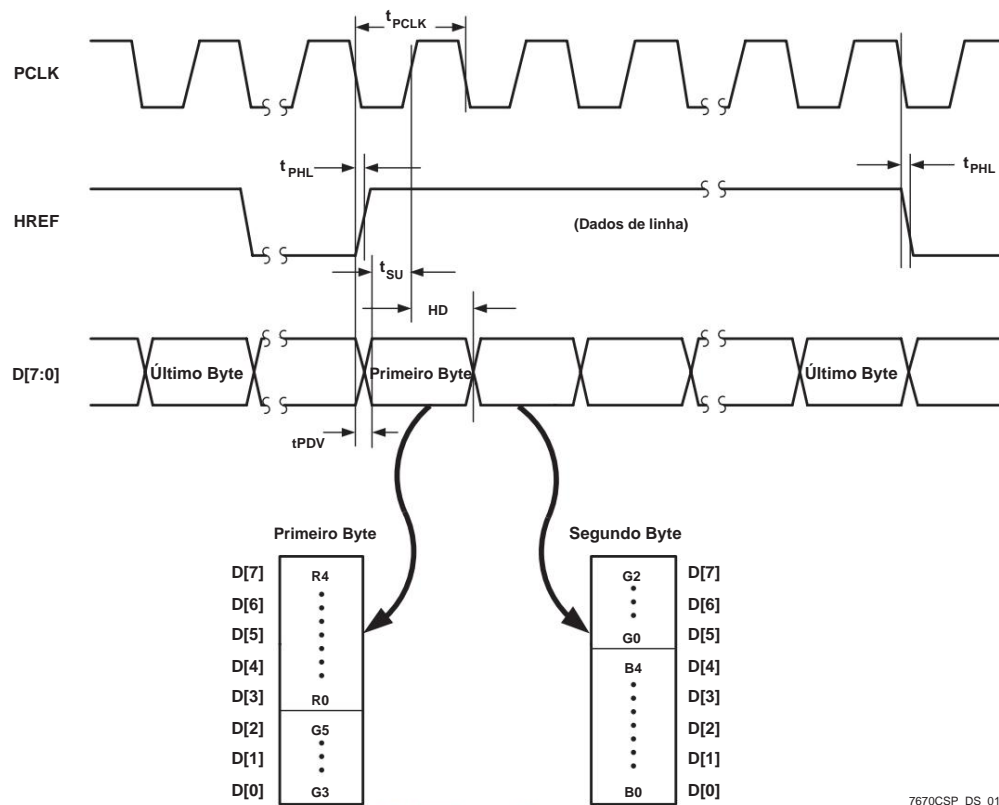


Figura 12 Diagrama de tempo de saída RGB 555

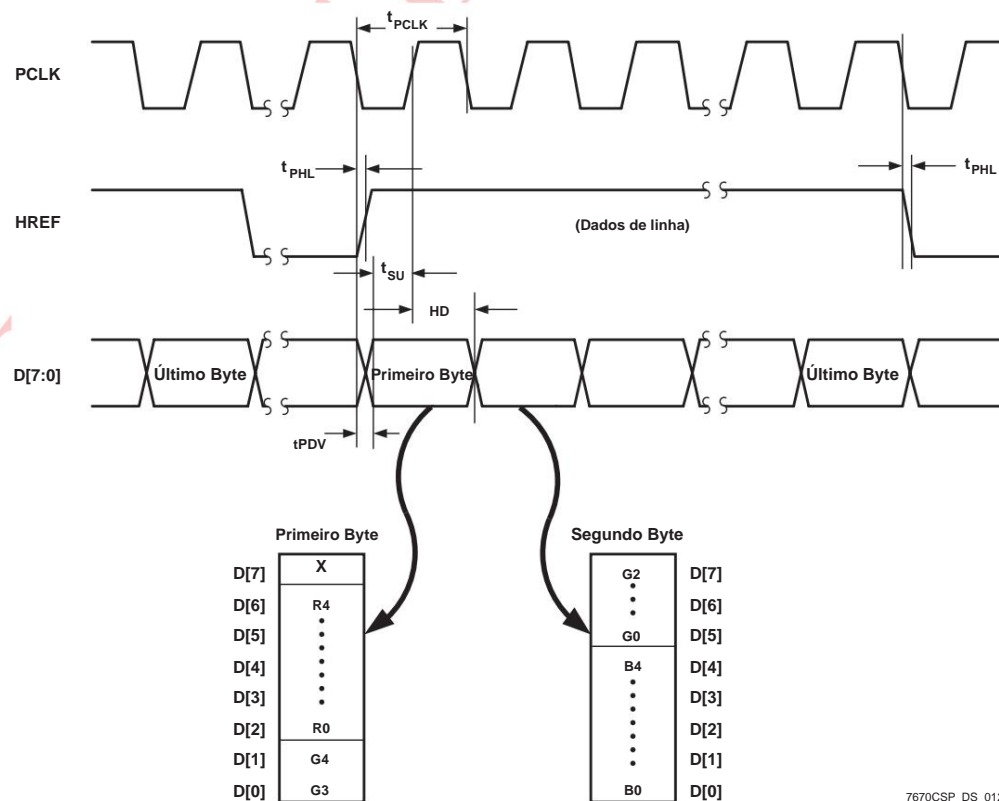
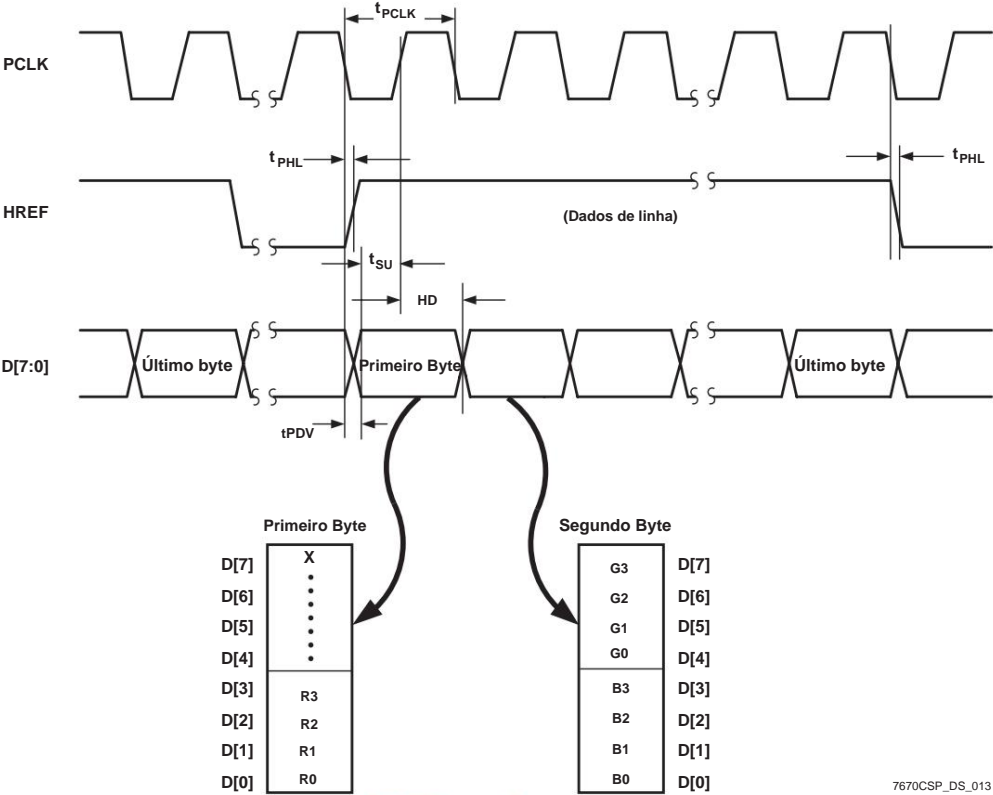


Figura 13 Diagrama de tempo de saída RGB 444



7670CSP_DS_013

Conjunto de registro

A Tabela 5 fornece uma lista e descrição dos registros de controle de dispositivo contidos no OV7670/OV7171. Para todos cadastre-se Bits de habilitação/desabilitação, ENABLE = 1 e DISABLE = 0. Os endereços escravos do dispositivo são 42 para escrita e 43 para leitura.

Tabela 5 Lista de registros de controle de dispositivos

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
00	GANHO	00	RW	AGC – Configuração de ganho de controle de ganho Bit[7:0]: AGC[7:0] (veja VREF[7:6] (0x03) para AGC[9:8]) • Faixa: [00] a [FF]
01	AZUL	80	RW	AWB – Configuração de ganho do canal azul • Faixa: [00] a [FF]
02	VERMELHO	80	RW	AWB – Configuração de ganho do canal vermelho • Faixa: [00] a [FF]
03	VREF	00	RW	Controle de quadro vertical Bit[7:6]: AGC[9:8] (consulte GANHO[7:0] (0x00) para AGC[7:0]) Bit[5:4]: Reservado Bit[3:2]: VREF final low 2 bits (high 8 bits em VSTOP[7:0]) Bit[1:0]: VREF inicia 2 bits baixos (8 bits altos em VSTRT[7:0])
04	COM1	00	RW	Controle Comum 1 Bit[7]: Reservado Bit[6]: formato CCIR656 0: Desativar 1: Habilitar Bit[5:2]: Reservado Bit[1:0]: AEC low 2 LSB (ver registros AECH para AEC[15:10] e AECH para AEC[9:2])
05	BAVE	00	RW	Nível médio U/B Atualizado automaticamente com base no formato de saída do chip
06	GbAVE	00	RW	Nível médio Y/Gb Atualizado automaticamente com base no formato de saída do chip
07	AECH	00	RW	Valor de exposição - AEC MSB 5 bits Bit[7:6]: Reservado Bit[5:0]: AEC[15:10] (ver registros AECH para AEC[9:2] e COM1 para AEC[1:0])
08	DELÍRIO	00	RW	Nível médio V/R Atualizado automaticamente com base no formato de saída do chip
09	COM2	01	RW	Controle Comum 2 Bit[7:5]: Reservado Bit[4]: Modo de suspensão suave Bit[3:2]: Reservado Bit[1:0]: Capacidade do drive de saída 00: 1x 01: 2x 10: 3x 11: 4x

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
0A	PID	76	R	Número de identificação do produto MSB (somente leitura)
0B	VER	73	R	Número de identificação do produto LSB (somente leitura)
0C	COM3	00	RW	<p>Controle Comum 3</p> <p>Bit[7]: Reservado</p> <p>Bit[6]: Dados de saída MSB e troca LSB</p> <p>Bit[5]: Opção de três estados para clock de saída no período de desligamento</p> <p>0: Tri-estado neste período</p> <p>1: Nenhum tri-estado neste período</p> <p>Bit[4]: Opção de três estados para dados de saída no período de desligamento</p> <p>0: Tri-estado neste período</p> <p>1: Nenhum tri-estado neste período</p> <p>Bit[3]: Habilitar escala</p> <p>0: Desativar</p> <p>1: Habilitar - se definido para um formato predefinido (veja COM7[5:3]), então COM14[3] deve ser definido como 1 para ajuste manual.</p> <p>Bit[2]: DCW habilitado</p> <p>0: Desativar</p> <p>1: Habilitar - se definido para um formato predefinido (veja COM7[5:3]), então COM14[3] deve ser definido como 1 para ajuste manual.</p> <p>Bit[1:0]: Reservado</p>
0D	COM4	00	RW	<p>Controle Comum 4</p> <p>Bit[7:6]: Reservado</p> <p>Bit[5:4]: Opção média (deve ser o mesmo valor de COM17[7:6])</p> <p>00: Janela completa</p> <p>01: 1/2 janela</p> <p>10: janela 1/4</p> <p>11: janela 1/4</p> <p>Bit[3:0]: Reservado</p>
0E	COM5	01	RW	<p>Controle Comum 5</p> <p>Bit[7:0]: Reservado</p>
0F	COM6	43	RW	<p>Controle Comum 6</p> <p>Bit[7]: Saída da opção de linha preta óptica</p> <p>0: Desativar HREF em preto óptico</p> <p>1: Habilite HREF em preto óptico</p> <p>Bit[6:2]: Reservado</p> <p>Bit[1]: Redefinir todo o tempo quando o formato for alterado</p> <p>0: Sem reinicialização</p> <p>1: Redefine o tempo</p> <p>Bit[0]: Reservado</p>
10	AECH	40	RW	<p>Valor de exposição</p> <p>Bit[7:0]: AEC[9:2] (ver registros AECHH para AEC[15:10] e COM1 para AEC[1:0])</p>

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição															
11	CLKRC	80	RW	Relógio interno Bit[7]: Reservado Bit[6]: Use relógio externo diretamente (sem pré-escala de relógio disponível) Bit[5:0]: Pré-escalar do clock interno F(relógio interno) = F(relógio de entrada)/(Bit[5:0]+1) • Faixa: [0 0000] a [1 1111]															
12	COM7	00	RW	Controle Comum 7 Bit[7]: Reinicialização do Registro SCCB 0: Sem alteração 1: Redefine todos os registros para os valores padrão Bit[6]: Reservado Bit[5]: Formato de saída - seleção CIF Bit[4]: Formato de saída - seleção QVGA Bit[3]: Formato de saída - seleção QCIF Bit[2]: Formato de saída - seleção RGB (veja abaixo) Bit[1]: Barra de cor 0: Desativar 1: Habilitar Bit[0]: Formato de saída - RGB bruto (veja abaixo) <table><tr><td></td><td>COM7[2] 0</td><td>COM7[0]</td></tr><tr><td>YUV</td><td>1</td><td>0</td></tr><tr><td>RGB</td><td></td><td>0</td></tr><tr><td>Bayer CRU 0</td><td></td><td>1</td></tr><tr><td>Processado Bayer RAW 1</td><td></td><td>1</td></tr></table>		COM7[2] 0	COM7[0]	YUV	1	0	RGB		0	Bayer CRU 0		1	Processado Bayer RAW 1		1
	COM7[2] 0	COM7[0]																	
YUV	1	0																	
RGB		0																	
Bayer CRU 0		1																	
Processado Bayer RAW 1		1																	
13	COM8	8F	RW	Controle Comum 8 Bit[7]: Habilitar algoritmo AGC/AEC rápido Bit[6]: AEC - Limite de tamanho do passo 0: O tamanho do passo é limitado ao espaço em branco vertical 1: Tamanho de passo ilimitado Bit[5]: Filtro de bandas LIGADO/DESLIGADO - Para ligar o filtro de bandas, BD50ST (0x9D) ou BD60ST (0x9E) deve ser definido para um valor diferente de zero. 0: DESLIGADO 1: LIGADO Bit[4:3]: Reservado Bit[2]: Habilitação de AGC Bit[1]: Habilitar AWB Bit[0]: Habilitação AEC															

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
14	COM9	4A	RW	<p>Controle Comum 9</p> <p>Bit[7]: Reservado</p> <p>Bit[6:4]: Teto de ganho automático - valor máximo de AGC</p> <p>000: 2x</p> <p>001: 4x</p> <p>010: 8x</p> <p>011: 16x</p> <p>100: 32x</p> <p>101 64x</p> <p>110: 128x</p> <p>111: Não permitido</p> <p>Bit[3:1]: Reservado</p> <p>Bit[0]: Congelar AGC/AEC</p>
15	COM10	00	RW	<p>Controle Comum 10</p> <p>Bit[7]: Reservado</p> <p>Bit[6]: HREF muda para HSYNC</p> <p>Bit[5]: Opção de saída PCLK</p> <p>0: PCLK de execução livre</p> <p>1: PCLK não alterna durante o vazio horizontal</p> <p>Bit[4]: PCLK reverso</p> <p>Bit[3]: HREF reverso</p> <p>Bit[2]: opção VSYNC</p> <p>0: VSYNC muda na borda descendente do PCLK</p> <p>1: Mudanças no VSYNC na borda ascendente do PCLK</p> <p>Bit[1]: VSYNC negativo</p> <p>Bit[0]: HSYNC negativo</p>
16	RSVD	XX	–	Reservado
17	HSTART	11	RW	Formato de saída - Quadro horizontal (coluna HREF) inicia em 8 bits alto (3 bits baixos estão em HREF[2:0])
18	HSTOP	61	RW	Formato de saída - Quadro horizontal (coluna HREF) final alto de 8 bits (3 bits baixos estão em HREF[5:3])
19	VSTRT	03	RW	Formato de saída - Quadro vertical (linha) inicia em 8 bits alto (2 bits baixos estão em VREF[1:0])
1A	VSTOP	7B	RW	Formato de saída - Quadro vertical (linha) final alto de 8 bits (2 bits baixos estão em VREF[3:2])
1B	PSHFT	00	RW	<p>Formato de dados - Seleção de atraso de pixel (atrasa o tempo dos dados D[7:0] em relação ao HREF em unidades de pixel)</p> <p>• Faixa: [00] (sem atraso) a [FF] (atraso de 256 pixels que representa matriz inteira)</p>
1C	MIDH	7F	R Byte	de ID do fabricante – alto (somente leitura = 0x7F)
1D	MÉDIO	A2	R Byte	de ID do fabricante – baixo (somente leitura = 0xA2)

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
1E	MVFP	01	RW	Ativar espelho/VFlip Bit[7:6]: Reservado Bit[5]: Espelho 0: imagem normal 1: Imagem espelhada Bit[4]: Habilitar VFlip 0: imagem normal 1: Virar imagem verticalmente Bit[3]: Reservado Bit[2]: Sol negro permite Bit[1:0]: Reservado
1F	LAEC	00	RW	reservado
20	ADCCTR0	04	RW	Controle ADC Bit[7:4]: Reservado Bit[3]: Ajuste de faixa ADC 0: faixa 1x 1: faixa de 1,5x Bit[2:0]: Ajuste de referência ADC 000: 0,8x 100: 1x 111: 1,2x
21	ADCCTR1	02	RW	Bit[7:0]: Reservado
22	ADCCTR2	01	RW	Bit[7:0]: Reservado
23	ADCCTR3	00	RW	Bit[7:0]: Reservado
24	AEW	75	RW	AGC/AEC - Região de Operação Estável (Limite Superior)
25	AEB	63	RW	AGC/AEC - Região de Operação Estável (Limite Inferior)
26	VPT	D4	RW	Região operacional de modo rápido AGC/AEC Bit[7:4]: Alta mordidura do limite superior da zona de controle do modo rápido Bit[3:0]: Mordida alta do limite inferior da zona de controle do modo rápido
27	BBIAS	80	RW	Bias de saída de sinal do canal B (efetivo somente quando COM6[3] = 1) Bit[7]: Sinal de ajuste de polarização 0: Adicionar viés 1: Subtraia o viés Bit[6:0]: Valor de polarização da faixa de 10 bits
28	GBBIAS	80	RW	Bias de saída de sinal do canal Gb (efetivo somente quando COM6[3] = 1) Bit[7]: Sinal de ajuste de polarização 0: Adicionar viés 1: Subtraia o viés Bit[6:0]: Valor de polarização da faixa de 10 bits
29	RSVD	XX	—	Reservado
2A	EXAME	00	RW	Inserção de pixel fictício MSB Bit[7:4]: 4 MSB para inserção de pixel fictício na direção horizontal Bit[3:2]: Atraso de borda descendente HSYNC 2 MSB Bit[1:0]: Atraso de borda ascendente HSYNC 2 MSB

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
2B	EXHCL	00	RW	Inserção de pixel fictício LSB 8 LSB para inserção de pixel fictício na direção horizontal
2C	RBIAS	80	RW	Bias de saída de sinal do canal R (efetivo somente quando COM6[3] = 1) Bit[7]: Sinal de ajuste de polarização 0: Adicionar viés 1: Subtraia o viés Bit[6:0]: Valor de polarização da faixa de 10 bits
2D	ADVFL	00	RW	LSB de Inserir Linhas Dummy na Direção Vertical (1 bit é igual a 1 linha)
2E	ADVFLH	00	RW	MSB de inserir linhas fictícias na direção vertical
2F	YAVE	00		Valor médio do canal RW Y/G
30	HSYST	08	RW	HSYNC Rising Edge Delay (baixo 8 bits)
31	HSYEN	30	RW	HSYNC Falling Edge Delay (baixo 8 bits)
32	HREF	80	RW	Controle HREF Bit[7:6]: deslocamento da borda HREF para saída de dados Bit[5:3]: HREF final 3 LSB (alto 8 MSB no registro HSTOP) Bit[2:0]: HREF inicia 3 LSB (alto 8 MSB no registro HSTART)
33	CHLF	08	RW	Controle atual da matriz Bit[7:0]: Reservado
34	ARBLM	11	RW	Controle de referência de matriz Bit[7:0]: Reservado
35-36	RSVD	XX	—	Reservado
37	ADC	3F	RW	Controle ADC Bit[7:0]: Reservado
38	ACOM	01	RW	ADC e controle de modo comum analógico Bit[7:0]: Reservado
39	OFON	00	RW	Controle de deslocamento ADC Bit[7:0]: Reservado

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
3A	TSLB	0D	RW	<p>Opção de teste de buffer de linha</p> <p>Bit[7:6]: Reservado</p> <p>Bit[5]: Habilitar imagem negativa</p> <p>0: imagem normal</p> <p>1: Imagem negativa</p> <p>Bit[4]: Valor de saída UV</p> <p>0: Use saída UV normal</p> <p>1: Use valor UV fixo definido nos registros MANU e MANV como saída UV em vez de saída de chip</p> <p>Bit[3]: Sequência de saída (use com registro COM13[0] (0x3D))</p> <p>TSLB[3], COM13[0]:</p> <p>00: YUYV</p> <p>01: VYU</p> <p>10: UYVY</p> <p>11: VYU</p> <p>Bit[2:1]: Reservado</p> <p>Bit[0]: Janela de saída automática</p> <p>0: O sensor NÃO configura a janela automaticamente após a alteração da resolução. O processador back-end complementar pode ajustar a janela de saída imediatamente após alterar a resolução</p> <p>1: O sensor define automaticamente a janela de saída quando mudanças de resolução. Após as alterações na resolução, o processador backend complementar deve ajustar a janela de saída após o próximo pulso VSYNC.</p>
3B	COM11	00	RW	<p>Controle Comum 11</p> <p>Bit[7]: Modo noturno</p> <p>0: Modo noturno desabilitado</p> <p>1: Modo noturno ativado - A taxa de quadros é reduzida automaticamente enquanto a taxa de quadros mínima é limitada por COM11[6:5]. Além disso, ADVFL e ADVFL serão atualizados automaticamente.</p> <p>Bit[6:5]: Taxa mínima de quadros do modo noturno</p> <p>00: Igual à taxa de quadros do modo normal</p> <p>01: 1/2 da taxa de quadros do modo normal</p> <p>10: 1/4 da taxa de quadros do modo normal</p> <p>11: 1/8 da taxa de quadros do modo normal</p> <p>Bit[4]: D56_Auto</p> <p>0: Desativa a detecção automática de 50/60 Hz</p> <p>1: Habilitar detecção automática de 50/60 Hz</p> <p>Bit[3]: Seleção do valor do filtro de faixas (efetivo somente quando COM11[4] = 0)</p> <p>0: Selecione BD60ST[7:0] (0x9E) como valor do filtro de bandas</p> <p>1: Selecione BD50ST[7:0] (0x9D) como valor do filtro de bandas</p> <p>Bit[2]: Reservado</p> <p>Bit[1]: O tempo de exposição pode ser menor que o limite do filtro de faixas quando a luz é muito forte</p> <p>Bit[0]: Reservado</p>

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
3C	COM12	68	RW	<p>Controle Comum 12</p> <p>Bit[7]: opção HREF 0: Sem HREF quando VSYNC está baixo 1: Sempre tem HREF</p> <p>Bit[6:0]: Reservado</p>
3D	COM13	88	RW	<p>Controle Comum 13</p> <p>Bit[7]: Habilitação gama</p> <p>Bit[6]: Nível de saturação UV - ajuste automático de UV. O resultado é salvo no registro SATCTR[3:0] (0xC9)</p> <p>Bit[5:1]: Reservado</p> <p>Bit[0]: Troca UV (use com registro TSLB[3] (0x3A)) TSLB[3], COM13[0]: 00: YUYV 01: YVYU 10: UYVY 11: VYUY</p>
3E	COM14	00	RW	<p>Controle Comum 14</p> <p>Bit[7:5]: Reservado</p> <p>Bit[4]: DCW e escala PCLK habilitados 0: PCLK normal 1: DCW e escala PCLK, controlado por registrador COM14[2:0] e SCALING_PCLK_DIV[3:0] (0x73))</p> <p>Bit[3]: Escala manual habilitada para modos de resolução predefinidos, como CIF, QCIF e QVGA 0: O parâmetro de escala não pode ser ajustado manualmente 1: O parâmetro de escala pode ser ajustado manualmente</p> <p>Bit[2:0]: Divisor PCLK (somente quando COM14[4] = 1) 000: Dividido por 1 001: Dividido por 2 010: Dividido por 4 011: Dividido por 8 100: Dividido por 16 101~111: Não permitido</p>
3F	BORDA	00	RW	<p>Ajuste de aprimoramento de borda</p> <p>Bit[7:5]: Reservado</p> <p>Bit[4:0]: Fator de aprimoramento de borda</p>
40	COM15	C0	RW	<p>Controle Comum 15</p> <p>Bit[7:6]: Formato de dados - habilitação de faixa total de saída 0x: Faixa de saída: [10] a [F0] 10: Faixa de saída: [01] a [FE] 11: Faixa de saída: [00] a [FF]</p> <p>Bit[5:4]: Opção RGB 555/565 (deve definir COM7[2] = 1 e COM7[0] = 0) x0: Saída RGB normal 01: RGB 565, efetivo somente quando RGB444[1] está baixo 11: RGB 555, efetivo somente quando RGB444[1] está baixo</p> <p>Bit[3:0]: Reservado</p>

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
41	COM16	08	RW	<p>Controle Comum 16</p> <p>Bit[7:6]: Reservado</p> <p>Bit[5]: Habilita o ajuste automático do limite de aprimoramento de borda para Saída YUV (o resultado é salvo no registro EDGE[4:0] (0x3F) e o intervalo é controlado pelos registros REG75[4:0] (0x75) e REG76[4:0] (0x76))</p> <p>0: Desativar 1: Habilitar</p> <p>Bit[4]: Ajuste automático do limite de eliminação de ruído (o resultado é salvo no registro DNSTH (0x4C) e a faixa é controlada pelo registro REG77[7:0] (0x77))</p> <p>0: Desativar 1: Habilitar</p> <p>Bit[3]: Ganho AWB habilitado</p> <p>Bit[2]: Reservado</p> <p>Bit[1]: Opção dupla de coeficiente de matriz de cores</p> <p>0: Matriz original 1: Duplo da matriz original</p> <p>Bit[0]: Reservado</p>
42	COM17	00	RW	<p>Controle Comum 17</p> <p>Bit[7:6]: A janela AEC deve ter o mesmo valor que COM4[5:4]</p> <p>00: normal 01: 1/2 10: 1/4 11: 1/4</p> <p>Bit[5:4]: Reservado</p> <p>Bit[3]: Barra de cores DSP habilitada</p> <p>0: Desativar 1: Habilitar</p> <p>Bit[2:0]: Reservado</p>
43	AWBC1	14	RW reservado	
44	AWBC2	F0	RW reservado	
45	AWBC3	45	RW reservado	
46	AWBC4	61	RW reservado	
47	AWBC5	51	RW reservado	
48	AWBC6	79	RW reservado	
49-4A	RSVD	XX	–	Reservado
4B	REG4B	00	RW	<p>Cadastre-se 4B</p> <p>Bit[7:1]: Reservado</p> <p>Bit[0]: Habilitação média de UV</p>
4C	DNSTH	00	Força de eliminação de ruído RW	
4D-4E	RSVD	XX	–	Reservado
4F	MTX1	40	Coeficiente da Matriz RW 1	
50	MTX2	34	Coeficiente Matriz RW 2	

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
51	MTX3	0°C	Coeficiente	Matriz RW 3
52	MTX4	17	Coeficiente	Matriz RW 4
53	MTX5	29	Coeficiente	da Matriz RW 5
54	MTX6	40	Coeficiente	da Matriz RW 6
55	BRILHANTE	00	Controle	de brilho RW
56	CONTRAS	40	Controle	de contraste RW
57	CONTRAS-CENTRO	80	Centro de	Contraste RW
58	MTXS	1E	RW	<p>Sinal de coeficiente de matriz para coeficiente 5 a 0</p> <p>Bit[7]: Habilitação do centro de contraste automático</p> <p>0: Desativado, o centro é definido pelo registro CONTRAS-CENTRO (0x57)</p> <p>1: Habilita, cadastro CONTRAS-CENTER é atualizado automaticamente</p> <p>Bit[6]: Reservado</p> <p>Bit[5:0]: Sinal do coeficiente da matriz</p> <p>0: Mais</p> <p>1: Menos</p>
59-61	RSVD	XX	–	Controle AWB
62	LCC1	00	RW	Opção de correção de lente 1 - Coordenada X do centro de correção de lente Em relação ao Array Center
63	LCC2	00	RW	Opção de correção de lente 2 - Coordenada Y do centro de correção de lente Em relação ao Array Center
64	LCC3	50	RW	<p>Opção de correção de lente 3</p> <p>Coeficiente de compensação do canal G quando LCC5[2] (0x66) é 1</p> <p>Coeficiente de compensação dos canais R, G e B quando LCC5[2] (0x66) é 0</p>
65	LCC4	30	RW	Opção de correção de lente 4 - Raio da seção circular onde nenhuma compensação se aplica
66	LCC5	00	RW	<p>Controle de correção de lente 5</p> <p>Bit[7:3]: Reservado</p> <p>Bit[2]: Seleção de controle de correção de lente</p> <p>0: O coeficiente de compensação dos canais R, G e B é definido pelo registro LCC3 (0x64)</p> <p>1: O coeficiente de compensação dos canais R, G e B é definido pelos registros LCC6, LCC3 e LCC7, respectivamente</p> <p>Bit[1]: Reservado</p> <p>Bit[0]: Correção de lente habilitada</p> <p>0: Desativar</p> <p>1: Habilitar</p>
67	MANU	80	Valor RW	Manual U (efetivo somente quando o registro TSLB[4] estiver alto)
68	MANV	80	Valor V	Manual RW (efetivo somente quando o registro TSLB[4] estiver alto)

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
69	GFIX	00	RW	<p>Corrigir controle de ganho</p> <p>Bit[7:6]: Corrige ganho para canal Gr</p> <p>00: 1x</p> <p>01: 1,25x</p> <p>10: 1,5x</p> <p>11: 1,75x</p> <p>Bit[5:4]: Corrige ganho para canal Gb</p> <p>00: 1x</p> <p>01: 1,25x</p> <p>10: 1,5x</p> <p>11: 1,75x</p> <p>Bit[3:2]: Corrige ganho para canal R</p> <p>00: 1x</p> <p>01: 1,25x</p> <p>10: 1,5x</p> <p>11: 1,75x</p> <p>Bit[1:0]: Corrige ganho para canal B</p> <p>00: 1x</p> <p>01: 1,25x</p> <p>10: 1,5x</p> <p>11: 1,75x</p>
6A	GAIN	00	RW	Ganho AWB do canal G
6B	DBLV	0A	RW	<p>Bit[7:6]: Controle PLL</p> <p>00: Ignorar PLL</p> <p>01: Relógio de entrada x4</p> <p>10: Relógio de entrada x6</p> <p>11: Relógio de entrada x8</p> <p>Bit[5]: Reservado</p> <p>Bit[4]: Controle do regulador</p> <p>0: Habilitar regulador interno</p> <p>1: Desviar o regulador interno</p> <p>Bit[3:0]: Reservado</p>
6C	AWBCTR3	02	RW	Controle AWB 3
6D	AWBCTR2	55	RW	Controle AWB 2
6E	AWBCTR1	C0	RW	Controle AWB 1
6F	AWBCTR0	9A	RW	Controle AWB 0
70	ESCALA_XSC	3A	RW	<p>Bit[7]: Test_pattern[0] - funciona com test_pattern[1] test_pattern (SCALING_XSC[7], SCALING_YSC[7]):</p> <p>00: Nenhuma saída de teste</p> <p>01: Mudando "1"</p> <p>10: barra de cores de 8 barras</p> <p>11: Barra de cores desbotada para cinza</p> <p>Bit[6:0]: Fator de escala horizontal</p>

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
71	ESCALA_YSC	35	RW	Bit[7]: Test_pattern[1] - funciona com test_pattern[0] test_pattern (SCALING_XSC[7], SCALING_YSC[7]): 00: Nenhuma saída de teste 01: Mudando "1" 10: barra de cores de 8 barras 11: Barra de cores desbotada para cinza Bit[6:0]: Fator de escala vertical
72	ESCALA_DCWCTR	11	RW	Controle DCW Bit[7]: Opção de cálculo de média vertical 0: Truncamento vertical 1: Arredondamento vertical Bit[6]: Opção de amostragem vertical descendente 0: Truncamento vertical 1: Arredondamento vertical Bit[5:4]: Taxa de amostragem descendente vertical 00: Sem amostragem vertical descendente 01: Amostra vertical descendente em 2 10: Amostra vertical descendente em 4 11: Amostra vertical descendente em 8 Bit[3]: Opção de cálculo de média horizontal 0: Truncamento horizontal 1: Arredondamento horizontal Bit[2]: Opção de amostragem horizontal descendente 0: Truncamento horizontal 1: Arredondamento horizontal Bit[1:0]: Taxa de amostragem descendente horizontal 00: Sem amostragem descendente horizontal 01: Amostra descendente horizontal em 2 10: Amostra horizontal descendente em 4 11: Amostra horizontal descendente em 8
73	ESCALA_PCLK_DIV	00	RW	Bit[7:4]: Reservado Bit[3]: Bypass divisor de clock para controle de escala DSP 0: Habilitar divisor de relógio 1: Ignorar divisor de relógio Bit[2:0]: Controle do divisor de clock para controle de escala DSP (válido somente quando COM14[3] = 1). Deve mudar com COM14[2:0]. 000: Dividido por 1 001: Dividido por 2 010: Dividido por 4 011: Dividido por 8 100: Dividido por 16 101~111: Não permitido

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
74	REG74	00	RW	Cadastre-se 74 Bit[7:5]: Reservado Bit[4]: DG_Manu 0: Controle de ganho digital por VREF[7:6] 1: Controle de ganho digital por REG74[1:0] Bit[3:2]: Reservado Bit[1:0]: Controle manual de ganho digital 00: Ignorar 01: 1x 10: 2x 11: 4x
75	REG75	0F	RW	Cadastre-se 75 Bit[7:5]: Reservado Bit[4:0]: Limite inferior de aprimoramento de borda
76	REG76	01	RW	Cadastre-se 76 Bit[7]: Correção de pixel preto habilitada 0: Desativar 1: Habilitar Bit[6]: Correção de pixel branco habilitada 0: Desativar 1: Habilitar Bit[5]: Reservado Bit[4:0]: Limite superior de aprimoramento de borda
77	REG77	10	RW	Cadastre-se 77 Bit[7:0]: Deslocamento de redução de ruído
78-79	RSVD	XX	–	Reservado
7A	SLOP	24	RW	Inclinação do segmento mais alto da curva gama - calculada da seguinte forma: $SLOP[7:0] = (0x100 - GAM15[7:0]) \times 4/3$
7B	GAM1	04	RW	Curva Gama 1º Segmento Ponto Final de Entrada 0x04 Valor de Saída
7C	GAM2	07	RW	Curva Gama 2º Segmento Ponto Final de Entrada 0x08 Valor de Saída
7D	GAM3	10	RW	Curva Gama 3º Segmento Ponto Final de Entrada 0x10 Valor de Saída
7E	GAM4	28	RW	Curva Gama 4º Segmento Ponto Final de Entrada 0x20 Valor de Saída
7F	GAM5	36	RW	Curva Gama 5º Segmento Ponto Final de Entrada 0x28 Valor de Saída
80	GAM6	44	RW	Curva Gama 6º Segmento Ponto Final de Entrada 0x30 Valor de Saída
81	GAM7	52	RW	Curva Gama 7º Segmento Ponto Final de Entrada 0x38 Valor de Saída
82	GAM8	60	RW	Curva Gama 8º Segmento Ponto Final de Entrada 0x40 Valor de Saída
83	GAM9	6C	RW	Curva Gama 9º Segmento Ponto Final de Entrada 0x48 Valor de Saída
84	GAM10	78	RW	Curva Gama 10º Segmento Ponto Final de Entrada 0x50 Valor de Saída
85	GAM11	8C	RW	Curva Gama 11º Segmento Ponto Final de Entrada 0x60 Valor de Saída
86	GAM12	9E	RW	Curva Gama 12º Segmento Ponto Final de Entrada 0x70 Valor de Saída
87	GAM13	BB	RW	Curva Gama 13º Segmento Ponto Final de Entrada 0x90 Valor de Saída
88	GAM14	D2	RW	Curva Gama 14º Segmento Ponto Final de Entrada 0xB0 Valor de Saída

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
89	GAM15	E5	Curva Gama RW	15º Segmento Ponto Final de Entrada 0xD0 Valor de Saída
8A-8B	RSVD	XX	–	Reservado
8C	RGB444	00	RW	Bit[7:2]: Reservado Bit[1]: RGB444 habilitado, efetivo somente quando COM15[4] está alto 0: Desativar 1: Habilitar Bit[0]: formato de palavra RGB444 0: xRGB 1:RG Bx
8D-91	RSVD	XX	–	Reservado
92	DM_LNL	00	RW	Dummy Line baixa 8 bits
93	DM_LNH	00	RW	Dummy Line alto 8 bits
94	LCC6	50	Opção de correção de lente RW	6 (efetiva apenas quando LCC5[2] está alto)
95	LCC7	50	Opção de correção de lente RW	7 (efetiva apenas quando LCC5[2] está alto)
96-9C	RSVD	XX	–	Reservado
9D	BD50ST	99	RW	Valor do filtro de banda de 50 Hz (efetivo somente quando COM8[5] está alto e COM11[3] está alto)
9E	BD60ST	7F	RW	Valor do filtro de banda de 60 Hz (efetivo somente quando COM8[5] está alto e COM11[3] está baixo)
9F	HAEC1	C0	Controle AEC/AGC baseado em histograma RW	1
A0	HAEC2	90	Controle AEC/AGC baseado em histograma RW	2
A1	RSVD	XX	–	Reservado
A2	ESCALA_PCLK_ATRASO	02	RW	Atraso do relógio de pixel Bit[7]: Reservado Bit[6:0]: Atraso de saída de escala
A3	RSVD	XX	–	Reservado
A4	NT_CTRL	00	RW	Bit[7:4]: Reservado Bit[3]: Controle de ajuste automático da taxa de quadros 0: Tempo de exposição dupla 1: Reduza a taxa de quadros pela metade Bit[2]: Reservado Bit[1:0]: Ponto de mudança de ajuste automático da taxa de quadros 00: Inserir linha fictícia com ganho de 2x 01: Inserir linha fictícia com ganho de 4x 10: Insira linha fictícia com ganho de 8x
A5	BD50MAX	0F	Limite de passo de faixa RW	50Hz
A6	HAEC3	F0	Controle AEC/AGC baseado em histograma RW	3
A7	HAEC4	C1	Controle AEC/AGC baseado em histograma RW	4
A8	HAEC5	F0	Controle AEC/AGC baseado em histograma RW	5
A9	HAEC6	C1	Controle AEC/AGC baseado em histograma RW	6

Tabela 5 Lista de registros de controle de dispositivos (continuação)

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
AA	HAEC7	14	RW	Bit[7]: Seleção do algoritmo AEC 0: Algoritmo AEC baseado em média 1: Algoritmo AEC baseado em histograma Bit[6:0]: Reservado
AB	BD60MAX	0F	Limite de passo de faixa RW 60Hz	
AC	STR-OPT	00	RW	Registrar AC Bit[7]: Ativar estroboscópio Bit[6]: Ganho R/G/B controlado por STR_R (0xAD)/ STR_G (0xAE) / STR_B (0xAF) para quadro de saída de LED Bit[5:4]: Opção de modo Xenon 00: 1 linha 01: 2 linhas 10: 3 linhas 11: 4 linhas Bit[3:2]: Reservado Bit[1:0]: Seleção de modo 00: Xenônio 01: LED 1 1x: LED 2
DE INÍCIO	STR_R	80	Ganho RW R para quadro de saída de LED	
EA	STR_G	80	Ganho RW G para quadro de saída de LED	
AF	STR_B	80	Ganho RW B para quadro de saída de LED	
B0	RSVD	XX	–	Reservado
B1	ABLC1	00	RW	Bit[7:3]: Reservado Bit[2]: ABLC habilitado 0: Desativar função ABLC 1: Habilite a função ABLC Bit[1:0]: Reservado
B2	RSVD	XX	–	Reservado
B3	THL_ST	80	Alvo RW ABLC	
B4	RSVD	XX	–	Reservado
B5	THL_DLT	04	Faixa Estável RW ABLC	
B6-BD	RSVD	XX	–	Reservado
SER	AD-CHB	00	RW	Compensação de nível de preto do canal azul Bit[7]: Reservado Bit[6]: Sinal de bit Bit[5:0]: Compensação do nível de preto do canal azul
reservado	AD-CHR	00	RW	Compensação de nível de preto do canal vermelho Bit[7]: Reservado Bit[6]: Sinal de bit Bit[5:0]: Compensação do nível de preto do canal vermelho

Tabela 5 **Lista de registros de controle de dispositivos (continuação)**

Endereço (Hex)	Registro Nome	Padrão (Hex)	R/W	Descrição
C0	AD-CHGb	00	RW	Compensação de nível de preto do canal Gb Bit[7]: Reservado Bit[6]: Sinal de bit Bit[5:0]: Compensação do nível de preto do canal Gb
C1	AD-CHGr	00	RW	Compensação de nível de preto do canal Gr Bit[7]: Reservado Bit[6]: Sinal de bit Bit[5:0]: Compensação do nível de preto do canal Gr
C2-C8	RSVD	XX	–	Reservado
C9	SATCTR	C0	RW	Controle de saturação Bit[7:4]: Controle mínimo de saturação UV Bit[3:0]: Resultado do controle de saturação UV
NOTA: Todos os outros registros são reservados de fábrica. Entre em contato com a OmniVision Technologies para obter configurações de registro de referência.				

Especificações do pacote

O OV7670/OV7171 usa um Chip Scale Package 2 de 24 esferas (CSP2). Consulte a [Figura 14](#) para informações do pacote, [Tabela 6](#) para dimensões do pacote e [Figura 15](#) para o centro da matriz no chip.



Nota: Para dispositivos OVT sem chumbo, todas as letras de marcação das peças são minúsculas. Sublinhar o último dígito do número do lote indica que CSP2 é usado.

Figura 14 Especificações do pacote OV7670/OV7171

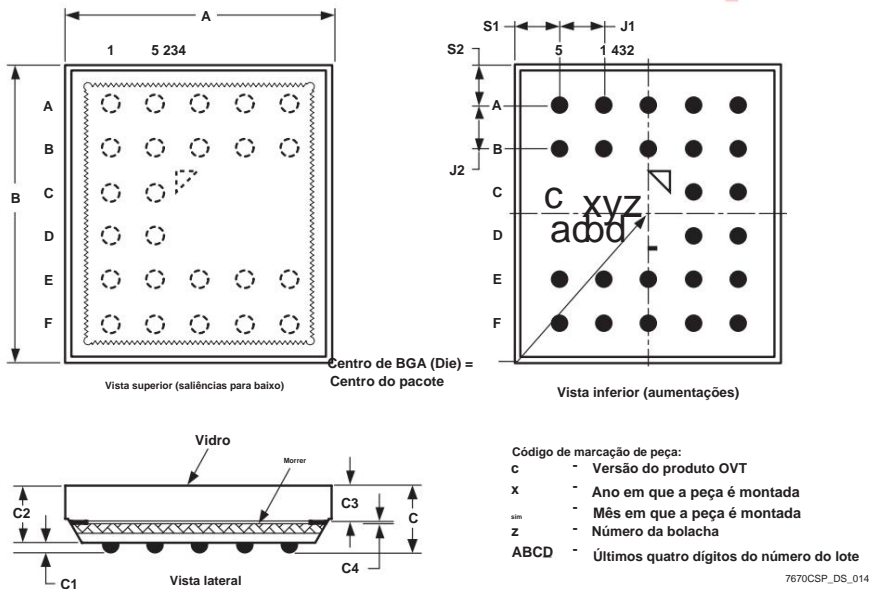
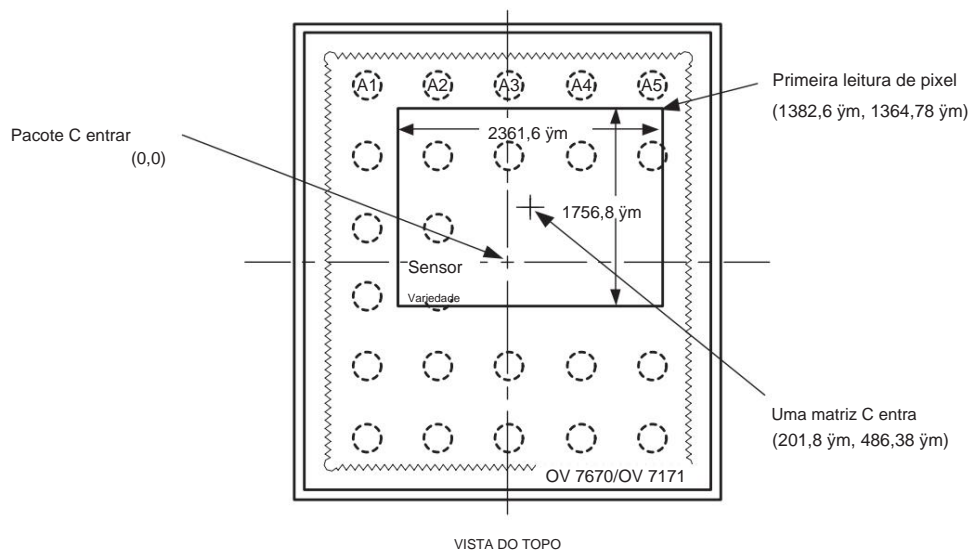


Tabela 6 Dimensões do pacote OV7670/OV7171

Parâmetro	Símbolo	Mínimo	Nominal	Máximo	Unidade
Dimensão do corpo da embalagem X	A	3760	3785	3810	µm
Dimensão Y do Corpo da Embalagem	B	4210	4235	4260	µm
Altura do pacote	C	825	885	945	µm
Altura da bola	C1	130	160	190	µm
Espessura do Corpo da Embalagem	C2	680	725	770	µm
Espessura do vidro de cobertura	C3	375	400	425	µm
Entreferro entre a tampa de vidro e o sensor	C4	30	45	60	µm
Diâmetro da bola	D	270	300	330	µm
Contagem total de pinos	N		24		
Contagem de pinos no eixo X	N1		5		
Contagem de pinos no eixo Y	N2		6		
Passo dos pinos no eixo X	J1		620		µm
Passo dos pinos no eixo Y	J2		620		µm
Distância central borda-pino analógica X	S1	623	653	683	µm
Distância central borda-pino Y analógico	S2	538	568	598	µm

Centro de matriz de sensores**Figura 15 Centro da matriz de sensores OV7670/OV7171**

NOTAS: 1. Este desenho não está em escala e serve apenas como referência.

2. Como a maioria dos conjuntos ópticos invertem e espelham a imagem, o chip normalmente é montado com os pinos A1 a A5 orientados para baixo na PCB.

7670CSP_DS_015

Requisitos de taxa de rampa de refluxo IR

Dispositivos embalados sem chumbo OV7670/OV7171



Nota: Para dispositivos OVT sem chumbo, todas as letras de marcação das peças são minúsculas

Figura 16 Requisitos de taxa de rampa de refluxo IR

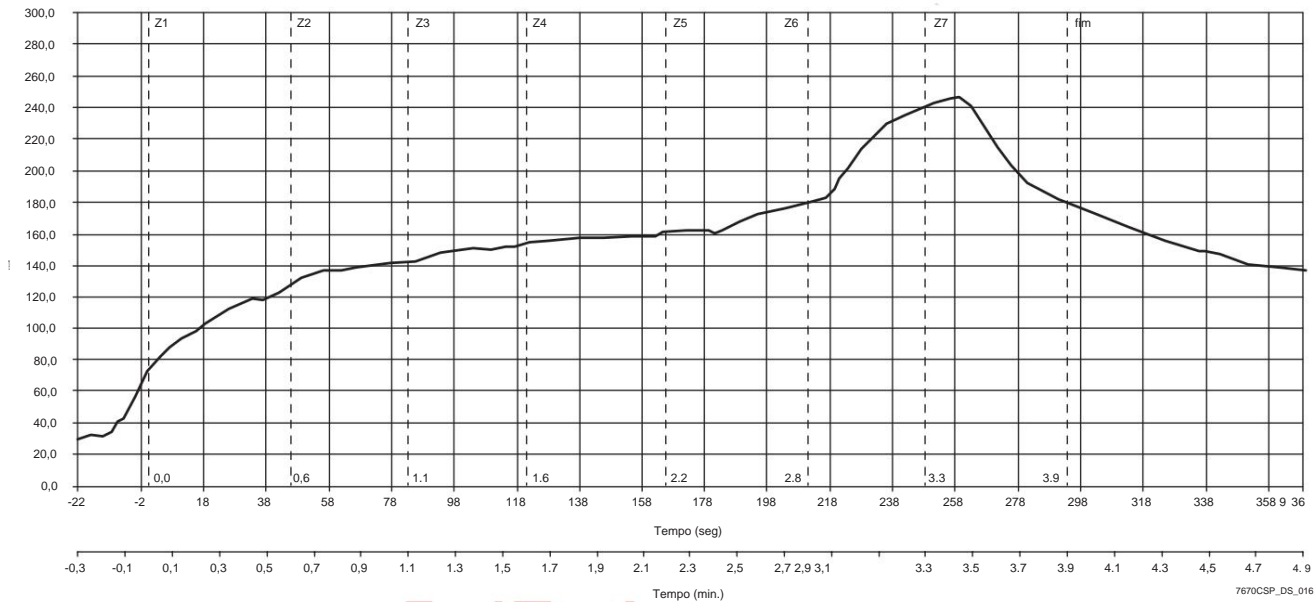


Tabela 7 Condições de refluxo

Doença	Exposição
Taxa média de aceleração (30°C a 217°C)	Menos de 3°C por segundo
> 100°C	Entre 330 - 600 segundos
> 150°C	Pelo menos 210 segundos
> 217°C	Pelo menos 30 segundos (30 ~ 120 segundos)
Temperatura máxima	245°C
Taxa de resfriamento (pico a 50°C)	Menos de 6°C por segundo
Tempo de 30°C a 245°C	Não superior a 390 segundos

Observação:

- Todas as informações aqui apresentadas são atuais na data de revisão e publicação. Consulte o site da OmniVision (<http://www.ovt.com>) para obter as versões atuais de toda a documentação.
- OmniVision Technologies, Inc. reserva-se o direito de fazer alterações em seus produtos ou descontinuar qualquer produto ou serviço sem aviso prévio (é aconselhável obter a documentação atual do produto antes de fazer pedidos).
- A reprodução de informações na documentação e especificações do produto OmniVision é permitida apenas se a reprodução for sem alterações e acompanhada de todas as garantias, condições, limitações e avisos associados. Nesses casos, a OmniVision não se responsabiliza por qualquer informação reproduzida.
- Este documento é fornecido sem qualquer garantia, incluindo qualquer garantia de comercialização, não violação, adequação a qualquer finalidade específica ou qualquer garantia decorrente de qualquer proposta, especificação ou amostra. Além disso, OmniVision Technologies, Inc. isenta-se de qualquer responsabilidade, incluindo responsabilidade por violação de quaisquer direitos de propriedade, relacionados ao uso das informações neste documento. Nenhuma licença, expressa ou implícita, por preclusão ou de outra forma, a quaisquer direitos de propriedade intelectual é concedida aqui.
- 'OmniPixel', 'VarioPixel', 'OmniVision' e o logotipo OmniVision são marcas registradas da OmniVision Technologies, Inc. 'CameraChip' é uma marca registrada da OmniVision Technologies, Inc. Todos os outros nomes comerciais, de produtos ou serviços mencionados neste comunicado podem ser marcas comerciais ou marcas registradas de seus respectivos proprietários. Marcas, nomes e marcas registradas de terceiros são propriedade de seus respectivos proprietários.

Para mais informações, não hesite em contactar a OmniVision em info@ovt.com.

OmniVision Technologies, Inc.
1341 Orleães Drive
Sunnyvale, CA EUA
(408) 542-3000



LISTA DE ALTERAÇÕES DE REVISÃO

Título do documento: Folha de dados OV7670

Versão: 1.0

DESCRIÇÃO DAS MUDANÇAS

Lançamento inicial



LISTA DE ALTERAÇÕES DE REVISÃO

Título do documento: Folha de dados OV7670

Versão: 1.01

DESCRIÇÃO DAS MUDANÇAS

As seguintes alterações foram feitas na versão 1.0:

- Na seção Saída de controle de LED e flash estroboscópico na página 3, texto alterado de “Consulte o documento de suporte do LED estroboscópico da OmniVision Technologies” para “O OV7670 possui um modo estroboscópico que permite trabalhar com um flash externo e LED”



LISTA DE ALTERAÇÕES DE REVISÃO

Título do documento: Folha de dados OV7670/OV7171

Versão: 1.1

DESCRIÇÃO DAS MUDANÇAS

As seguintes alterações foram feitas na versão 1.01:

- Em Recursos na página 1, item com marcador alterado de “Suporta VGA, CIF e ... RGB565/555), ...” para “Suporta VGA, CIF e ... RGB565/555/444), ...”
- Em Especificações principais na página 1, foi adicionada uma nota de rodapé da tabela para fonte de alimentação de E/S que diz “A alimentação de E/S deve ser de 2,45 V ou superior ao usar o regulador interno para Core (1,8 V); caso contrário, é necessário fornecer 1,8 V externo para a fonte de alimentação do Core.”
- Em Especificações principais na página 1, adicionado “RGB444” aos Formatos de saída (8 bits)
- Em Especificações Principais na página 1, alterou o Ângulo do Raio Principal de “TBD” para “25°”
- Em Especificações principais na página 1, alterou a Sensibilidade de “1,1 V/Lux-seg” para “1,3 V/Lux-seg”
- Em Especificações principais na página 1, relação S/N alterada de “40 dB” para “46 dB”
- Em Especificações principais na página 1, faixa dinâmica alterada de “TBD” para “52 dB”
- Na Figura 13 na página 24, alterei a legenda C3 para medir a espessura do vidro e adicionei texto explicativo C4 para medir o entreferro do vidro à matriz.
- Na Tabela 6 na página 24, alterou o nome do parâmetro C3 de “Espessura da superfície do vidro para Wafer” para “Espessura do vidro de cobertura”
- Na Tabela 6 na página 24, especificações mínimas, nominais e máximas C3 alteradas de “425, 445 e 465” a “375, 400 e 425”
- Na Tabela 6 na página 24, foi adicionado o parâmetro C4, entreferro entre a lamela e o sensor, e Especificações mínimas, nominais e máximas “30, 45 e 60”, respectivamente
- Na Tabela 5 na página 21, endereço do registro GAM1 alterado de 7A para 7B
- Na Tabela 5 na página 22, endereço do registro GAM2 alterado de 7B para 7C
- Na Tabela 5 na página 22, endereço do registro GAM3 alterado de 7C para 7D
- Na Tabela 5 na página 22, endereço do registro GAM4 alterado de 7D para 7E
- Na Tabela 5 na página 22, endereço do registro GAM5 alterado de 7E para 7F
- Na Tabela 5 na página 22, endereço do registro GAM6 alterado de 7F para 80
- Na Tabela 5 na página 22, endereço do registro GAM7 alterado de 80 para 81
- Na Tabela 5 na página 22, endereço do registro GAM8 alterado de 89 para 82
- Na Tabela 5 na página 22, endereço do registrador GAM9 alterado de 89 para 83
- Na Tabela 5 na página 22, endereço do registrador GAM10 alterado de 89 para 84
- Na Tabela 5 na página 22, endereço do registrador GAM11 alterado de 89 para 85
- Na Tabela 5 na página 21, adicione o registro SLOP (0x7A)



DESCRIÇÃO DAS ALTERAÇÕES (CONTINUAÇÃO)

- Na Figura 1 na página 1, alterou o nome do pino F2 de "RESET" para "RESET#" • Na Figura 2 na página 2, alterou o texto explicativo "RESET" para "RESET#" • Na Tabela 1 na página 4, alterou o texto explicativo nome do pino F2 de "RESET" para "RESET#" • Na Tabela 1 na página 4, alterou a descrição do pino F2 de "0: Modo normal; 1: Modo de reinicialização" a "0: Modo de reinicialização; 1: Modo normal"
- Na Tabela 1 na página 4, alterou o tipo de pino F2 de "Entrada (0)" para "Entrada"



LISTA DE ALTERAÇÕES DE REVISÃO

Título do documento: Folha de dados OV7670

Versão: 1.2

DESCRIÇÃO DAS MUDANÇAS

As seguintes alterações foram feitas na versão 1.1: • Na página

10, adicionada a Figura 13, Diagrama de temporização de saída RGB 444 • Na Tabela

5 na página 12, alterado o valor padrão do registro VER (0x0B) de "70" para "73" • Na Tabela 5 na página 18, alterou a descrição dos bits de registro COM15[5:4] (0x40) adicionando

" , efetivo somente quando RGB444[1] está baixo" para descrições 01 e 11

• Na Tabela 5 na página 21, alteração da descrição dos bits de registro DBLV[7:6] (0x6B) de:

10: Relógio de entrada x8

11: Relógio de entrada x16

para

10: Relógio de entrada x6

11: Clock de entrada x8

• Na Tabela 5 na página 21, alteração da descrição dos bits de registro DBLV[3:0] (0x6B) para "Reservado"

• Na Tabela 5 na página 23, endereço alterado para registros reservados de "8A-91" para "8A-8B" • Na Tabela 5 na página 23, linha adicionada para o registro RGB444 (0x8C) • Na Tabela 5 na página

23, adicionada linha para registros reservados 8D-91



LISTA DE ALTERAÇÕES DE REVISÃO

Título do documento: Folha de dados OV7670

Versão: 1.3

DESCRIÇÃO DAS MUDANÇAS

As seguintes alterações foram feitas na versão 1.2:

- Na Tabela 5 na página 11, alterado o valor padrão do registro VREF (0x03) de "03" para "00"
- Na Tabela 5 na página 12, alterado o valor padrão do registro COM4 (0x0D) de "40" para "00"
- Na Tabela 5 na página 12, alterou a descrição do bit de registro COM6[6:5] (0x0F) para "Reservado"
- Na Tabela 5 na página 12, alteração da descrição do bit de registro COM6[1] (0x0F) para incluir:
 - 0: Sem reinicialização
 - 1: Redefine o tempo
- Na Tabela 5 na página 13, alterou a descrição do bit de registro CLKRC[7] (0x11) para "Reservado"
- Na Tabela 5 na página 15, alterado o valor padrão do registro MVFP (0x1E) de "00" para "01"
- Na Tabela 5 na página 15, alterado o valor padrão do registro ADCCTR3 (0x23) de "80" para "00"
- Na Tabela 5 da página 16, alterado o valor padrão do registro ARBLM (0x34) de "03" para "11"
- Na Tabela 5 na página 16, alterou o valor padrão do registro ADC (0x37) de "04" para "3F"
- Na Tabela 5 na página 16, alterado o valor padrão do registro ACOM (0x38) de "12" para "01"
- Na Tabela 5 na página 17, alterou o valor padrão do registro TSLB (0x3A) de "0C" para "0D"
- Na Tabela 5 na página 17, alteração da descrição do bit de registro TSLB[0] de "Reservado" para:
 - Bit[0]: Janela de saída automática
 - 0: O sensor NÃO configura a janela automaticamente após a alteração da resolução. O processador back-end complementar pode ajustar a janela de saída imediatamente após alterar a resolução
 - 1: O sensor define automaticamente a janela de saída quando a resolução muda. Depois alterações de resolução, o processador backend complementar deve ajustar a janela de saída após o próximo pulso VSYNC.
- Na Tabela 5 na página 18, alterou o valor padrão do registro COM12 (0x3C) de "40" para "68"
- Na Tabela 5 na página 18, alterou o valor padrão do registro COM13 (0x3D) de "99" para "88"
- Na Tabela 5 na página 18, alteração da descrição do bit de registro COM13[0] (0x3D) de "Reservado" para:
 - Bit[0]: Troca UV (use com registro TSLB[3] (0x3A))
 - TSLB[3], COM13[1]:
 - 00: YUYV
 - 01: VYU
 - 10: UYVY
 - 11: VYUY



DESCRIÇÃO DAS ALTERAÇÕES (CONTINUAÇÃO)

- Na Tabela 5 na página 18, alterou a descrição do bit de registro COM13[1] (0x3D) para "Reservado"
- Na Tabela 5 na página 18, alterou o valor padrão do registro COM14 (0x3E) de "0E" para "00"
- Na Tabela 5 na página 18, alterado o valor padrão do registro EDGE (0x3F) de "88" para "00"
- Na Tabela 5 na página 19, alterou o valor padrão do registro COM16 (0x41) de "10" para "08"
- Na Tabela 5 na página 19, alterado o valor padrão do registro COM17 (0x42) de "08" para "00"
- Na Tabela 5 na página 19, alteração da descrição do registro DNSTH (0x4C) de "De-noise Limiar" para "Força de eliminação de ruído"
- Na Tabela 5 na página 20, alteração da descrição do registro LCC1 (0x62) de "Lens Opção de correção 1" para "Opção de correção de lente 1 - Coordenada X de correção de lente Centro em relação ao centro da matriz"
- Na Tabela 5 na página 20, alteração da descrição do registro LCC2 (0x63) de "Lens Opção de correção 2" para "Opção de correção de lente 2 - Coordenada Y de correção de lente Centro em relação ao centro da matriz"
- Na Tabela 5 na página 20, alteração da descrição do registro LCC3 (0x64) de "Lens Opção de correção 3" para:
 - Opção de correção de lente 3
 - Coeficiente de compensação do canal G quando LCC5[2] (0x66) é 1
 - Coeficiente de compensação dos canais R, G e B quando LCC5[2] (0x66) é 0
- Na Tabela 5 na página 20, alterado o valor padrão do registro LCC3 (0x64) de "10" para "50"
- Na Tabela 5 na página 20, alterado o valor padrão do registro LCC4 (0x65) de "80" para "30"
- Na Tabela 5 na página 20, alteração da descrição do registro LCC4 (0x65) de "Lens Opção de correção 4" para "Opção de correção de lente 4 - Raio da seção circular onde nenhuma compensação se aplica"
- Na Tabela 5 na página 20, alteração da descrição do registro LCC5 (0x66) de:
 - Controle de correção de lente
 - Bit[7:3]: Reservado
 - Bit[2]: Seleção de controle de correção de lente
 - Bit[1]: Reservado
 - Bit[0]: Correção de lente habilitadapara:
 - Controle de correção de lente
 - Bit[7:3]: Reservado
 - Bit[2]: Seleção de controle de correção de lente
 - 0: O coeficiente de compensação dos canais R, G e B é definido pelo registro LCC3
 - 1: O coeficiente de compensação dos canais R, G e B é definido pelos registros LCC6, LCC3 e LCC7, respectivamente
 - Bit[1]: Reservado
 - Bit[0]: Correção de lente habilitada
 - 0: Desativar
 - 1: Habilitar



DESCRIÇÃO DAS ALTERAÇÕES (CONTINUAÇÃO)

- Na Tabela 5 na página 21, alterado o valor padrão do registro DBLV (0x6B) de “3A” para “0A”
- Na Tabela 5 na página 21, alterou o valor padrão do registro AWBCTR1 (0x6E) de “00” para “C0”
- Na Tabela 5 na página 21, alterado o valor padrão do registro SCALING_XSC (0x70) de “4A” a “3A”
- Na Tabela 5 na página 22, alteração na descrição do registro SCALING_DCWCTR (0x72) de:

Controle DCW

Bit[7:0]: Parâmetro de controle DCW

para:

Controle DCW

Bit[7]:	Opção de cálculo de média vertical
	0: Truncamento vertical
	1: Arredondamento vertical
Bit[6]:	Opção de amostragem vertical descendente
	0: Truncamento vertical
	1: Arredondamento vertical
Bit[5:4]:	Taxa de amostragem descendente vertical
	00: Sem amostragem vertical descendente
	01: Amostra vertical descendente em 2
	10: Amostra vertical descendente em 4
	11: Amostra vertical descendente em 8
Bit[3]:	Opção de cálculo de média horizontal
	0: Truncamento horizontal
	1: Arredondamento horizontal
Bit[2]:	Opção de amostragem horizontal descendente
	0: Truncamento horizontal
	1: Arredondamento horizontal
Bit[1:0]:	Taxa de amostragem descendente horizontal
	00: Sem amostragem descendente horizontal
	01: Amostra descendente horizontal em 2
	10: Amostra horizontal descendente em 4
	11: Amostra horizontal descendente em 8



DESCRIÇÃO DAS ALTERAÇÕES (CONTINUAÇÃO)

- Na Tabela 5 na página 22, alteração na descrição do registro SCALING_PCLK_DIV (0x73) de:

Bit[7:4]: Reservado

Bit[3:0]: Controle divisor de clock para controle de escala DSP (válido somente quando COM14[3] = 1).

Deve mudar com COM14[2:0].

0000: Dividido por 1 0001:

Dividido por 2 0010:

Dividido por 4 0011:

Dividido por 8 0100:

Dividido por 16 0101~1111:

Não permitido

para:

Bit[7:4]: Reservado

Bit[3]: Bypass divisor de clock para controle de escala DSP

0: Habilita divisor de clock 1:

Desvia divisor de clock Bit[2:0]:

Controle divisor de clock para controle de escala DSP (válido somente quando COM14[3] = 1).

Deve mudar com COM14[2:0].

000: Dividido por 1 001:

Dividido por 2 010: Dividido

por 4 011: Dividido por 8

100: Dividido por 16

101~111: Não permitido

- Na Tabela 5 na página 23, alteração da descrição do bit de registro REG76[7] de "Reservado" para:

Bit[7]: Correção de pixel preto habilitada 0:

Desativar

1: Habilitar •

Na Tabela 5 na página 23, alteração da descrição do bit de registro REG76[5] para "Reservado" • Na

Tabela 5 na página 23, alteração da descrição do registro REG77 de "Offset, controle de faixa de redução de ruído" para "De -compensação de ruído"

- Na Tabela 5 na página 23, alterado o valor padrão do registro SLOP (0x7A) de "18" para "24" • Na Tabela 5 na página 23, alterado o valor padrão do registro GAM1 (0x7B) de "02" para "04" • Na Tabela 5 na página 23, alterado o valor padrão do registro GAM3 (0x7D) de "1F" para "10" • Na Tabela 5 na página 23, alterado o valor padrão do registro GAM4 (0x7E) de "49" para "28" • Na Tabela 5 na página 23, alterado o valor padrão do registro GAM5 (0x7F) de "5A" para "36" • Na Tabela 5 na página 23, alterado o valor padrão do registro GAM6 (0x80) de "6A" para "44" • Na Tabela 5 na página 23, alterado o valor padrão do registro GAM7 (0x81) de "79" para "52" • Na Tabela 5 na página 23, alterado o valor padrão do registro GAM8 (0x82) de "87" para "60" • Na Tabela 5 na página 23, alterado o valor padrão do registro GAM9 (0x83) de "94" para "6C" • Na Tabela 5 na página 23, alterado o valor padrão do registro GAM10 (0x84) de "9F" para

"78"



DESCRIÇÃO DAS ALTERAÇÕES (CONTINUAÇÃO)

- Na Tabela 5 na página 23, alterado o valor padrão do registro GAM11 (0x85) de “AF” para “8C”
- Na Tabela 5 na página 23, alterado o valor padrão do registro GAM12 (0x86) de “BB” para “9E”
- Na Tabela 5 na página 23, alterado o valor padrão do registro GAM13 (0x87) de “CF” para “BB”
- Na Tabela 5 na página 23, alterado o valor padrão do registro GAM14 (0x88) de “EE” para “D2”
- Na Tabela 5 na página 24, alterado o valor padrão do registro GAM15 (0x89) de “EE” para “E5”
- Na Tabela 5 na página 24, alterou nome, padrão, R/W e descrição do registro 0x9F de “ “, “XX”, “—” e “Controle AEC/AGC baseado em histograma” para “HAECC1”, “C0”, “RW” e “Controle AEC/AGC baseado em histograma 1”, respectivamente
- Na Tabela 5 na página 24, alterou nome, padrão, R/W e descrição do registro 0xA0 de “ “, “XX”, “—” e “Controle AEC/AGC baseado em histograma” para “HAECC2”, “90”, “RW” e “Controle AEC/AGC baseado em histograma 2”, respectivamente
- Na Tabela 5 na página 24, alterou o nome e a descrição do registro 0xA1 de “ “ e “Controle AEC/AGC baseado em histograma” para “RSVD” e “Reservado”, respectivamente
- Na Tabela 5 na página 24, alterou nome, padrão, R/W e descrição do registro 0xA2 para:

SCALING_PCLK_DELAY	02	Atraso do relógio de pixel	RW
	Bit[7]:	Reservado	
	Bit[6:0]:	Atraso de saída de escala	
- Na Tabela 5 na página 24, alterou o nome e a descrição do registro 0xA3 de “ “ e “Controle AEC/AGC baseado em histograma” para “RSVD” e “Reservado”, respectivamente
- Na Tabela 5 na página 24, alterou nome, padrão, R/W e descrição do registro 0xA4 para:

NT_CTRL	00	RW
	Bit[7:4]:	Reservado
	Bit[3]:	Controle de ajuste automático da taxa de quadros
	0:	Tempo de exposição dupla
	1:	Reduza a taxa de quadros pela metade
	Bit[2]:	Reservado
	Bit[1:0]:	Ponto de mudança de ajuste automático da taxa de quadros
	00:	Inserir linha fictícia com ganho de 2x
	01:	Inserir linha fictícia com ganho de 4x
	10:	Inserir linha fictícia com ganho de 8x
- Na Tabela 5 na página 24, alterou nome, padrão, R/W e descrição do registro 0xA5 de “ “, “XX”, “—” e “Controle AEC/AGC baseado em histograma” para “BD50MAX”, “0F”, “RW” e “50Hz Banding Step Limit”, respectivamente
- Na Tabela 5 na página 24, alterou nome, padrão, R/W e descrição do registro 0xA6 de “ “, “XX”, “—” e “Controle AEC/AGC baseado em histograma” para “HAECC3”, “F0”, “RW” e “Controle AEC/AGC baseado em histograma 3”, respectivamente



DESCRIÇÃO DAS ALTERAÇÕES (CONTINUAÇÃO)

- Na Tabela 5 na página 24, alterou nome, padrão, R/W e descrição do registro 0xA7 de “ “, “XX”, “–” e “Controle AEC/AGC baseado em histograma” para “HAECC4”, “C1”, “RW” e “Controle AEC/AGC baseado em histograma 4”, respectivamente
- Na Tabela 5 na página 24, alterou nome, padrão, R/W e descrição do registro 0xA8 de “ “, “XX”, “–” e “Controle AEC/AGC baseado em histograma” para “HAECC5”, “F0”, “RW” e “Controle AEC/AGC baseado em histograma 5”, respectivamente
- Na Tabela 5 na página 24, alterou nome, padrão, R/W e descrição do registro 0xA9 de “ “, “XX”, “–” e “Controle AEC/AGC baseado em histograma” para “HAECC6”, “C1”, “RW” e “Controle AEC/AGC baseado em histograma 6”, respectivamente
- Na Tabela 5 na página 25, alterou nome, padrão, R/W e descrição do registro 0xAA para:

HAECC7	14 RW	Bit[7]: Seleção do algoritmo AEC
		0: Algoritmo AEC baseado em média
		1: Algoritmo AEC baseado em histograma
		Bit[6:0]: Reservado
- Na Tabela 5 na página 25, alterou nome, padrão, R/W e descrição do registro 0xAB de “ “, “XX”, “–” e “Controle AEC/AGC baseado em histograma” para “BD60MAX”, “0F”, “RW” e “60Hz Banding Step Limit”, respectivamente
- Na Tabela 5 na página 25, alteração da descrição dos bits de registro STR-OPT[1:0] (0xAC) de:

Bit[1:0]: Seleção de modo
00: Xenônio
01: LED 1 e 2
1x: LED 3

 para:

Bit[1:0]: Seleção de modo
00: Xenônio
01: LED 1
1x: LED 2
- Na Tabela 5 na página 25, alteração da descrição do registro THL_ST (0xB3) de “Digital Alvo BLC” para “Alvo ABLC”
- Na Tabela 5 na página 25, alterou o valor padrão do registro THL_DLT (0xB5) de “??” para “04”
- Na Tabela 5 na página 25, alteração da descrição do registro THL_DLT (0xB5) de “Digital Faixa Estável BLC” para “Faixa Estável ABLC”
- Na Tabela 5 na página 25, alteração da descrição do registro AD-CHB (0xBE) de:

Bit[7]: Reservado
Bit[6]: Sinal de bit
Bit[5:0]: Valor de deslocamento ADC

 para:

Compensação de nível de preto do canal azul
Bit[7]: Reservado
Bit[6]: Sinal de bit
Bit[5:0]: Compensação do nível de preto do canal azul



DESCRIÇÃO DAS ALTERAÇÕES (CONTINUAÇÃO)

• Na Tabela 5 na página 25, alteração da descrição do registro AD-CHR (0xBF) de:

- Bit[7]: Reservado
- Bit[6]: Sinal de bit
- Bit[5:0]: Valor de deslocamento ADC

para:

- Compensação de nível de preto do canal vermelho
- Bit[7]: Reservado
- Bit[6]: Sinal de bit
- Bit[5:0]: Compensação do nível de preto do canal vermelho •

Na Tabela 5 na página 26, alteração da descrição do registro AD-CHGb (0xC0) de:

- Bit[7]: Reservado
- Bit[6]: Sinal de bit
- Bit[5:0]: Valor de deslocamento ADC

para:

- Compensação de nível de preto do canal Gb
- Bit[7]: Reservado
- Bit[6]: Sinal de bit
- Bit[5:0]: Compensação do nível de preto do canal Gb • Na

Tabela 5 na página 26, alteração da descrição do registro AD-CHGr (0xC1) de:

- Bit[7]: Reservado
- Bit[6]: Sinal de bit
- Bit[5:0]: Valor de deslocamento ADC

para:

- Compensação de nível de preto do canal Gr
- Bit[7]: Reservado
- Bit[6]: Sinal de bit
- Bit[5:0]: Compensação do nível de preto do canal Gr • Na

Tabela 2 na página 5, linha excluída para classificação ESD, especificação do modelo do corpo humano



LISTA DE ALTERAÇÕES DE REVISÃO

Título do documento: Folha de dados OV7670

Versão: 1.4

DESCRIÇÃO DAS MUDANÇAS

As seguintes alterações foram feitas na versão 1.3: • Na

Tabela 5 na página 17, alteração da descrição do registro TSLB[3] (0x3A) de: “Sequência de saída (use com registro COM13[1] (0x3D)) TSLB[3], COM13[1]:” para:

“Sequência de saída (use com registro COM13[0] (0x3D)) TSLB[3], COM13[0]:” • Na

Tabela 5 na página 18, alteração da descrição do registro COM13[0] (0x3D) de: “UV swap (use com registro TSLB[3] (0x3A)) TSLB[3], COM13[1]:” para:

“UV swap (use com registro TSLB[3] (0x3A)) TSLB[3], COM13[0]:”

• Na Figura 15 na página 28, legenda adicionada para a leitura do primeiro pixel (1382,6 μm , 1364,78 μm)