

单元数、系统能达到的最大速率等。第三，从工程的角度考查文档质量、完成项目的时间进度、测试用例的覆盖度等因素。第四，多使用开源的测试工具对系统进行测试，并对测试的结果进行分析与应用。

习题 1

1.1 解释下列名词。

摩尔定律 汇编器 编译器 解释器 链接器 时钟周期 机器字长 主存容量 CPI IPC MIPS MFLOPS CPU 时间

1.2 选择题（考研真题）。

- (1) [2018] 冯·诺依曼结构计算机中数据采用二进制编码表示，其主要原因是_____。
- I. 二进制运算规则简单
II. 制造两个稳态的物理器件较为容易
III. 便于逻辑门电路实现算术运算
- A. 仅 I、II B. 仅 I、III C. 仅 II、III D. I、II、III
- (2) [2019] 下列关于冯·诺依曼结构计算机基本思想的叙述中，错误的是_____。
- A. 程序的功能都通过中央处理器执行指令实现
B. 指令和数据都用二进制表示，形式上无差别
C. 指令按地址访问，数据都在指令中直接给出
D. 程序执行前，指令和数据需预先存放在存储器中
- (3) [2016] 高级语言源程序转换为机器级目标代码文件的程序称为_____。
- A. 汇编程序 B. 链接程序 C. 编译程序 D. 解释程序
- (4) [2015] 计算机硬件能够直接执行的是_____。
- I. 机器语言程序 II. 汇编语言程序 III. 硬件描述语言程序
- A. 仅 I B. 仅 I、II C. 仅 I、III D. I、II、III
- (5) [2011] 下列选项中，描述浮点数操作速度指标的是_____。
- A. MIPS B. CPI C. IPC D. MFLOPS
- (6) [2010] 下列选项中，能缩短程序执行时间的措施是_____。
- I. 提高 CPU 时钟频率 II. 优化数据通路结构 III. 对程序进行编译优化
- A. 仅 I 和 II B. 仅 I 和 III C. 仅 II 和 III D. I、II、III
- (7) [2013] 某计算机主频为 1.2GHz，其指令分为 4 类，它们在基准程序中所占比例及 CPI 如表 1.7 所示。

表 1.7 各类指令在基准程序中所占比例及 CPI

指令类型	所占比例	CPI	指令类型	所占比例	CPI
A	50%	2	C	10%	4
B	20%	3	D	20%	5

该机的 MIPS 数是_____。

- A. 100 B. 200 C. 400 D. 600

- (8) [2012] 假定基准程序 A 在某计算机上的运行时间为 100 秒，其中 90 秒为 CPU 时间，其余为 I/O

时间。若 CPU 速度提高 50%，I/O 速度不变，则运行基准程序 A 所耗费的时间是_____。

- A. 55 秒 B. 60 秒 C. 65 秒 D. 70 秒

(9) [2014] 程序 P 在机器 M 上的执行时间是 20 秒，编译优化后，P 执行的指令数减少到原来的 70%，而 CPI 增加到原来的 1.2 倍，则 P 在 M 上的执行时间是_____。

- A. 8.4 秒 B. 11.7 秒 C. 14.0 秒 D. 16.8 秒

(10) [2017] 假定计算机 M1 和 M2 具有相同的指令集体系结构 (ISA)，主频分别为 1.5GHz 和 1.2GHz。在 M1 和 M2 上运行某基准程序 P，平均 CPI 分别为 2 和 1，则程序 P 在 M1 和 M2 上运行时间的比值是_____。

- A. 0.4 B. 0.625 C. 1.6 D. 2.5

1.3 冯·诺依曼结构计算机的基本思想是什么？按此思想设计的计算机硬件系统应由哪些部件组成？它们各有何作用？

1.4 计算机系统从功能上可划分为哪些层次？各层次在计算机系统中起什么作用？

1.5 假定某计算机 1 和计算机 2 以不同的方式实现了相同的指令集，该指令集中共有 A、B、C、D 4 类指令，它们所占的比例分别为 40%、20%、15% 和 25%。计算机 1 和计算机 2 的时钟周期分别为 600MHz 和 800MHz，各类指令在两计算机上的 CPI 如表 1.8 所示。

表 1.8 各类指令在两计算机上的 CPI

指令类型	A	B	C	D
CPI1	2	3	4	5
CPI2	2	2	3	4

求两计算机的 MIPS 各为多少？

1.6 若某程序编译后生成的目标代码由 A、B、C、D 4 类指令组成，它们在程序中所占比例分别为 40%、20%、15%、25%。已知 A、B、C、D 四类指令的 CPI 分别为 1、2、2、2。现需要对程序进行编译优化，优化后的程序中 A 类指令数量减少了一半，而其他指令数量未发生变化。假设运行该程序的计算机 CPU 主频为 500MHz。回答下列各题。

- (1) 优化前后程序的 CPI 各为多少？
- (2) 优化前后程序的 MIPS 各为多少？
- (3) 通过上面的计算结果，你能得出什么结论？

实践训练

调查主流 CPU 厂商常用的性能测试工具，从网上下载合适的计算机系统性能测试工具对计算机进行性能测试，尝试对比分析不同性能测试工具对同一计算机进行测试的不同结果。结合自己所学的知识，分析性能测试软件的关键是什么。

续表

CRC 码	用途	多项表达式
CRC-3	GSM 移动网络	x^3+x+1
CRC-4	ITU-T G.704	x^4+x+1
CRC-5-ITU	ITU-T G.704	$x^5+x^4+x^2+1$
CRC-5-EPC	二代 RFID	x^5+x^3+1
CRC-5-USB	USB 令牌包	x^5+x^2+1
CRC-6-GSM	GSM 移动网络	$x^6+x^5+x^3+x^2+x+1$
CRC-7	MMC/SD 卡	x^7+x^3+1
CRC-16-CCITT	USB、bluetooth	$x^{16}+x^{15}+x^2+1$
CRC-32	Ethernet, SATA MPEG-2, PKZIP, Gzip 等	$x^{32}+x^{26}+x^{23}+x^{22}+x^{16}+x^{12}+x^{11}+x^{10}+x^8+x^7+x^5+x^4+x^2+x+1$

7. CRC 检错性能

在数据通信与网络中,通常 k 值相当大,一千甚至数千个数据位构成一帧。采用 CRC 码产生 r 位的校验位,具有如下检错能力:

- (1) 所有突发长度小于等于 r 的突发错误;
- (2) $(1-2^{-(r-1)})$ 比例的突发长度为 $r+1$ 的突发错误;
- (3) $(1-2^{-r})$ 比例的突发长度大于 $r+1$ 的突发错误;
- (4) 小于最小码距的任意位数的错误;
- (5) 如果生成多项式中 1 的个数为偶数,可以检测出所有奇数位错误。

这里**突发错误**是指几乎是连续发生的一串错,**突发长度**就是指从出错的第一位到出错的最后一位的长度(中间不一定每一位都错)。如果 $r=16$,就能检测出所有突发长度小于等于 16 的突发错误,以及 99.997% 的突发长度为 17 的突发错误和 99.998% 的突发长度大于 17 的突发错误。所以 CRC 码的检错能力还是非常强的,在实际应用中 CRC 码主要作为检错码来使用。

CRC 检错能力强,开销小,易于用编码器及检测电路实现。在数据存储和数据通信领域,CRC 无处不在:著名的通信协议 X.25 的 FCS(检错序列)采用的是 CRC-CCITT,WinRAR、ARJ、LHA 等压缩工具软件采用的是 CRC32,磁盘驱动器的读写采用的是 CRC16,通用的图像存储格式 GIF、TIFF 等也都用 CRC 作为检错手段。

习题 2

2.1 解释下列名词。

真值 机器码 原码 反码 补码 移码 模 定点数 浮点数 溢出 精度溢出 浮点数规格化 隐藏位 BCD 码 有权码 无权码 BID 码 DPD 码 二进制浮点数 十进制浮点数 ASCII 编码 机内码 字形码 字库 码距 校验码 多重奇偶校验 ECC 码 海明码 CRC 码

2.2 选择题(考研真题)。

- (1) [2015] 由 3 个“1”和 5 个“0”组成的 8 位二进制补码,能表示的最小整数是_____。

A. -126 B. -125 C. -32 D. -3

- (2) [2019] 考虑以下 C 语言代码:

```
unsigned short usi=65535;
short si=usi;
```

执行上述程序段后, si 的值是_____。

- A. -1 B. -32767 C. -32768 D. -65535

(3) [2012] 假定编译器规定 `int` 和 `short` 类型长度分别为 32 位和 16 位, 执行下列 C 语言语句:
`unsigned short x=65530; unsigned int y=x;` 得到 `y` 的机器数为 _____。

- A. 0000 7FFAH B. 0000 FFFAH
 C. FFFF 7FFAH D. FFFF FFFAH

(4) [2016] 有如下 C 语言程序段: `short si=-32767; unsigned short usi=si;` 执行上述两条语句后, `usi` 的值为 _____。

- A. -32767 B. 32767 C. 32768 D. 32769

(5) [2011] `float` 型数据通常用 IEEE754 单精度浮点数格式表示。若编译器将 `float` 型变量 `x` 分配在一个 32 位浮点寄存器 FR1 中, 且 $x=-8.25$, 则 FR1 的内容是 _____。

- A. C104 0000H B. C242 0000H
 C. C184 0000H D. C1C2 0000H

(6) [2013] 某数采用 IEEE754 单精度浮点数格式表示为 C640 0000H, 则该数的值是 _____。

- A. -1.5×2^{13} B. -1.5×2^{12} C. -0.5×2^{13} D. -0.5×2^{12}

(7) [2012] `float` 型 (即 IEEE754 单精度浮点数格式) 能表示的最大正整数是 _____。

- A. $2^{126}-2^{103}$ B. $2^{127}-2^{104}$ C. $2^{127}-2^{103}$ D. $2^{128}-2^{104}$

(8) [2018] IEEE754 单精度浮点格式表示的数中, 最小规格化正数是 _____。

- A. 1.0×2^{-126} B. 1.0×2^{-127} C. 1.0×2^{-128} D. 1.0×2^{-149}

(9) [2014] `float` 型数据通常用 IEEE754 单精度浮点格式表示。假定两个 `float` 型变量 `x` 和 `y` 分别存放在 32 位寄存器 f1 和 f2 中, 若 (f1)=CC90 0000H, (f2)=B0C0 0000H, 则 `x` 和 `y` 之间的关系为 _____。

- A. $x < y$ 且符号相同 B. $x < y$ 且符号不同
 C. $x > y$ 且符号相同 D. $x > y$ 且符号不同

(10) [2010] 假定变量 `i`、`f`、`d` 的数据类型分别为 `int`、`float`、`double` (`int` 用补码表示, `float` 和 `double` 用 IEEE754 标准中的单精度和双精度浮点数据格式表示), 已知 $i=785$, $f=1.5678e3$, $d=1.5e100$, 若在 32 位计算机中执行下列关系表达式, 则结果为真的是 _____。

- I. `i==(int)(float)i` II. `f==(float)(int)f` III. `f==(float)(double)f` IV. `(d+f)-d==f`
 A. 仅 I、II B. 仅 I、III C. 仅 II、III D. 仅 III、IV

(11) [2013] 用海明码对长度为 8 位的数据进行检错和纠错时, 若能纠正一位错, 则校验位数至少为 _____。

- A. 2 B. 3 C. 4 D. 5

2.3 回答下列问题。

- (1) 为什么计算机中采用二进制进行数据表示和运算?
- (2) 相对于奇偶校验, 交叉奇偶校验的检错与纠错能力的提高需要付出哪些方面的代价?
- (3) 为什么计算机中采用补码表示带符号的整数?
- (4) 浮点数的表示范围和精度分别由什么决定?
- (5) 汉字输入码、机内码和字形码在汉字处理过程中各有何作用?
- (6) 在机内码中如何区分 ASCII 字符和汉字字符?
- (7) 为什么现代处理器中又开始支持十进制浮点数运算?
- (8) 如何识别浮点数的正负? 浮点数能表示的数值范围和数值的精度取决于什么?
- (9) 浮点数有两个 0 会带来什么问题?
- (10) 简述 CRC 校验码的检错原理, CRC 能纠错吗?

2.4 写出下列各数的原码、反码和补码。

0, -0, 0.10101, -0.10101, 0.11111, -0.11111, -0.10000, 0.10000

2.5 已知数的补码表示形式, 求数的真值。

$[x]_{\text{补}}=0.10010$, $[x]_{\text{补}}=1.10010$, $[x]_{\text{补}}=1.11111$,

$[x]_{\text{补}}=1.00000$, $[x]_{\text{补}}=0.10001$, $[x]_{\text{补}}=1.00001$ 。

2.6 C 语言中允许无符号数和有符号整数之间的转换, 下面是一段 C 语言代码。

```
int x = -1;
unsigned u = 2147483648;
printf("x=%u=%d\n", x, x);
printf("u=%u=%d\n", u, u);
```

给出在 32 位计算机中上述程序段的输出结果并分析原因。

2.7 分析下列几种情况下所能表示的数据范围分别是多少。

(1) 16 位无符号数;

(2) 16 位原码定点小数;

(3) 16 位补码定点小数;

(4) 16 位补码定点整数。

2.8 用补码表示二进制整数, 机器码为 $x_0x_1x_2x_3x_4x_5x_6x_7$, x_0 为符号位, 补码的模为多少?

2.9 用 IEEE754 32 位单精度浮点数标准表示下列十进制数。

(1) $-6\frac{5}{8}$; (2) 3.1415927; (3) 64000。

2.10 求与单精度浮点数 43940000H 对应的十进制数。

2.11 求单精度浮点数能表示的最大数和最小数。

2.12 设有两个正浮点数: $N_1=2^m \times M_1$, $N_2=2^n \times M_2$ 。

(1) 若 $m < n$, 是否有 $N_1 > N_2$?

(2) 若 M_1 和 M_2 是规格化的数, 上述结论是否正确?

2.13 设二进制浮点数的阶码为 3 位, 尾数为 7 位。用模 2 补码写出它们所能表示的最大正数、最小正数、最大负数和最小负数, 并将它们转换成十进制数。

2.14 将下列十进制数表示成浮点规格化数, 阶码为 4 位, 尾数为 10 位, 各含 1 位符号, 阶码和尾数均用补码表示。

(1) 57/128; (2) -69/128。

2.15 设有效信息为 01011011, 分别写出其奇校验码和偶校验码。如果接收方收到的有效信息为 01011010, 说明如何发现错误。

2.16 由 6 个字符的 7 位 ASCII 字符排列, 再加上水平和垂直偶校验位构成表 2.27 所示的行列结构 (最后一列 HP 为水平奇偶校验位, 最后一行 VP 为垂直奇偶校验位)。

表 2.27 ASCII 交叉校验

字符	7 位 ASCII 字符							HP
3	0	X_1	X_2	0	0	1	1	0
Y ₁	1	0	0	1	0	0	X_3	1
+	X_4	1	0	1	0	1	1	0
Y ₂	0	1	X_5	X_6	1	1	1	1
D	1	0	0	X_7	1	0	X_8	0
=	0	X_9	1	1	1	X_{10}	1	1
VP	0	0	1	1	1	X_{11}	1	X_{12}

则 X_1 、 X_2 、 X_3 、 X_4 处的比特分别为 ____； X_5 、 X_6 、 X_7 、 X_8 处的比特分别为 ____； X_9 、 X_{10} 、 X_{11} 、 X_{12} 处的比特分别为 ____； Y_1 和 Y_2 处的字符分别为 ____ 和 ____。

2.17 设 8 位有效信息为 01101110，试写出它的海明校验码。给出过程，说明分组检测方式，并给出指错字及其逻辑表达式。如果接收方收到的有效信息变成 01101111，说明如何定位错误并纠正错误。

2.18 设要采用 CRC 码传送数据信息 $x=1001$ ，当生成多项式为 $G(x)=1101$ 时，请写出它的循环冗余校验码。若接收方收到的数据信息为 $x'=1101$ ，说明如何定位错误并纠正错误。

实践训练

（1）在 Logsim 中设计包含 16 位数据位的海明码编解码电路，要求能够在假设没有 3 位错的前提下检测出两位错并纠正一位错。

（2）利用组合逻辑电路在 Logsim 中设计一个包含 16 位数据位的并行 CRC 编、解码电路，要求能够在假设没有 3 位错的前提下检测出两位错并纠正一位错。

浮点加减法流水线中包括 4 个功能段, 分别用于进行对阶、尾数求和、规格化、舍入操作的处理, 5 个缓冲寄存器用来暂存各功能段的运算结果, 所有缓冲寄存器采用同一时钟周期进行同步, 每来一个时钟, 所有缓冲寄存器都同步锁存前段运算部件的运算结果, 其输出将为后续运算提供操作数。当浮点流水线充满时, 每隔一个时钟周期就可以完成一个浮点运算, 流水方式不能提升单个浮点运算的性能, 但能大大提高浮点运算的吞吐率。

习题 3

3.1 解释下列名词。

全加器 半加器 进位生成函数 进位传递函数 算术移位 逻辑移位 阵列乘法器 原码恢复余数除法 原码不恢复余数法 阵列除法 串行进位 先行进位 对阶 规格化 保留附加位

3.2 选择题(考研真题)。

(1) [2009] 一个 C 语言程序在一台 32 位机器上运行, 程序中定义了 3 个变量 x 、 y 、 z , 其中 x 和 z 是 int 型, y 为 short 型。当 $x=127$, $y=-9$ 时, 执行赋值语句 $z=x+y$ 后, x 、 y 、 z 的值分别是 _____。

- A. $x=0000007FH$, $y=FFF9H$, $z=00000076H$
- B. $x=0000007FH$, $y=FFF9H$, $z=FFFF0076H$
- C. $x=0000007FH$, $y=FFF7H$, $z=FFFF0076H$
- D. $x=0000007FH$, $y=FFF7H$, $z=00000076H$

(2) [2010] 假定有 4 个整数用 8 位补码分别表示 $r_1=FEH$, $r_2=F2H$, $r_3=90H$, $r_4=F8H$, 若将运算结果存放在一个 8 位的寄存器中, 则下列运算会发生溢出的是 _____。

- A. $r_1 \times r_2$
- B. $r_2 \times r_3$
- C. $r_1 \times r_4$
- D. $r_2 \times r_4$

(3) [2013] 某字长为 8 位的计算机中, 已知整型变量 x 、 y 的机器数分别为 $[x]_{\text{补}}=11110100$, $[y]_{\text{补}}=10110000$ 。若整型变量 $z=2 \times x+y/2$, 则 z 的机器数为 _____。

- A. 11000000
- B. 00100100
- C. 10101010
- D. 溢出

(4) [2018] 假定带符号整数采用补码表示, 若 int 型变量 x 和 y 的机器数分别是 FFFF FDFH 和 0000 0041H, 则 x 、 y 的值以及 $x-y$ 的机器数分别是 _____。

- A. $x=-65$, $y=41$, $x-y$ 的机器数溢出
- B. $x=-33$, $y=65$, $x-y$ 的机器数为 FFFF FF9DH
- C. $x=-33$, $y=65$, $x-y$ 的机器数为 FFFF FF9EH
- D. $x=-65$, $y=41$, $x-y$ 的机器数为 FFFF FF96H

(5) [2018] 整数 x 的机器数为 1101 1000, 分别对 x 进行逻辑右移 1 位和算术右移 1 位操作, 得到的机器数各是 _____。

- A. 1110 1100、1110 1100
- B. 0110 1100、1110 1100
- C. 1110 1100、0110 1100
- D. 0110 1100、0110 1100

(6) [2019] 浮点数加减运算过程一般包括对阶、尾数运算、规格化、舍入和判断溢出等步骤。设浮点数的阶码和尾数均采用补码表示, 且位数分别为 5 位和 7 位 (均含 2 位符号位)。若有两个数 $X=2^7 \times 29/32$, $Y=2^5 \times 5/8$, 则用浮点加法计算 $X+Y$ 的最终结果是 _____。

- A. 001111100010
- B. 001110100010
- C. 010000010001
- D. 发生溢出

(7) [2015] 下列有关浮点数加减运算的叙述中, 正确的是 _____。

- I. 对阶操作不会引起阶码上溢或下溢
- II. 右规和尾数舍入都可能引起阶码上溢
- III. 左规时可能引起阶码下溢
- IV. 尾数溢出时结果不一定溢出

A. 仅 II、III

B. 仅 I、II、IV

C. 仅 I、III、IV

D. I、II、III、IV

3.3 回答下列问题。

- (1) 为什么采用并行进位能提高加法器的运算速度?
- (2) 如何判断浮点数运算结果是否发生溢出?
- (3) 如何判断浮点数运算结果是否为规格化数? 如果不是规格化数, 如何进行规格化?
- (4) 为什么阵列除法器中能用 CAS 的进位 / 借位控制端作为上商的控制信号?
- (5) 移位运算和乘法及除法运算有何关系?

3.4 已知 x 和 y , 用变形补码计算 $x+y$, 并判断结果是否溢出。

- (1) $x=0.11010$, $y=0.101110$ 。
- (2) $x=0.11101$, $y=-0.10100$ 。
- (3) $x=-0.10111$, $y=-0.11000$ 。

3.5 已知 x 和 y , 用变形补码计算 $x-y$, 并判断结果是否溢出。

- (1) $x=0.11011$, $y=0.11101$ 。
- (2) $x=0.10111$, $y=0.11110$ 。
- (3) $x=-0.11111$, $y=-0.11001$ 。

3.6 用原码一位乘法计算 $x \times y$ 。

- (1) $x=-0.11111$, $y=0.11101$ 。
- (2) $x=-0.11010$, $y=-0.01011$ 。

3.7 用补码一位乘法计算 $x \times y$ 。

- (1) $x=0.10110$, $y=-0.00011$ 。
- (2) $x=-0.011010$, $y=-0.011101$ 。

3.8 用原码不恢复余数法计算 $x \div y$ 。

- (1) $x=0.10101$, $y=0.11011$ 。
- (2) $x=-0.10101$, $y=0.11011$ 。

3.9 设数的阶码为 3 位, 尾数为 6 位 (均不包括符号位), 按机器补码浮点运算规则完成下列 $[x+y]_{\text{补}}$ 运算。

- (1) $x=2^{011} \times 0.100100$, $y=2^{010} \times (-0.011010)$ 。
- (2) $x=2^{-101} \times (-0.100010)$, $y=2^{-100} \times (-0.010110)$ 。

3.10 采用 IEEE754 单精度浮点数格式计算下列表达式的值。

- (1) $0.625+(-12.25)$ (2) $0.625-(-12.25)$

3.11 假定在一个 8 位字长的计算机中运行如下 C 语言程序段。

```
unsigned int x=134;
unsigned int y=246;
int m=x; int n=y;
unsigned int z1=x-y;
unsigned int z2=x+y;
int k1=m-n;
int k2=m+n;
```

若编译器编译时将 8 个 8 位寄存器 R1 ~ R8 分别分配给变量 x 、 y 、 m 、 n 、 $z1$ 、 $z2$ 、 $k1$ 和 $k2$ 。请回答下列问题 (提示: 带符号整数用补码表示)。

- (1) 执行上述程序段后, 寄存器 R1、R5 和 R6 中的内容分别是什么? (用十六进制表示)

（2）执行上述程序段后，变量 m 和 $k1$ 的值分别是多少？（用十进制表示）

（3）上述程序段涉及带符号整数加减、无符号整数加减运算，这 4 种运算能否利用同一个加法器及辅助电路实现？简述理由。

（4）计算机内部如何判断带符号整数加减运算的结果是否发生溢出？上述程序段中，哪些带符号整数运算语句的执行结果会发生溢出？

3.12 如果全加器采用图 3.2（b）所示的方案实现，尝试分析图 3.3 ~ 图 3.8 所示电路的时间延迟和成本开销，你认为与图 3.2（a）所示方案相比哪个方案更好，为什么？

实践训练

（1）在 Logisim 中构建 8 位可控加减法电路、4 位先行进位电路、4 位快速加法器、16 位组内并行、组间并行加法器。

（2）在 Logisim 中设计 5 位无符号阵列乘法器，并利用该乘法器构造补码乘法器。

（3）在 Logisim 中设计 8 位原码一位乘法和补码一位乘法器。

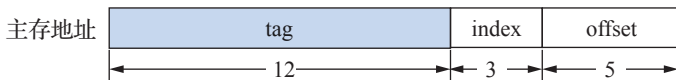
（4）在 Logisim 中设计能满足 MIPS 指令系统功能的 32 位多功能运算器。

解:

(1) 虚拟地址空间为 $16\text{MB}=2^{24}\text{B}$, 所以虚拟地址位宽应为 24 位; 页面大小为 $4\text{KB}=2^{12}\text{B}$, 所以页偏移 VPO 字段应该为 12 位; 虚页号 VPN 位宽为 $24-12=12$ 位。物理地址空间为 $1\text{MB}=2^{20}\text{B}$, 所以物理地址位宽应为 20 位; 页偏移 PPO 和页偏移 VPO 字段相同, 为 12 位, 故剩余的高 8 位为页框号。



(2) 采用直接相联映射的 cache 数据块大小为 $32\text{B}=2^5\text{B}$, 因此块内偏移 offset 位宽为 5。cache 一共 8 行, 所以行索引字段 index 的位宽为 3, 剩余的高 12 位为标记字段。



(3) 虚拟地址 01C60H 的 VPN=1, PPN=C60H, 查页表知其有效位为 1, 页命中; 对应的页表项中页框号为 04H, 故物理地址为 04C60H; 将物理地址 04C60H 分解成 (tag, index, offset) 形式为 (04c, 3, 0), 在直接相联映射方式下, 其对应的 cache 行号为 3; cache 第 3 行有效位为 1, 但是标记位为 105H \neq 04CH, 故不命中。

(4) 虚拟地址 024BACH 的 VPN=024H=10 010 $\bar{0}$ ₂, VPO=BACH, 由于 TLB 表采用 4 路组相联, 一共 2 组可以利用 VPN 的最低位进行组索引, 将 VPN 分解为 (tag=12, index=0) 两部分, 该虚拟地址应该映射到 TLB 第 0 组; 在第 0 组的 4 行中做全相联比较, 发现最后一行有效位为 1, 且与标记字段相符, 说明该页已经调入主存, 因此页框号为 1F, 最终的物理地址为 1FBACH。

习题 4

4.1 解释下列名词。

存取时间 存取周期 存储器带宽 存储单元 边界对齐的数据存放 大端存储 小端存储 静态存储器 动态存储器 刷新 刷新周期 字扩展 位扩展 多体交叉存储器 高速缓冲存储器 双端口存储器 相联存储器 时间局部性 地址映射 直接相联映射 全相联映射 组相联映射 命中率 虚拟存储器 页框号 页表 (慢表) 页表项 TLB (快表) LRU 算法 LFU 算法 cache 一致性 写回法 写穿法

4.2 选择题 (考研真题)。

(1) [2010] 下列有关 RAM 和 ROM 的叙述中, 正确的是_____。

- I. RAM 是易失性存储器, ROM 是非易失性存储器
 - II. RAM 和 ROM 都采用随机存取方式进行信息访问
 - III. RAM 和 ROM 都可用作 cache
 - IV. RAM 和 ROM 都需要进行刷新
- A. 仅 I 和 II B. 仅 II 和 III C. 仅 I、II 和 IV D. 仅 II、III 和 IV

(2) [2014] 某容量为 256MB 的存储器由若干 $4\text{M} \times 8$ 位的 DRAM 芯片构成, 该 DRAM 芯片的地址引脚和数据引脚总数是_____。

- A. 19 B. 22 C. 30 D. 36

(3) [2009] 某计算机主存容量为 64KB, 其中 ROM 区为 4KB, 其余为 RAM 区, 按字节编址。现要用 $2\text{KB} \times 8$ 位的 ROM 芯片和 $4\text{KB} \times 4$ 位的 RAM 芯片来设计该存储器, 则需要上述规格的 ROM 芯片数和 RAM 芯片数分别是_____。

- A. 1、15 B. 2、15 C. 1、30 D. 2、30

(4) [2010] 假定用若干个 $2\text{KB} \times 4$ 位的芯片组成一个 $8\text{K} \times 8$ 位的存储器, 则地址 0B1FH 所在芯片的最小地址是_____。

- A. 0000H B. 0600H C. 0700H D. 0800H

(5) [2018] 假定 DRAM 芯片中存储阵列的行数为 r 、列数为 c , 对于一个 $2\text{KB} \times 1$ 位的 DRAM 芯片, 为保证其地址引脚数最少, 并尽量减少刷新开销, 则 r 、 c 的取值分别是_____。

- A. 2048、1 B. 64、32 C. 32、64 D. 1、2048

(6) [2019] 假定一台计算机采用 3 通道存储器总线, 配套的内存条型号为 DDR3-1333, 即内存条所接插的存储器总线的工作频率为 1333MHz、总线宽度为 64 位, 则存储器总线的总带宽大约是_____。

- A. 10.66GB/s B. 32GB/s C. 64GB/s D. 96GB/s

(7) [2015] 某计算机使用 4 体交叉编址存储器, 假定在存储器总线上出现的主存地址 (十进制) 序列为 8005、8006、8007、8008、8001、8002、8003、8004、8000, 则可能发生访存冲突的地址对是_____。

- A. 8004 和 8008 B. 8002 和 8007 C. 8001 和 8008 D. 8000 和 8004

(8) [2015] 下列存储器中, 在工作期间需要周期性刷新的是_____。

- A. SRAM B. SDRAM C. ROM D. FLASH

(9) [2011] 下列各类存储器中, 不采用随机存取方式的是_____。

- A. EPROM B. CDROM C. DRAM D. SRAM

(10) [2012] 下列关于闪存 (Flash Memory) 的叙述中, 错误的是_____。

- A. 信息可读可写, 并且读、写速度一样快
B. 存储元由 MOS 管组成, 是一种半导体存储器
C. 掉电后信息不丢失, 是一种非易失性存储器
D. 采用随机访问方式, 可替代计算机外部存储器

(11) [2017] 下列关于数组 a 的访问局部性的描述中, 正确的是_____。

- A. 时间局部性和空间局部性皆有 B. 无时间局部性, 有空间局部性
C. 有时间局部性, 无空间局部性 D. 时间局部性和空间局部性皆无

(12) [2009] 某计算机的 cache 共有 16 块, 采用 2 路组相联映射方式 (即每组 2 块)。每个主存块大小为 32B, 按字节编址。主存 129 号单元所在主存块应装入的 cache 组号是_____。

- A. 0 B. 1 C. 4 D. 6

(13) [2012] 假设某计算机按字编址, cache 有 4 行, cache 和主存之间交换的块大小为 1 个字。若 cache 的内容初始为空, 采用 2 路组相联映射方式和 LRU 替换策略。访问的主存地址依次为 0、4、8、2、0、6、8、6、4、8 时, 命中 cache 的次数是_____。

- A. 1 B. 2 C. 3 D. 4

(14) [2015] 假定主存地址为 32 位, 按字节编址, 主存和 cache 之间采用直接相联映射方式, 主存块大小为 4 个字, 每个字 32 位, 采用写回的方式, 则能存放 4K 字数据的 cache 的总容量至少是_____位。

- A. 146K B. 147K C. 148K D. 158K

(15) [2014] 采用指令 cache 与数据 cache 分离的主要目的是_____。

- A. 降低 cache 的缺失损失 B. 提高 cache 的命中率
C. 降低 CPU 平均访存时间 D. 减少指令流水线资源冲突

(16) [2015] 假定编译器将赋值语句“ $x=x+3;$ ”转换为指令“`add xaddr,3`”，其中，`xaddr` 是 x 对应的存储单元地址。若执行该指令的计算机采用页式虚拟存储管理方式，并配有相应的 TLB，且 `cache` 使用写穿的方式，则完成该指令功能需要访问主存的次数至少是_____。

- A. 0 B. 1 C. 2 D. 3

(17) [2010] 下列命中组合情况中，一次访存过程中不可能发生的是_____。

- A. TLB 未命中，`cache` 未命中，Page 未命中
B. TLB 未命中，`cache` 命中，Page 命中
C. TLB 命中，`cache` 未命中，Page 命中
D. TLB 命中，`cache` 命中，Page 未命中

(18) [2013] 某计算机主存地址空间大小为 256MB，按字节编址。虚拟地址空间大小为 4GB，采用页式存储管理方式，页面大小为 4KB，TLB（快表）采用全相联映射，有 4 个页表项，内容如表 4.12 所示。

表 4.12 4 个页表项的内容

有效位	标记	页框号	...
0	FF180H	0002H	...
1	3FFF1H	0035H	...
0	02FF3H	0351H	...
1	03FFFH	0153H	...

则对虚拟地址 03FFF180H 进行虚实地址转换的结果是_____。

- A. 0153180H B. 0035180H C. TLB 缺失 D. 缺页

(19) [2019] 下列关于缺页处理的叙述中，错误的是_____。

- A. 缺页是在地址转换时 CPU 检测到的一种异常
B. 缺页处理由操作系统提供的缺页处理程序完成
C. 缺页处理程序根据页故障地址从外存读入所缺失的页
D. 缺页处理完成后执行发生缺页的指令的下一条指令

4.3 简答题

- (1) 计算机系统中采用层次化存储体系结构的目的是什么？
(2) 为什么在存储器芯片中设置片选输入端？
(3) 动态 MOS 存储器为什么要刷新？如何刷新？
(4) 试述多体交叉存储器的设计思想和实现方法。
(5) 为什么说 `cache` 对程序员是透明的？
(6) 直接相联映射方式下为什么不需要使用替换算法？
(7) 为什么要考虑 `cache` 的一致性？
(8) 替换算法有哪几种？它们各有何优缺点？

4.4 对于 32KB 容量的存储器，若按 16 位字编址，其地址寄存器应是多少位？数据寄存器是多少位？

4.5 用 4 个 32K×8 位 SRAM 存储芯片可设计出哪几种不同容量和字长的存储器？画出相应设计图并完成与 CPU 的连接。

4.6 用 32K×8 位 RAM 芯片和 64K×4 位 ROM 芯片设计 256K×8 位存储器。其中，从 30000H 到 3FFFFH 的地址空间为只读存储区，其他为可读、可写存储区。完成存储器与 CPU 的连接。

4.7 某计算机字长为 16 位，主存容量为 128KB，请用 $16\text{K} \times 8$ 位的静态 RAM 芯片和 $32\text{K} \times 16$ 位的 ROM 芯片为该机设计一个主存储器。要求 $18000\text{H} \sim 1\text{FFFFH}$ 为 ROM 区，其余为 RAM 区。画出该存储器结构及其与 CPU 连接的框图。

4.8 用 $64\text{K} \times 1$ 位的 DRAM 芯片构成 $1\text{M} \times 8$ 位的存储器，若采用异步刷新，每行刷新间隔不超过 2ms ，则产生刷新信号的间隔时间是多少？假设读写周期为 $0.5\mu\text{s}$ ，若采用集中刷新方式，则存储器刷新一遍最少要用多少个读写周期？CPU 的“死”时间为多少？

4.9 设有某动态 RAM 芯片，容量为 $64\text{K} \times 1$ 位，除电源线、接地线和刷新线外，该芯片的最小引脚数量是多少？

4.10 用 $16\text{K} \times 1$ 位的 DRAM 芯片构成 $64\text{K} \times 8$ 位的存储器，设存储器的读写周期为 $0.5\mu\text{s}$ ，要使 CPU 在 $1\mu\text{s}$ 内至少访问存储器一次，采用哪种刷新方式比较合适？若每行刷新间隔不超过 2ms ，该方式下刷新信号的产生周期是多少？

4.11 设 cache 的容量为 2^{14} 块，每块是一个 32 位字，主存容量是 cache 容量的 256 倍，其中有表 4.13 所示的数据（地址和数据均采用十六进制表示）。

表 4.13 主存数据分布情况

地址	数据	地址	数据
000000	87568536	01FFFC	4FFFC68
000008	87792301	FFFFF8	01BF2460
010004	9ABEFC0D		

将主存中这些数据装入 cache 后，cache 各块中的数据内容及相应的标志是什么？

（1）全相联映射；（2）直接相联映射；（3）4 路组相联映射。

4.12 某计算机的 cache 由 64 个存储块构成，采用 4 路组相联映射方式，主存包含 4096 个存储块，每块由 128 个字组成，访问地址为字地址。

（1）主存地址和 cache 地址各有多少位？

（2）按照题干条件中的映射方式，列出主存地址的划分情况，并标出各部分的位数。

4.13 某计算机的主存容量为 4MB，cache 容量为 16KB，每块包含 8 个字，每字为 32 位，映射方式采用 4 路组相联。设 cache 的初始状态为空，CPU 依次从主存第 0,1,2,...,99 号单元读出 100 个字（每次读一个字），并重复此操作 10 次，替换算法采用 LRU 算法。

（1）求 cache 的命中率。

（2）若 cache 比主存快 10 倍，分析采用 cache 后存储访问速度提高了多少。

4.14 假定某数组元素按行优先顺序存放在主存中，则在以下两段伪代码 A 和 B 中，分析下列问题。

（1）两段代码中对数组访问的时间局部性和空间局部性。

（2）变量 sum 的时间局部性和空间局部性。

（3）for 循环体对指令访问的时间局部性和空间局部性。

<pre> int sum_array_A(int a[M][N]) int i,j,sum=0; for(i=0;i<M;i++) for(j=0;j<N;j++) sum+=a[i][j]; return sum; </pre>	<pre> int sum_array_B(int a[M][N]) int i,j,sum=0; for(i=0;i<N;i++) for(j=0;j<M;j++) sum+=a[j][i]; return sum; </pre>
--	--

4.15 主存容量为 8MB，虚存容量为 2GB，分页管理时若页面大小为 4KB，求出对应的 VPN、VPO、PPN、PPO 的位数。

4.16 某页式虚拟存储器共 8 页，每页为 1KB，主存容量为 4KB，页表如表 4.14 所示。

表 4.14 虚拟存储器页表

虚页号	0	1	2	3	4	5	6	7
实页号	3	2	1	2	3	1	0	0
装入位	1	1	0	0	1	0	1	0

- (1) 失效的页有哪几页？
- (2) 虚地址 0、3028、1023、2048、4096、8000 的实地址分别是多少？

4.17 某计算机系统有一个 TLB 和 L1 级数据 cache，存储系统按字节编址，虚拟存储容量为 2GB，主存容量为 4MB，页大小为 128KB，TLB 采用 4 路组相联方式，共有 16 个页表项。cache 容量为 16KB，每块包含 8 个字，每字为 32 位，映射方式采用 4 路组相联，回答下列问题。

- (1) 虚拟地址中哪几位表示虚拟页号？哪几位表示页内地址？虚拟页号中哪几位表示 TLB 标记？哪几位表示 TLB 索引？
- (2) 物理地址中哪几位表示物理页号？哪几位表示偏移地址？
- (3) 为实现主存与数据 cache 之间的组相联映射，对该地址应进行怎样的划分？

4.18 某计算机采用页式虚拟存储管理方式，按字节编址，虚拟地址为 32 位，物理地址为 24 位，页大小为 8KB；TLB 采用全相联映射；cache 数据区大小为 64KB，按 2 路组相联方式组织，主存块大小为 64B。存储访问过程的示意图如图 4.57 所示。请回答下列问题。

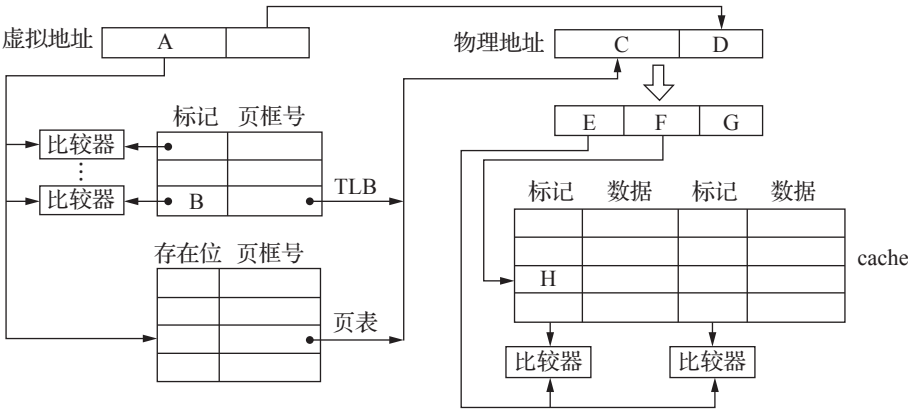


图 4.57 存储访问过程示意图

- (1) 图中字段 A ~ G 的位数各是多少？TLB 标记字段 B 中存放的是什么信息？
- (2) 将块号为 4099 的主存块装入 cache 中时，映射的 cache 组号是多少？对应 H 字段的内容是什么？
- (3) cache 缺失处理的时间开销大还是缺页处理的时间开销大？为什么？
- (4) 为什么 cache 可以采用写穿策略，而修改页面内容时总是采用写回策略？

4.19 某计算机采用页式虚拟存储管理方式，按字节编址。CPU 进行存储访问的过程如图 4.58 所示。回答下列问题。

- (1) 主存的物理地址占多少位？
- (2) TLB 采用什么映射方式？TLB 是用 SRAM 还是用 DRAM 实现？
- (3) cache 采用什么映射方式？若 cache 采用 LRU 替换算法和写回策略，则 cache 每行中除数据 (Data)、tag 和有效位外，还应有哪些附加位？cache 总容量是多少？cache 中有效位的作用是什么？

（4）若 CPU 给出的虚拟地址为 0008 C040H，则对应的物理地址是多少？是否在 cache 中命中？说明理由，若 CPU 给出的虚拟地址为 0007 C260H，则该地址所在主存块映射到的 cache 组号是多少？

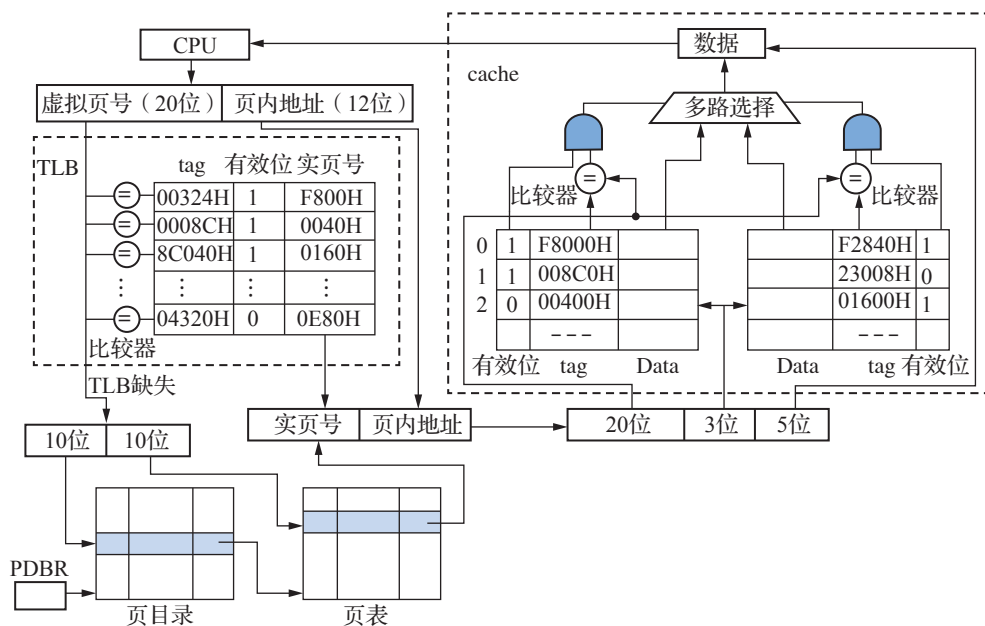


图 4.58 页式虚拟存储器访问过程示意图

实践训练

- （1）在 Logisim 中利用 ROM 组件构建能显示 16×16 点阵的汉字字库存储系统。
- （2）在 Logisim 中利用 RAM 组件构建能同时支持 8 位、16 位、32 位数据访问的存储器。
- （3）在 Logisim 中利用给定的 cache 框架分别设计直接相联、全相联、组相联映射 cache。

表 5.19 RISC-V 寻址方式

#	寻址方式	有效地址 EA/ 操作数 S	指令示例
1	立即数寻址	$S=imm$	<code>addi rd,rs1,imm</code>
2	寄存器寻址	$S=R[rs1]$	<code>add rd,rs1,rs2</code>
3	寄存器相对寻址 / 基址寻址	$EA=R[rs1]+imm$	<code>lw rd,imm(rs1)</code>
4	相对寻址	$EA=PC+imm<<1$	<code>beq rs1,rs2,imm</code>

习题 5

5.1 解释下列名词。

指令 指令系统 操作码 扩展操作码 地址码 寻址方式 程序计数器 PC 有效地址 存储器堆栈 寄存器堆栈 基址寄存器 变址寄存器 转子指令 CISC RISC

5.2 选择题（考研真题）。

(1) [2017] 某计算机按字节编址，指令字长固定且只有两种指令格式，其中三地址指令 29 条，二地址指令 107 条，每个地址字段为 6 位，则指令字长至少应该是_____。

- A. 24 位 B. 26 位 C. 28 位 D. 32 位

(2) [2014] 某计算机有 16 个通用寄存器，采用 32 位定长指令字，操作码字段（含寻址方式位）为 8 位，Store 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若基址寄存器可使用任一通用寄存器，且偏移量用补码表示，则 Store 指令中偏移量的取值范围是_____。

- A. $-32768 \sim +32767$ B. $-32767 \sim +32768$
C. $-65536 \sim +65535$ D. $-65535 \sim +65536$

(3) [2020] 某计算机采用 16 位定长指令字格式，操作码位数和寻址方式位数固定，指令系统中有 48 条指令，支持直接、间接、立即、相对 4 种寻址方式，单地址指令中直接寻址方式可寻址范围是_____。

- A. $0 \sim 255$ B. $0 \sim 1023$ C. $-128 \sim 127$ D. $-512 \sim 511$

(4) [2016] 某指令格式如图 5.33 所示。



图 5.33 某指令格式

其中 M 为寻址方式，I 为变址寄存器编号，D 为形式地址。若采用先变址后间址的寻址方式，则操作数的有效地址是_____。

- A. $I+D$ B. $(I)+D$ C. $((I)+D)$ D. $((I))+D$

(5) [2009] 某计算机字长为 16 位，主存按字节编址，转移指令采用相对寻址，由两个字节组成，第一字节为操作码字段，第二字节为相对位移量字段。假定取指令时，每取一个字节 PC 自动加 1。若某转移指令所在主存地址为 2000H，相对位移量字段的内容为 06H，则该转移指令成功转移后的目标地址是_____。

- A. 2006H B. 2007H C. 2008H D. 2009H

(6) [2011] 偏移寻址通过将某个寄存器内容与一个形式地址相加来生成有效地址。下列寻址方式中，不属于偏移寻址方式的是_____。

- A. 间接寻址 B. 基址寻址 C. 相对寻址 D. 变址寻址

(7) [2013] 假设变址寄存器 R 的内容为 1000H，指令中的形式地址为 2000H；地址 1000H 中的内容为 2000H，地址 2000H 中的内容为 3000H，地址 3000H 中的内容为 4000H，则变址寻址方式下访问到的操

作数是_____。

- A. 1000H B. 2000H C. 3000H D. 4000H

(8) [2017] 下列寻址方式中, 最适合按下标顺序访问一维数组元素的是_____。

- A. 相对寻址 B. 寄存器寻址 C. 直接寻址 D. 变址寻址

(9) [2019] 某计算机采用大端方式, 按字节编址。某指令中操作数的机器数为 1234 FF00H, 该操作数采用基址寻址方式, 形式地址 (用补码表示) 为 FF12H, 基址寄存器的内容为 F000 0000H, 则该操作数的 LSB (最低有效字节) 所在的地址是_____。

- A. F000 FF12H B. F000 FF15H C. EFFF FF12H D. EFFF FF15H

(10) [2018] 按字节编址的计算机中, 某 double 型数组 A 的首地址为 2000H, 使用变址寻址和循环结构访问数组 A, 保存数组下标的变址寄存器初值为 0, 每次循环取一个数组元素, 其偏移地址为变址值乘以 sizeof(double), 取完后变址寄存器内容自动加 1。若某次循环所取元素的地址为 2100H, 则进入该次循环时变址寄存器的内容是_____。

- A. 2 B. 32 C. 64 D. 100

(11) [2011] 某计算机有一个标志寄存器, 其中有进位 / 借位标志 CF、零标志 ZF、符号标志 SF 和溢出标志 OF, 条件转移指令 bgt (无符号整数比较大小时转移) 的转移条件是_____。

- A. $CF+ZF=1$ B. $\overline{SF}+ZF=1$ C. $\overline{CF}+\overline{ZF}=1$ D. $\overline{CF}+\overline{SF}=1$

(12) [2018] 减法指令 sub R1,R2,R3 的功能为 “ $(R1)-(R2) \rightarrow R3$ ”, 该指令执行后将生成进位 / 借位标志 CF 和溢出标志 OF。若 $(R1)=\text{FFFFFFFH}$, $(R2)=\text{FFFFFFFH}$, 则该减法指令执行后, CF 与 OF 分别为_____。

- A. $CF=0, OF=0$ B. $CF=1, OF=0$ C. $CF=0, OF=1$ D. $CF=1, OF=1$

(13) [2009] 下列关于 RISC 的叙述中, 错误的是_____。

- A. RISC 普遍采用微程序控制器
B. RISC 中的大多数指令在一个时钟周期内完成
C. RISC 的内部通用寄存器数量比 CISC 的多
D. RISC 的指令数、寻址方式和指令格式种类比 CISC 的少

5.3 简答题。

- (1) 什么叫指令? 什么叫指令系统?
- (2) 计算机中为什么要设置多种操作数寻址方式?
- (3) 操作数寻址方式在指令中如何表示?
- (4) 基址寻址和变址寻址的作用是什么? 分析它们的异同点。
- (5) RISC 处理器有何特点?
- (6) 比较定长指令与变长指令的优缺点。
- (7) 指令的地址码与指令中的操作码含义有何不同?

5.4 根据操作数所在的位置, 在空格处填写其寻址方式。

- (1) 操作数在指令中为_____寻址方式。
- (2) 操作数地址 (主存) 在指令中为_____寻址方式。
- (3) 操作数在寄存器中为_____寻址方式。
- (4) 操作数地址在寄存器中为_____寻址方式。

5.5 某计算机字长为 16 位, 运算器为 16 位, 有 16 个通用寄存器, 8 种寻址方式, 主存为 128KW, 指令中操作数地址码由寻址方式字段和寄存器号字段组成。请回答下列问题。

- (1) 单操作数指令最多有多少条?

- (2) 双操作数指令最多有多少条?
- (3) 直接寻址的范围多大?
- (4) 变址寻址的范围多大?

5.6 假设某计算机的指令长度固定为 16 位, 具有双操作数、单操作数和无操作数 3 类指令, 每个操作数地址规定用 6 位表示。

(1) 若操作码字段不固定, 现已设计出 m 条双操作数指令、 n 条无操作数指令, 在此情况下, 这台计算机最多可以设计出多少条单操作数指令?

(2) 若操作码字段不固定, 当双操作数指令取最大数时, 且在此基础上, 单操作数指令条数也取最大值, 试计算这 3 类指令最多可拥有多少条指令?

5.7 设相对寻址的转移指令占 3 个字节, 第一个字节是操作码, 第二个字节是相对位移量 (补码表示) 的低 8 位, 第三个字节是相对位移量 (补码表示) 的高 8 位, 每当 CPU 从存储器取一个字节时, 便自动完成 $(PC)+1-PC$ 。请回答下列问题。

(1) 若 PC 当前值为 256 (十进制), 要求转移到 290 (十进制), 则转移指令第二、三字节的机器代码是什么 (十六进制)?

(2) 若 PC 当前值为 128 (十进制), 要求转移到 110 (十进制), 则转移指令第二、三字节的机器代码又是什么 (十六进制)?

5.8 计算机的指令格式包括操作码 OP、寻址方式特征位 I 和形式地址 D 等 3 个字段, 其中 OP 字段为 6 位, 寻址方式特征位 I 为 2 位, 形式地址字段 D 为 8 位。I 的取值与寻址方式的对应关系如下。

- I=00: 变址。
- I=01: 用变址寄存器 X1 进行变址。
- I=10: 用变址寄存器 X2 进行变址。
- I=11: 相对寻址。

设 $(PC)=1234H$, $(X1)=0037H$, $(X2)=1122H$, 以下 4 条指令均采用上述格式, 请确定这些指令的有效地址。

- (1) 4420H; (2) 2244H; (3) 1322H; (4) 3521H。

5.9 某计算机 A 有 60 条指令, 指令的操作码字段固定为 6 位, 从 000000 ~ 111011, 该计算机的后续机型 B 中需要增加 32 条指令, 并与 A 保持兼容。

- (1) 试采用扩展操作码为计算机 B 设计指令操作码。
- (2) 求出计算机 B 中操作码的平均长度。

5.10 以下 MIPS 指令代表什么操作? 写出它的 MIPS 汇编指令格式。

0000 0000 1010 1111 1000 0000 0010 0000

5.11 假定以下 C 语言语句中包含的变量 f、g、h、i、j 分别存放在寄存器 \$11 ~ \$15 中, 写出实现 C 语言语句 $f=(g+h)*i/j$ 功能的 MIPS 汇编指令序列, 并写出每条 MIPS 指令的十六进制数。

5.12 某计算机字长为 16 位, 主存地址空间大小为 128KB, 按字编址。采用单字长指令格式, 指令各字段定义如图 5.34 所示。

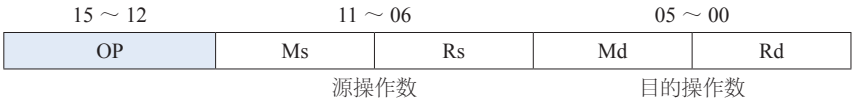


图 5.34 单字长指令各字段定义

转移指令采用相对寻址方式, 相对偏移量用补码表示, 寻址方式定义如表 5.20 所示。

表 5.20 转移指令寻址方式

M _s /M _d	寻址方式	助记符	含义
000B	寄存器直接寻址	R _n	操作数 =(R _n)
001B	寄存器间接寻址	(R _n)	操作数 =(R _n)
010B	寄存器间接 + 自增寻址	(R _n)+	操作数 =(R _n), (R _n)+1 → (R _n)
011B	相对寻址	D(R _n)	转移目标地址 =(PC)+(R _n)

注：(X) 表示存储器地址 X 或寄存器 X 的内容。

请回答下列问题。

- (1) 该指令系统最多可有多少条指令？该计算机最多有多少个通用寄存器？
- (2) 存储器地址寄存器 MAR 和存储器数据寄存器 MDR 至少各需要多少位？
- (3) 转移指令的目标地址范围是多少？

(4) 若操作码 0010B 表示加法操作（助记符为 add），寄存器 R4 和 R5 的编号分别为 100B 和 101B，R4 的内容为 1234H，R5 的内容为 5678H，地址 1234H 中的内容为 5678H，地址 5678H 中的内容为 1234H，则汇编语言为“add (R4),(R5)+”（逗号前为源操作数，逗号后为目的操作数）对应的机器码是什么（用十六进制表示）？该指令执行后，哪些寄存器和存储单元中的内容会改变？改变后的内容是什么？

5.13 某计算机采用 16 位定长指令字格式，其 CPU 中有一个标志寄存器，其中包含进位 / 借位标志 CF、零标志 ZF 和符号标志 NF。假定为该计算机设计了条件转移指令，其格式如图 5.35 所示。

15 ~ 11	10	9	8	07 ~ 00
00000	C	Z	N	OFFSET

图 5.35 条件转移指令格式

其中，00000 为操作码 OP；C、Z 和 N 分别为 CF、ZF 和 NF 的对应检测位，某检测位为 1 时表示需检测对应标志，需检测的标志位中只要有一个为 1 就转移，否则不转移。例如，若 C=1，Z=0，N=1，则需检测 CF 和 NF 的值，当 CF=1 或 NF=1 时发生转移；OFFSET 是相对偏移量，用补码表示。转移执行时，转移目标地址为 (PC)+2+OFFSET×2；顺序执行时，下条指令地址为 (PC)+2。请回答下列问题。

- (1) 该计算机存储器按字节编址还是按字编址？该条件转移指令向后（反向）最多可跳转多少条指令？
- (2) 某条件转移指令的地址为 200CH，指令内容如图 5.36 所示，若该指令执行时 CF=0，ZF=0，NF=1，则该指令执行后 PC 的值是多少？若该指令执行时 CF=1，ZF=0，NF=0，则该指令执行后 PC 的值又是多少？请给出计算过程。

15 ~ 11	10	9	8	07 ~ 00
00000	0	1	1	1 1 1 0 0 1 1

图 5.36 某条件转移指令

- (3) 实现“无符号数比较小于等于时转移”功能的指令中，C、Z 和 N 应各是什么？

实践训练

- (1) 在 MIPS 汇编器 MARS 中，利用最少的 MIPS 指令编写一个内存数据冒泡排序程序。
- (2) 在 RISC-V 汇编器 RARS 中，利用最少的 RISC-V 指令编写一个内存数据冒泡排序程序。

护好中断入口地址, 保证 CPU 能进行正确的中断识别。中断服务程序主要包括 4 个步骤: **保护现场、中断服务、恢复现场、中断返回**。

保护现场主要是将中断服务程序中会被改写的寄存器通过压栈的方式保存到内存堆栈中, 以保证被中断的程序在执行完中断服务程序之后还能正确执行。注意这里的现场和普通函数调用中的调用者保存寄存器不完全相同, 因为中断服务程序中并没有被调用者, 所以凡是会被改写破坏的寄存器都需要作为现场并受到压栈保护, 例如程序状态字、多级嵌套中断时的 EPC、其他会被改写的通用寄存器等。保护现场后就可以进入中断服务阶段进行中断处理, 完成中断服务后要恢复现场, 然后执行中断返回指令 **eret** 进行中断返回。需要注意的是, 多级嵌套中断在进入中断服务阶段之前要先开中断, 以保证中断服务程序还可被中断。另外为保证恢复现场的完整性, 恢复现场之前要先关中断, 单级中断由于中断响应周期就做关中断处理了, 因此无须进行此操作。

习题 6

6.1 解释下列名词。

指令周期 数据通路 机器周期 时钟周期 同步控制 异步控制 单周期处理器 多周期处理器 时序发生器 硬布线控制器 微命令 微操作 公操作 相容性微命令 互斥性微命令 微指令 微程序 **取址微程序** 微指令周期 微程序控制器 控制存储器 水平型微指令 垂直型微指令 指令异常 故障异常 自陷异常 中断响应微程序

6.2 选择题 (考研真题)。

- (1) [2010] 下列寄存器中, 汇编语言程序员可见的是_____。
 - A. 存储器地址寄存器 (MAR)
 - B. 程序计数器 (PC)
 - C. 存储器数据寄存器 (MDR)
 - D. 指令寄存器 (IR)
- (2) [2019] 某指令功能为 $R[r2] \leftarrow R[r1] + M[R[r0]]$, 其两个源操作数分别采用寄存器、寄存器间接寻址方式。对于下列给定部件, 该指令在取数及执行过程中需要用到的是_____。
 - I. 通用寄存器组 (GPRs)
 - II. 算术逻辑单元 (ALU)
 - III. 存储器 (Memory)
 - IV. 指令译码器 (ID)
 - A. 仅 I、II
 - B. 仅 I、II、III
 - C. 仅 II、III、IV
 - D. 仅 I、II、IV
- (3) [2016] 某计算机主存空间为 4 GB, 字长为 32 位, 按字节编址, 采用 32 位定长指令字格式。若指令按字边界对齐存放, 则程序计数器 (PC) 和指令寄存器 (IR) 的位数至少分别是_____。
 - A. 30、30
 - B. 30、32
 - C. 32、30
 - D. 32、32
- (4) [2019] 下列有关处理器时钟脉冲信号的叙述中, 错误的是_____。
 - A. 时钟脉冲信号由机器脉冲源发出的脉冲信号经整形和分频后形成
 - B. 时钟脉冲信号的宽度称为时钟周期, 时钟周期的倒数为机器主频
 - C. 时钟周期以相邻状态单元间组合逻辑电路的最大延迟为基准确定
 - D. 处理器总是在每来一个时钟脉冲信号时就开始执行一条新的指令
- (5) [2016] 单周期处理器中所有指令的指令周期为一个时钟周期。下列关于单周期处理器的叙述中, 错误的是_____。
 - A. 可以采用单总线结构数据通路
 - B. 处理器时钟频率较低
 - C. 在指令执行过程中控制信号不变
 - D. 每条指令的 CPI 为 1
- (6) [2017] 下列关于主存 (MM) 和控制存储器 (CS) 的叙述中, 错误的是_____。
 - A. MM 在 CPU 外, CS 在 CPU 内

- B. MM 按地址访问, CS 按内容访问
- C. MM 存储指令和数据, CS 存储微指令
- D. MM 用 RAM 和 ROM 实现, CS 用 ROM 实现

(7) [2009] 相对于微程序控制器, 硬布线控制器的特点是_____。

- A. 指令执行速度慢, 指令功能的修改和扩展容易
- B. 指令执行速度慢, 指令功能的修改和扩展难
- C. 指令执行速度快, 指令功能的修改和扩展容易
- D. 指令执行速度快, 指令功能的修改和扩展难

(8) [2012] 某计算机的控制器采用微程序控制方式, 微指令中的操作控制字段采用字段直接编码法, 共有 33 个微命令, 构成 5 个互斥类, 分别包含 7、3、12、5 和 6 个微命令, 则操作控制字段至少有_____。

- A. 5 位
- B. 6 位
- C. 15 位
- D. 33 位

(9) [2014] 某计算机采用微程序控制器, 共有 32 条指令, 公共的取指令微程序包含两条微指令, 各指令对应的微程序平均由 4 条微指令组成, 采用断定法 (下址字段法) 确定下条微指令地址, 则微指令中下址字段的位数至少是_____。

- A. 5
- B. 6
- C. 8
- D. 9

(10) [2011] 假定不采用 cache 和指令预取技术, 且计算机处于“开中断”状态, 则在下列有关指令执行的叙述中, 错误的是_____。

- A. 每个指令周期中 CPU 都至少访问内存一次
- B. 每个指令周期一定大于或等于一个 CPU 时钟周期
- C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
- D. 当前程序在每条指令执行结束时都可能被外部中断打断

6.3 回答下列问题。

- (1) CPU 的基本功能是什么? 从实现其功能的角度分析, 它应由哪些部件组成?
- (2) CPU 内部有哪些寄存器? 功能分别是什么? 哪些是程序员可见的? 哪些是必需的?
- (3) 什么是取指周期? 取指周期内应完成哪些操作?
- (4) 计算机为什么要设置时序系统? 说明指令周期、机器周期和时钟周期的含义。
- (5) 简述传统三级时序和现代时序的差异。
- (6) 比较单周期 MIPS 处理器与多周期 MIPS 处理器的差异。
- (7) 组合逻辑控制器与微程序控制器各有什么特点?
- (8) 说明程序与微程序、指令与微指令的异同。
- (9) 微命令有哪几种编码方法? 它们是如何实现的?
- (10) 简述微程序控制器和硬布线控制器的设计方法。
- (11) 简述 CPU 中内部异常与外部中断的区别。
- (12) 简述异常与中断处理的一般流程。
- (13) 要支持异常与中断处理, CPU 需要对硬、软件进行哪些扩展?

6.4 某 CPU 的结构如图 6.69 所示, 其中 AC 为累加器, 条件状态寄存器保存指令执行过程中的状态。

a、b、c、d 为 4 个寄存器。图中箭头表示信息传送的方向, 试完成下列各题。

(1) 根据 CPU 的功能和结构标明图中 4 个寄存器的名称。

(2) 简述指令 LDA addr 的数据通路, 其中 addr 为主存地址, 指令的功能是将主存 addr 单元的内容送入 AC 中。

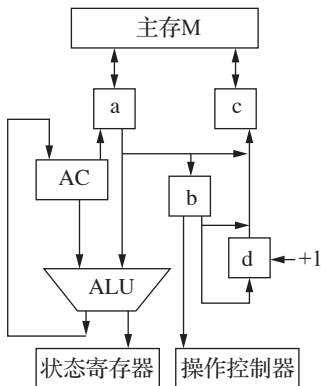


图 6.69 某 CPU 的结构框图

6.5 修改图 6.8 所示的单总线结构处理器，使其能够支持如下 MIPS 指令，具体指令功能请查阅 MIPS32 指令手册。试描述需要增加或修改哪些数据通路和控制信号，尝试给出各指令的执行流程和每一步的操作控制信号。

(1) sll; (2) lui; (3) bltz; (4) j。

6.6 假设图 6.25 所示的单周期 MIPS 处理器中，操作控制器输出某个控制信号时发生了恒 0 故障，表 6.2 中的哪些指令会发生错误呢？为什么？如果是恒 1 故障呢？

(1) RegWrite; (2) RegDst; (3) MemWrite。

6.7 修改图 6.25 所示的单周期 MIPS 处理器，使其能够支持如下 MIPS 指令，具体指令功能请查阅 MIPS32 指令手册。试描述需要增加或修改哪些数据通路和控制信号，尝试给出各指令的执行流程和每一步的操作控制信号。

(1) srl; (2) lui; (3) blez; (4) jal。

6.8 假设图 6.27 所示的多周期 MIPS 处理器中，操作控制器输出的某个控制信号时发生了恒 0 故障，表 6.2 中的哪些指令会发生错误呢？为什么？如果是恒 1 故障呢？

(1) PCSrc; (2) MemToReg; (3) IorD。

6.9 修改图 6.27 所示的多周期 MIPS 处理器，使其能够支持如下 MIPS 指令，具体指令功能请查阅 MIPS32 指令手册。试描述需要增加修改哪些数据通路和控制信号，尝试给出各指令的执行流程和每一步的操作控制信号。

(1) sra; (2) lui; (3) bgtz; (4) j。

6.10 假设构成 CPU 的各功能部件的时间延迟如表 6.21 所示，试分别计算单周期、多周期 MIPS 处理器的最小时钟周期和最大时钟频率。假设某 MIPS 程序包含 1000 亿条指令，其中 lw、sw、beq、R 型算术逻辑运算、I 型算术逻辑运算指令比例分别为 10%、10%、10%、50%、20%，试分别计算该程序在单总线结构处理器、单周期 MIPS、多周期 MIPS 处理器上的 CPI 值及执行时间。

表 6.21 各功能部件的时间延迟

功能部件	参数	延迟	功能部件	参数	延迟
寄存器延迟	$T_{\text{clk_to_q}}$	20 ps	运算器 ALU	T_{alu}	90 ps
存储器读	T_{mem}	150 ps	多路选择器	T_{mux}	20 ps
寄存器堆读	$T_{\text{RF_read}}$	90 ps	寄存器建立时间	T_{setup}	10 ps

6.11 基于加快经常性事件的原理，显然优化 R 型指令数据通路可以提高程序执行效率。尝试优化图 6.25 所示的多周期 MIPS 处理器的 R 型算术逻辑运算指令的数据通路，以缩短 R 型算术逻辑运算指令执行周期，给出优化理由以及优化后的最小时钟周期，并结合上题中的参数计算测试程序执行的时间。

6.12 对于例 6.5 中的多周期处理器，其各功能部件使用表 6.21 的时间延迟，如果可以优化其中一个功能部件的关键延迟以提升处理器整体性能，应该选择哪个部件进行优化？如果这种优化与成本是线性关系，如何优化才能使得处理器性能达到最优，且成本最低？

6.13 对于例 6.5 中的多周期处理器，其各功能部件使用表 6.21 的时间延迟，假设现在有一种寄存器堆实现方案，功耗降低了一半，速度也降低了一半，这种方案是否有应用价值？

6.14 根据图 6.40 所示的定长指令周期三级时序状态图，利用数字逻辑的设计方法给出状态周期电位 M_{if} 、 M_{cal} 、 M_{ex} 及节拍电位 T_1 、 T_2 、 T_3 、 T_4 的逻辑表达式，假设状态字从高到低分别为 $S_3 \sim S_0$ 。

6.15 根据图 6.41 所示的变长指令周期三级时序状态图，利用数字逻辑的设计方法给出状态周期电位 M_{if} 、 M_{cal} 、 M_{ex} 及节拍电位 T_1 、 T_2 、 T_3 、 T_4 的逻辑表达式，假设状态字从高到低分别为 $S_3 \sim S_0$ 。

6.16 根据图 6.45 所示的单总线结构指令执行状态转换图，设计实现有限状态机，分别给出状态寄存器中 $S_4 \sim S_0$ 的逻辑表达式。

6.17 根据图 6.46 所示的多周期 MIPS 指令执行状态转换图，设计实现有限状态机，分别给出状态寄存器中 $S_3 \sim S_0$ 的逻辑表达式。

6.18 依照图 6.49 所示的微程序控制器原理，结合图 6.57 ~ 图 6.60 所示的单总线结构微程序，利用数字逻辑的方法设计微程序地址转移逻辑。假设指令译码信号分别为 lw 、 sw 、 beq 、 add 、 $addi$ ，给出微程序入口地址 $S_4 \sim S_0$ 的逻辑表达式，给出地址转移逻辑中多路选择器选择控制信号的逻辑表达式。

6.19 依照图 6.49 所示的微程序控制器原理，结合多周期 MIPS 指令执行状态转换图设计微程序，并利用数字逻辑的方法设计微程序地址转移逻辑。假设指令译码信号分别为 lw 、 sw 、 beq 、 add 、 $addi$ ，给出微程序入口地址 $S_3 \sim S_0$ 的逻辑表达式，给出地址转移逻辑中多路选择器选择控制信号的逻辑表达式。

6.20 已知某计算机采用微程序控制方式，控制存储器容量为 128×32 位。微程序可在整个控制存储器中实现分支跳转，控制微程序判别测试条件共 3 个，微指令采用水平型格式，后续微指令地址采用下址字段法。回答下列问题。

(1) 微指令的 3 个字段分别应为多少位？

(2) 画出对应这种微指令格式的微程序控制器逻辑框图。

6.21 某微程序包含 5 条微指令，每条微指令发出的操作控制信号如表 6.22 所示，试对这些微指令进行编码，要求微指令的控制字段最短且能保持微指令应有的并行性。

表 6.22 微指令及其对应的微操作控制信号

微指令	微操作控制信号	微指令	微操作控制信号	微指令	微操作控制信号
μI_1	a,c,e,g	μI_3	a,d,e	μI_5	a,d,f,j
μI_2	a,d,f,h,j	μI_4	a,b,i		

6.22 依照图 6.49 所示的微程序控制器原理，结合图 6.66 所示的支持中断的现代时序状态机，重新设计微指令，设计 $eret$ 指令微程序和中断响应周期微程序，利用数字逻辑的方法设计微程序地址转移逻辑。假设指令译码信号分别为 lw 、 sw 、 beq 、 add 、 $addi$ ，给出微程序入口地址 $S_4 \sim S_0$ 的逻辑表达式，给出地址转移逻辑中多路选择器选择控制信号的逻辑表达式。

6.23 某计算机字长为 16 位，采用 16 位定长指令字结构，部分数据通路结构如图 6.69 所示，图中所有控制信号为 1 时表示有效、为 0 时表示无效。例如，控制信号 $MDR_{in}E$ 为 1 表示允许数据从 DB 送入 MDR 中， MDR_{in} 为 1 表示允许数据从内总线送入 MDR 中。假设 MAR 的输出一直处于使能状态。加法指令

“ADD (R1),R0” 的功能为 $(R0)+((R1)) \rightarrow (R1)$ ，即将 R0 中的数据与 R1 内容所指主存单元的数据相加，并将结果送入 R1 内容所指的主存单元中保存。

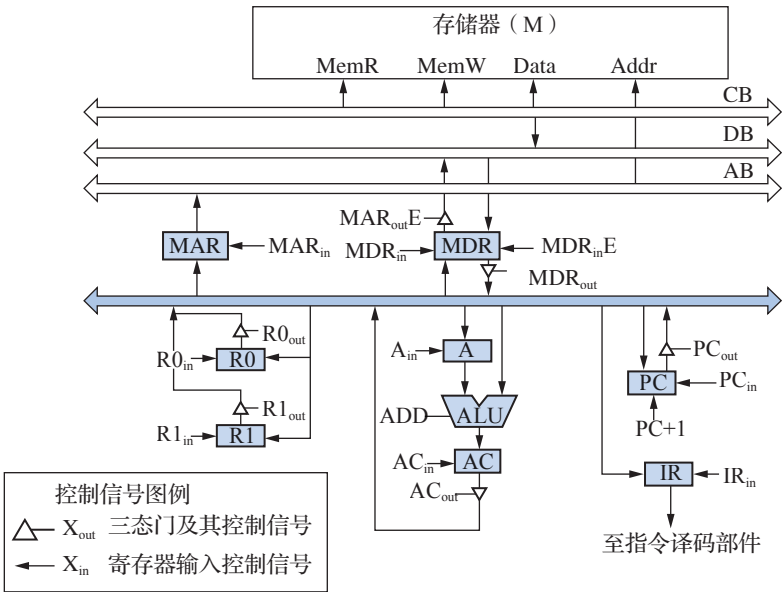


图 6.70 某计算机数据通路图

表 6.23 所示为上述指令取指和译码阶段每个节拍（时钟周期）的功能和有效控制信号，请按表中描述的方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。

表 6.23 取指周期的功能与信号

时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PC_{out} , MAR_{in}
C2	$MDR \leftarrow M(MDR)$ $PC \leftarrow (PC)+1$	$MemR$, MDR_{inE} , $PC+1$
C3	$IR \leftarrow (MDR)$	MDR_{out} , IR_{in}
C4	指令译码	无

6.24 某 16 位计算机的主存按字节编址，存取单位为 16 位；采用 16 位定长指令字格式；CPU 采用单总线结构，主要部分如图 6.71 所示。图中 R0 ~ R3 为通用寄存器；T 为暂存器；SR 为移位寄存器，可实现直送（mov）、左移一位（left）和右移一位（right）3 种操作，控制信号为 SROp，SR 的输出由信号 SR_{out} 控制；ALU 可实现直送 A（mov_a）、A 加 B（add）、A 减 B（sub）、A 与 B（and）、A 或 B（or）、非 A（not）、A 加 1（inc）7 种操作，控制信号为 AluOp。

- 请回答下列问题。
- 图中哪些寄存器是程序员可见的？为何要设置暂存器 T？
 - 控制信号 AluOp 和 SROp 的位数至少各是多少？
 - 控制信号 SR_{out} 控制部件的名称或作用是什么？
 - 端点①~⑨中，哪些端点须连接到控制部件的输出端？
 - 为完善单总线数据通路，需要在端点①~⑨中相应的端点之间添加必要的连线。写出连线的起点和终点，以正确表示数据的流动方向。

(6) 为什么 2 路选择器 MUX 的一个输入端是 2？

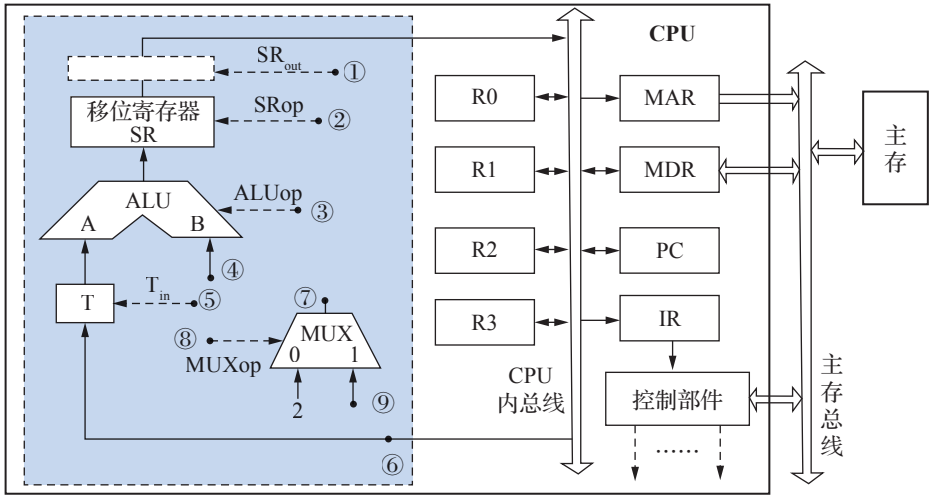
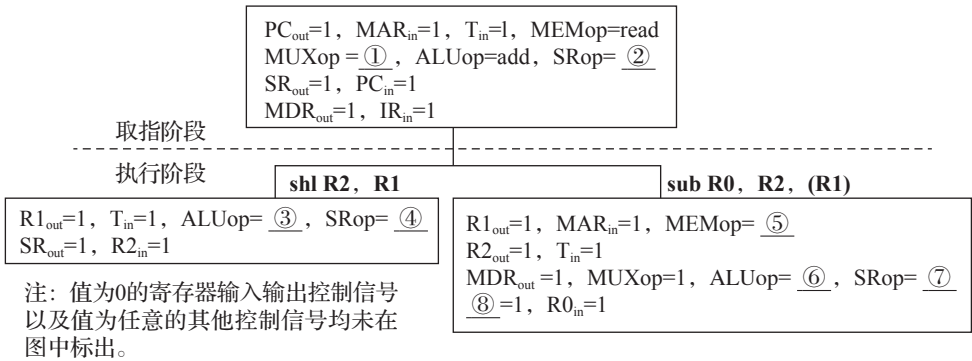


图 6.71 某 16 位计算机的部分数据通路

6.25 题 6.24 中描述的计算机，其部分指令执行过程的控制信号如图 6.72 所示。该计算机指令格式如图 6.73 所示，支持寄存器直接和寄存器间接两种寻址方式，寻址方式位分别为 0 和 1，通用寄存器 R0 ~ R3 的编号分别为 0、1、2 和 3。



① $\text{inc R1}; (\text{R1})+1 \rightarrow \text{R1}$

② $\text{shl R2,R1}; (\text{R1})\ll 1 \rightarrow \text{R2}$



③ $\text{sub R3,}(\text{R1}),\text{R2}; ((\text{R1}))-(\text{R2}) \rightarrow \text{R3}$

(3) 假设寄存器 x 的输入和输出控制信号分别记为 X_{in} 和 X_{out} , 其值为 1 表示有效, 为 0 表示无效(例如, $\text{PC}_{\text{out}}=1$ 表示将 PC 内容送入总线); 存储器控制信号为 MEMop , 用于控制存储器的读(read)和写(write)操作。写出图 6.72 中标号①~⑧处的控制信号或控制信号取值。

(4) 指令“ $\text{sub R1,R3,}(\text{R2})$ ”和“ inc R1 ”的执行阶段至少各需要多少个时钟周期?

实践训练

(1) 用 Logisim 构建图 6.8 所示的单总线结构 CPU, 要求能支持表 6.2 中的 MIPS32 指令, 能运行简单的内存冒泡排序程序, 尝试利用以下 3 种方式构建控制器。

- ① 传统三级时序硬布线控制器。
- ② 现代时序硬布线控制器。
- ③ 微程序控制器。

(2) 尝试为你设计的单总线 CPU 增加简单的中断处理逻辑, 使得 CPU 能响应按键中断。

(3) 用 Logisim 构建图 6.25 所示的单周期 MIPS 处理器, 要求能支持表 6.2 中的 MIPS32 指令, 能运行一个简单的内存冒泡排序程序。

(4) 用 Logisim 构建图 6.27 所示的多周期 MIPS 处理器, 要求能支持表 6.2 中的 MIPS32 指令, 能运行一个简单的内存冒泡排序程序。控制器可以采用硬布线、微程序控制器中的一种。

CPI=1, 但其主频更高; 而多发射流水线每个时钟周期可以处理多条指令, CPI<1, 相对而言多发射流水线成本更高, 控制更加复杂。结合二者的优势, 也曾经出现过使用超流水线技术的多发射处理器。

习题 7

7.1 解释下列名词。

流水线技术 指令流水线 运算流水线 流水寄存器 流水时空图 数据冲突 结构冲突 控制相关 先写后读冲突 先读后写冲突 写后写冲突 气泡 重定向 延迟槽 动态分支预测 超标量技术 超流水线技术 动态多发射技术 静态多发射技术 同步中断 异步中断

7.2 选择题 (考研真题)。

(1) [2013] 某 CPU 主频为 1.03GHz, 采用 4 级指令流水线, 每个流水段的执行需要 1 个时钟周期。假定 CPU 执行了 100 条指令, 在其执行过程中, 没有发生任何流水线阻塞, 此时流水线的吞吐率为_____。

- A. 0.25×10^9 条指令 / 秒 B. 0.97×10^9 条指令 / 秒
C. 1.0×10^9 条指令 / 秒 D. 1.03×10^9 条指令 / 秒

(2) [2009] 某计算机的指令流水线由 4 个功能段组成, 指令流经各功能段的时间 (忽略各功能段之间的缓存时间) 分别为 90ns、80ns、70ns 和 60ns, 则该计算机的 CPU 时钟周期至少是_____。

- A. 90ns B. 80ns C. 70ns D. 60ns

(3) [2018] 若某计算机最复杂指令的执行需要完成 5 个子功能, 分别由功能部件 A ~ E 实现, 各功能部件所需时间分别为 80ps、50ps、50ps、70ps 和 50ps, 采用流水线方式执行指令, 流水段寄存器延迟时间为 20ps, 则 CPU 时钟周期至少为_____。

- A. 60ps B. 70ps C. 80ps D. 100ps

(4) [2016] 在无转发机制的 5 段基本流水线中, 下列指令序列存在数据冲突的指令对是_____。

- I1: ADD R1, R2, R3; (R2)+(R3) → R1 I2: ADD R5, R2, R4; (R2)+(R4) → R5
I3: ADD R4, R5, R3; (R5)+(R3) → R4 I4: ADD R5, R2, R6; (R2)+(R6) → R5
A. I1 和 I2 B. I2 和 I3 C. I2 和 I4 D. I3 和 I4

(5) [2019] 在采用“取指、译码/取数、执行、访存、写回”5 段流水线的处理器中, 执行如下指令序列, 其中 s0、s1、s2、s3 和 t2 表示寄存器编号。

I1: add s2, s1, s0 // $R[s2] \leftarrow R[s1] + R[s0]$
I2: load s3, 0(t2) // $R[s3] \leftarrow M[R[t2] + 0]$
I3: add s2, s2, s3 // $R[s2] \leftarrow R[s2] + R[s3]$
I4: store s2, 0(t2) // $M[R[t2] + 0] \leftarrow R[s2]$

下列指令对中, 不存在数据冒险的是_____。

- A. I1 和 I3 B. I2 和 I3 C. I2 和 I4 D. I3 和 I4

(6) [2010] 下列选项中, 不会引起指令流水线阻塞的是_____。

- A. 数据旁路 (转发) B. 数据相关 C. 条件转移 D. 资源冲突

(7) [2011] 下列给出的指令系统特点中, 有利于实现指令流水线的是_____。

- I. 指令格式规整且长度一致 II. 指令和数据按边界对齐存放
III. 只有 Load/Store 指令才能对操作数进行存储访问
A. 仅 I、II B. 仅 II、III C. 仅 I、III D. I、II、III

(8) [2017] 下列关于指令流水线数据通路的叙述中, 错误的是_____。

- A. 包含生成控制信号的控制部件
- B. 包含算术逻辑运算部件 (ALU)
- C. 包含通用寄存器组和取指部件
- D. 由组合逻辑电路和时序逻辑电路组合而成

(9) [2017] 下列关于超标量流水线特性的叙述中, 正确的是_____。

- I. 能缩短流水线功能段的处理时间
- II. 能在一个时钟周期内同时发射多条指令
- III. 能结合动态调度技术提高指令执行并行性

- A. 仅 II
- B. 仅 I、III
- C. 仅 II、III
- D. I、II 和 III

(10) [2020] 下列给出的处理器类型中, 理想情况下 CPI 为 1 的是_____。

- I. 单周期 CPU
- II. 多周期 CPU
- III. 基本流水线 CPU
- IV. 超标量流水线 CPU

- A. I 和 II
- B. I 和 III
- C. I、III、IV
- D. III、IV

7.3 简述指令流水线的特点。

7.4 简述采用插入气泡方式解决数据冲突的主要过程。

7.5 简述采用重定向方式解决数据冲突的主要过程。

7.6 流水线方式缩短的是指令的执行时间还是程序的执行时间?

7.7 简述流水线中断和非流水线中断处理的差异。

7.8 如果采用气泡流水线执行下述程序, 请给出类似图 7.18 所示的流水线时空图。注意时空图中最后一个时钟周期第 5 条指令进入 ID 段。

```
addi $s0, $s0, 4
lw   $s1, ($s0)
add  $s2, $s2, $s1
and  $s3, $s1, $s2
sub  $s4, $s2, $s2
```

7.9 如果采用重定向流水线执行 7.8 中程序, 请给出类似图 7.18 所示的流水线时空图。注意时空图中最后一个时钟周期第 5 条指令进入 ID 段。

7.10 假设重定向流水线中所有分支跳转指令均在 EX 段执行, 无分支预测、无分支延迟槽技术, 尝试计算下述程序的执行周期。

```
add $s0,$0,100      # i=100
while_loop:
    beq $s0,$0,done  # while (i>0)
    addi $s0,$s0,-1  # i=i-1
    j while_loop      # 继续循环
done:
```

7.11 假设重定向流水线中所有分支跳转指令均在 EX 段执行, 采用动态分支预测技术, beq、j 指令都可以进行预测, 计算最优情况下 7.10 中程序的执行周期。

7.12 假设重定向流水线中所有分支跳转指令均在 EX 段执行, 设无分支预测、无分支延迟槽技术, 尝试计算下述程序的执行周期。

```
addi $s0,$0,0      # i=0
addi $s1,$0,0      # sum=0
for_loop:
    slti $t1,$s0,10  # $t1=(i<10)?1:0
```

```

beq $t1,$0,done      # for(i=0;i<10;i++)
addi $s1,$s1,$s0     # sum=sum+i
addi $s0,$s0,1       # i++
j for_loop           # 继续 for 循环
done:

```

7.13 假设重定向流水线中所有分支跳转指令均在 EX 段执行,采用动态分支预测技术, beq、j 指令都可以进行预测,计算最优情况下 7.12 中程序的执行周期。

7.14 对于表 7.8 所示的 MIPS 指令流水线时间参数,如果可以优化流水线一个功能部件的关键延迟以提升处理器整体性能,应该选择哪个部件进行优化?如果这种优化与成本是线性关系,如何优化才能使处理器性能达到最优,且成本最低?

7.15 某 16 位计算机中,带符号整数用补码表示,数据 cache 和指令 cache 分离。表 7.8 中给出了指令系统中的部分指令格式,其中 Rs 和 Rd 表示寄存器, mem 表示存储单元地址。另外, (x) 表示寄存器 x 或存储单元 x 的内容。

表 7.8 16 位计算机指令功能

名称	指令的汇编格式	指令功能
加法指令	ADD Rs, Rd	(Rs)+(Rd) → Rd
算术/逻辑左移	SHL Rd	2*(Rd) → Rd
算术右移	SHR Rd	(Rd)/2 → Rd
取数指令	LOAD Rd, mem	(mem) → Rd
存数指令	STORE Rs, mem	(Rs) → mem

该计算机采用 5 段流水线方式执行指令,各流水段分别是取指令 (IF)、译码/读寄存器 (ID)、执行/计算有效地址 (EX)、访问存储器 (M) 和结果写回寄存器 (WB),流水线采用“按序发射,按序完成”方式,没有采用转发技术处理数据相关问题,并且同一个寄存器的读和写操作不能在同一个时钟周期内进行。请回答下列问题。

(1) 若 int 型变量 x 的值为 -513,存放在寄存器 R1 中,则执行指令“SHL R1”后,R1 的内容是多少?(用十六进制表示)

(2) 若某个时间段中,有连续的 4 条指令进入流水线,在其执行过程中没有发生任何阻塞,则执行这 4 条指令所需的时钟周期数为多少?

(3) 若高级语言程序中某赋值语句为 $x=a+b$, x、a 和 b 均为 int 型变量,它们的存储单元地址分别表示为 [x]、[a] 和 [b]。该语句对应的指令序列及其在指令流水线中的执行过程如图 7.32 所示,则这 4 条指令执行过程中,I3 的 ID 段和 I4 的 IF 段被阻塞的原因各是什么?

```

I1    LOAD    R1, [a]
I2    LOAD    R2, [b]
I3    ADD     R1, R2
I4    STORE   R2, [x]

```

	时间单元													
指令	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I1	IF	ID	EX	M	WB									
I2		IF	ID	EX	M	WB								
I3			IF				ID	EX	M	WB				
I4							IF				ID	EX	M	WB

图 7.32 指令序列及其执行过程示意图

（4）若高级语言程序中某赋值语句为 $x=x*2+a$ ， x 和 a 均为 unsigned int 型变量，它们的存储单元地址分别表示为 $[x]$ 、 $[a]$ ，则执行这条语句至少需要多少个时钟周期？要求模仿图 7.32 画出这条语句对应的指令序列及其在流水线中的执行过程示意图。

7.16 某程序中有如下循环代码段 p：“for(int i = 0; i < N; i++) sum+=A[i];”。假设编译时变量 sum 和 i 分别分配在寄存器 R1 和 R2 中，常量 N 在寄存器 R6 中，数组 A 的首地址在寄存器 R3 中。程序段 p 的起始地址为 08048100H，对应的汇编代码和机器代码如表 7.9 所示。

表 7.9 程序段 p 对应的汇编代码和机器代码

编号	地址	机器代码	汇编代码	注释
1	08048100H	00022080H	loop: sll R4,R2,2	$(R2) \ll 2 \rightarrow R4$
2	08048104H	00083020H	add R4,R4,R3	$(R4)+(R3) \rightarrow R4$
3	08048108H	8C850000H	load R5,0(R4)	$((R4)+0) \rightarrow R5$
4	0804810CH	00250820H	add R1,R1,R5	$(R1)+(R5) \rightarrow R1$
5	08048110H	20420001H	add R2,R2,1	$(R2)+1 \rightarrow R2$
6	08048114H	1446FFFAH	bne R2,R6,loop	$\text{if}(R2) \neq (R6) \text{ goto loop}$

执行上述代码的计算机 M 采用 32 位定长指令字，其中分支指令 bne 采用图 7.33 所示格式。

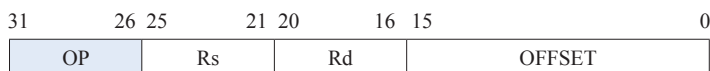


图 7.33 分枝指令 bne 的格式

图 7.33 中，OP 为操作码；Rs 和 Rd 为寄存器编号；OFFSET 为偏移量，用补码表示。请回答下列问题，并说明理由。

（1）M 的存储器编址单位是什么？

（2）已知 sll 指令实现左移功能，数组 A 中每个元素占多少位？

（3）bne 指令的 OFFSET 字段的值是多少？已知 bne 指令采用相对寻址方式，当前 PC 的内容为 bne 指令地址，通过分析表 7.9 中的指令地址和 bne 指令内容，推断出 bne 指令的转移目标地址计算公式。

（4）若 M 采用“按序发射、按序完成”的 5 级指令流水线——IF（取指令）、ID（译码及取数）、EX（执行）、MEM（访存）、WB（写回寄存器），且硬件不采取任何转发措施，分支指令的执行均引起 3 个时钟周期的阻塞，则 p 中哪些指令的执行会因数据相关而发生流水线阻塞？哪条指令的执行会发生控制冒险？为什么指令 1 的执行不会因为与指令 5 数据相关而发生阻塞？

实践训练

在 Logisim 中将原单周期 MIPS 处理器升级成能运行完全无相关程序的理想流水线，再进一步将其扩展成能处理分支相关的流水线，并逐步实现气泡流水线、重定向流水线、流水线中断、动态分支预测等。

4. IEEE 1394

IEEE 1394 俗称火线（FireWire）接口，是 Intel 和苹果公司在 1986 年发布的一种高速异步串行总线标准，通常用于视频的采集，常见于 Intel 高端主板和数码摄像机。IEEE 1394 包括 4 条信号线与两条电源线，连接与安装简单，价格便宜，但传输距离只有 4.5m，数据传输速率一般为 100MB/s。最新的 1394b 可以达到 400MB/s，采用和 USB 一样的树形结构，不同的是 1394b 总线上的所有设备都可以作为主设备。

5. Thunderbolt

Thunderbolt（雷电）接口是 Intel 和苹果公司 2011 年发布的高速串行接口标准，旨在替代并统一目前计算机上数量繁多、性能参差不齐的扩展接口，例如 SCSI、SATA、USB、FireWire 和 PCIe。该技术主要用于连接个人计算机和其他设备，包括 20 个引脚，融合了 PCIe 数据传输技术和 DisplayPort 显示技术，两条通道可同时传输这两种协议的数据，每条通道都提供双向 10Gb/s 带宽，最新版本已经达到了 40Gb/s。

6. InfiniBand

InfiniBand 是由 InfiniBand 贸易协会（InfiniBand Trade Association, IBTA）于 2000 年组织 Compaq、HP、IBM、Dell、Intel、Microsoft 和 Sun 七家公司，共同研发的高速 I/O 标准。发展它的初衷是把服务器中的总线网络化，以解决 PCI 总线传输距离受限制、扩展受限、总线带宽不足等问题。它采用全双工、交换式串行传输方式，主要用于服务器与外部设备以及服务器之间的通信。基于 InfiniBand 技术的网络卡的单端口带宽最大可达到 20Gb/s，基于 InfiniBand 的交换机的单端口带宽最大可达 60Gb/s，单交换机芯片可以达到 4800Gb/s 的带宽。作为一种互连业界的标准技术，InfiniBand 具有高可靠、高可用、适用性广和可管理的特性，能够满足数据中心和高性能计算对互连环境的要求，是板级互连和主机间互连技术的合适的选择。

习题 8

8.1 解释下列名词。

总线 片内总线 系统总线 I/O 总线 外部总线 总线控制器 总线接口 地址总线 数据总线 控制总线 总线复用 主设备 从设备 总线主控 总线标准 三态门 总线宽度 总线时钟 总线传输周期 总线带宽 DDR QDR 总线事务 突发传输 串行传送 并行传送 波特率 数传率 全双工 半双工 数据传输模式 广播与广集 总线仲裁 集中式仲裁 分布式仲裁 总线定时 同步定时 异步定时 总线事务分离 总线结构 全局总线 局部总线 桥接器 北桥芯片 南桥芯片 FSB 总线 QPI 总线 DMI 总线 PCI 总线 PCIe 总线 AMBA 总线 USB 总线

8.2 简要回答下列问题。

- （1）计算机系统为什么采用总线结构？
- （2）比较单总线、双总线、三总线结构的性能特点。
- （3）总线的信息传送方式有几种？各有什么特点？
- （4）集中式总线控制方式下，确定总线使用权优先级的方法有几种？它们各有什么特点？
- （5）什么是突发传输模式？采用突发传输模式有什么优点？
- （6）影响总线性能的因素有哪些？
- （7）总线结构和交换结构相比，有哪些优势和劣势？

8.3 单选题（考研真题）。

(1) [2011] 在系统总线的数据线上, 不可能传输的是_____。

- A. 指令
B. 操作数
C. 握手（应答）信号
D. 中断类型号

(2) [2014] 一次总线事务中, 主设备只需给出一个首地址, 从设备就能从首地址开始的若干连续单元读出或写入多个数据。这种总线事务方式称为_____。

- A. 并行传输 B. 串行传输 C. 突发传输 D. 同步传输

(3)[2009]假设某系统总线在一个总线周期中并行传输4字节信息,一个总线周期占用两个时钟周期,总线时钟频率为10MHz,则总线带宽是_____。

- A. 10MB/s B. 20MB/s C. 40MB/s D. 80MB/s

(4) [2012] 某同步总线的时钟频率为 100MHz，宽度为 32 位，地址 / 数据线复用，每传输一个地址或数据占用一个时钟周期。若该总线支持突发（猝发）传输方式，则一次“主存写”总线事务传输 128 位数据所需要的时间至少是_____。

- A. 20ns B. 40ns C. 50ns D. 80ns

(5) [2014] 某同步总线采用数据线和地址线复用方式, 其中地址 / 数据线有 32 条, 总线时钟频率为 66MHz, 每个时钟周期传送两次数据 (上跳沿和下跳沿各传送一次数据), 该总线的最大数据传输速率 (总线带宽) 是 _____。

- A. 132 MB/s B. 264 MB/s C. 528 MB/s D. 1056 MB/s

(6) [2014] 单周期处理器中所有指令的指令周期为一个时钟周期。下列关于单周期处理器的叙述中, 错误的是_____。

- A. 可以采用单总线结构数据通路
B. 处理器时钟频率较低
C. 在指令执行过程中控制信号不变
D. 每条指令的 CPI 为 1

(7) [2015] 下列有关总线定时的叙述中, 错误的是_____。

- A. 异步通信方式中, 全互锁方式最慢
- B. 异步通信方式中, 非互锁方式的可靠性最差
- C. 同步通信方式中, 同步时钟信号可由多设备提供
- D. 半同步通信方式中, 握手信号的采样由同步时钟控制

(8) [2016] 下列关于总线设计的叙述中, 错误的是_____。

- A. 并行总线传输比串行总线传输速度快
- B. 采用信号线复用技术可以减少信号线数量
- C. 采用突发传输方式可提高总线数据传输速率
- D. 采用分离事务通信方式可提高总线利用率

(9) [2018] 下列选项中, 可提高同步总线数据传输速率的是_____。

- I. 增加总线宽度
II. 提高总线工作频率
III. 支持突发传输
IV. 采用地址 / 数据线复用方式
- A. 仅 I、II
B. 仅 I、II、III
C. 仅 III、IV
D. I、II、III 和 IV

(10) [2013] 下列选项中, 用于设备和设备控制器 (I/O 接口) 之间互连的接口标准是 。

- A. PCI B. USB C. AGP D. PCI-Express

8.4 假设一个同步总线的时钟频率为 100MHz，总线带宽为 32 位，每个时钟周期传输一个数据，该总线的最大数据传输速率为多少？若要将总线带宽提高一倍，有哪一种可行方案？

8.5 采用异步通信方式传送 ASCII 时，若数据位为 8 位，校验位为 1 位，停止位为 1 位，当波特率为 4800bit/s 时，字符传送的速率是多少？每个数据位的时间长度是多少？数据位的传送速率是多少？

8.6 有 4 个设备 A、B、C、D，响应优先级为 $D > B > A > C$ ，画出串行链式排队电路。

8.7 有 4 个设备 A、B、C、D，响应优先级为 $A > B > C > D$ ，画出独立请求方式的排队电路。

8.8 某 16 位地址 / 数据复用的同步总线中，总线时钟频率为 8MHz，每个总线事务只传输一个数据，需要 4 个时钟周期。该总线的可寻址空间、数据传输率各是多少？

8.9 某 32 位同步总线中，总线时钟信号的频率为 50MHz，总线事务支持突发传输模式，每个时钟周期可以传送一个地址或数据。存储器读总线事务的时序为地址阶段（1 个时钟周期）、等待阶段（3 个时钟周期）、8 个数据阶段（8 个时钟周期）；存储器写总线事务的时序为地址阶段（1 个时钟周期）、等待阶段（两个时钟周期）、8 个数据阶段（8 个时钟周期）、恢复阶段（两个时钟周期）。通过总线读存储器、写存储器的数据传输速率分别是多少？

8.10 某 64 位同步总线支持突发传输模式，每个时钟周期可以传送一个地址或数据，总线周期由 1 个时钟周期的地址阶段、若干个数据阶段组成。若存储器每存取一个数据需要两个时钟周期，突发长度小于等于 4。请计算在下列两种情况下，总线和存储器能提供的数据传输速率各是多少。

（1）每个总线事务传输 32 位数据。

（2）每个总线事务包含 4 个数据期。

8.11 假定有一个具有以下特性的总线系统：

（1）存储器和总线系统支持 4 ~ 16 个 32 位字的数据块访问；

（2）总线时钟频率为 200MHz，64 位同步总线，每 64 位数据的传输需要一个时钟周期，向存储器发送一个地址需要一个时钟周期；

（3）每个总线操作之间需要两个总线周期（设一次存取之前总线总是空闲的）；

（4）数据块的最初 4 个字的访问时间为 200ns，随后的 4 个字能在 20ns 的时间内被读取，假定总线传输数据的操作可以与读后续 4 个字的操作重叠进行。

读操作中，分别用 4 个字的数据块和 16 个字的数据块传输 256 个数据，计算两种情况下总线带宽和每秒总线事务的次数（说明：一个总线传输操作包含一个地址和紧随其后的数据）。

读出时,用相当于写入功率 1/10 的聚焦激光照射光盘。光电探测器则根据反射光的强弱将其变换成电信号 0 和 1。由于激光功率小,因此不会在盘面上形成新的微孔。

(3) CD-RW

以磁光盘为例。这种光盘用 GdCo 薄膜作为记录介质。GdCo 薄膜在室温附近的矫顽力 (H_c) 很大;但当温度高于室温时, H_c 将随温度的升高按指数规律很快减小。

① 写入过程。写入前,用一高强度的磁场对介质进行初始磁化,使各磁畴单元均具有相同的磁化方向。写入信息时,磁光读写头的脉冲使激光聚焦在介质表面,光照微斑因升温而迅速退磁。此时,通过读写头中的线圈加一个反偏磁场,使微斑反向磁化,而介质中无光照的相邻磁畴单元的磁化方向仍保持不变,从而实现磁化方向相反的反差记录。

② 读出过程。1877 年克尔 (Kerr) 发现,若用直线偏振光扫描录有信息的信道,光束到达磁化方向上向上的微斑,经反射后,光的偏振方向会绕反射线右旋一个角度。反之,若扫到磁化方向上向下的微斑,反射光的偏振方向则左旋一个角度。利用克尔效应检测盘面记录单元的磁化方向,即可将信息读出。

③ 擦除过程。用原来的写入光束扫描信道,并施加与初始磁场方向相同的偏置磁场,则各记录单元的磁化方向将复原。

由于翻转磁畴磁化方向的速率有限,故磁光盘需进行两次动作才能完成信息的写入,即第一次擦除信息,第二次写入新信息。

习题 9

9.1 解释下列名词。

接口 中断 单级中断 多重中断 中断屏蔽 中断响应优先级 中断处理优先级 中断响应 中断识别 中断隐指令 中断号 中断向量 向量中断 向量地址 中断向量表 程序查询 I/O 程序中断 I/O DMA 第三方 DMA 周期挪用 磁道 扇区 道密度 位密度 平均定位时间 条带

9.2 单选题(考研真题)。

(1) [2012] 下列选项中,在 I/O 总线的数据线上传输的信息包括_____。

- I. I/O 接口中的命令字 II. I/O 接口中的状态字 III. 中断类型号
A. 仅 I、II B. 仅 I、III C. 仅 II、III D. I、II、III

(2) [2014] 下列有关 I/O 接口的叙述中,错误的是_____。

- A. 状态端口和控制端口可以合用同一寄存器
B. I/O 接口中 CPU 可访问的寄存器,称为 I/O 端口
C. 采用独立编址方式时, I/O 端口地址和主存地址可能相同
D. 采用统一编址方式时, CPU 不能用访存指令访问 I/O 端口

(3) [2017] I/O 指令实现的数据传送通常发生在_____。

- A. I/O 设备和 I/O 端口之间 B. 通用寄存器和 I/O 设备之间
C. I/O 端口和 I/O 端口之间 D. 通用寄存器和 I/O 端口之间

(4) [2009] 下列选项中,能引起外部中断的事件是_____。

- A. 键盘输入 B. 除数为零 C. 浮点运算下溢 D. 访存故障

(5) [2009] 单级中断系统中,中断服务程序内部的执行顺序是_____。

- I. 保护现场 II. 开中断 III. 关中断 IV. 保存断点
V. 中断事件处理 VI. 恢复现场 VII. 中断返回

- A. I → V → VI → II → VII B. III → I → V → VII
C. III → IV → V → VI → VII D. IV → I → V → VI → VII
- (6) [2012] 响应外部中断的过程中, 中断隐指令完成的操作, 除保护断点外, 还包括_____。
I. 关中断 II. 保存通用寄存器的内容 III. 形成中断服务程序入口地址并送入 PC
A. 仅 I、II B. 仅 I、III C. 仅 II、III D. I、II、III
- (7) [2017] 下列关于多重中断系统的叙述中, 错误的是_____。
A. 在一条指令执行结束时响应中断
B. 中断处理期间 CPU 处于关中断状态
C. 中断请求的产生与当前指令的执行无关
D. CPU 通过采样中断请求信号检测中断请求
- (8) [2015] 在采用中断 I/O 方式控制打印输出的情况下, CPU 和打印控制接口中的 I/O 端口之间交换的信息不可能是_____。
A. 打印字符 B. 主存地址 C. 设备状态 D. 控制命令
- (9) [2018] 下列关于外部 I/O 中断的叙述中, 正确的是_____。
A. 中断控制器按所接收中断请求的先后次序进行中断优先级排队
B. CPU 响应中断时, 通过执行中断隐指令完成对通用寄存器的保护
C. CPU 只有在处于中断允许状态时, 才能响应外部设备的中断请求
D. 有中断请求时, CPU 立即暂停执行当前指令, 转去执行中断服务程序
- (10) [2013] 下列关于中断 I/O 方式和 DMA 方式比较的叙述中, 错误的是_____。
A. 中断 I/O 方式请求的是 CPU 处理时间, DMA 方式请求的是总线使用权
B. 中断响应发生在一条指令执行结束后, DMA 响应发生在一个总线事务完成后
C. 中断 I/O 方式下数据传送通过软件完成, DMA 方式下数据传送由硬件完成
D. 中断 I/O 方式适用于所有外部设备, DMA 方式仅适用于高速外部设备
- (11) [2010] 假定一台计算机的显示存储器用 DRAM 芯片实现, 若要求显示分辨率为 1600 像素 × 1200 像素, 颜色深度为 24 位, 帧频为 85Hz, 显存总带宽的 50% 用来刷新屏幕, 则需要的显存总带宽至少约为_____。
A. 245Mbit/s B. 979Mbit/s C. 1958Mbit/s D. 7834Mbit/s
- (12) [2015] 若磁盘转速为 7200 转 / 分钟, 平均寻道时间为 8ms, 每个磁道包含 1000 个扇区, 则访问一个扇区的平均存取时间大约是_____。
A. 8.1ms B. 12.2ms C. 16.3ms D. 20.5ms

9.3 简要回答下列问题。

- (1) CPU 与外部设备之间如何连接?
- (2) CPU 与外部设备信息交换的控制方式有哪些? 它们各有什么特点?
- (3) 什么是程序查询 I/O 方式? 简要说明其工作原理。
- (4) 比较单级中断和多重中断处理流程的异同点。
- (5) 中断隐指令完成什么功能?
- (6) 为什么在保护现场和恢复现场的过程中, CPU 必须关中断?
- (7) CPU 响应中断的条件有哪些?
- (8) 什么是中断优先级? 它具有哪两层含义? 划分优先级的原则是什么?
- (9) 计算机中断系统中使用屏蔽技术有什么好处?
- (10) 计算机中断响应后, 如何调出中断服务程序?

(11) DMA 方式传送数据前, CPU 应该先进行哪些操作?

(12) 比较中断 I/O 和 DMA 的异同点。

9.4 A、B、C 是与 CPU 连接的 3 个设备, 在硬件排队线路中, 它们的优先级是 $A>B>C>CPU$, 为改变中断处理的次序, 它们的中断屏蔽字如表 9.5 所示(设“0”表示允许中断, “1”表示中断屏蔽)。请按图 9.36 所示的时间轴给出的设备中断请求时刻, 画出 CPU 执行程序的轨迹(A、B、C 中断服务程序的时长为 $20\mu s$)。

表 9.5 中断屏蔽表

设备名	中断屏蔽字		
	A	B	C
A	1	1	1
B	0	1	0
C	0	1	1

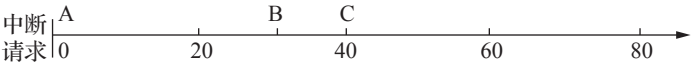


图 9.36 中断请求时刻

9.5 设某计算机有 4 级中断: L0、L1、L2、L3。其中断响应优先次序为 $L0>L1>L2>L3$, 现在要求将中断处理次序改为 $L1 \rightarrow L3 \rightarrow L0 \rightarrow L2$ 。请回答下列问题。

(1) 表 9.6 所示的中断屏蔽字该如何设置(“0”表示允许中断, “1”表示中断屏蔽)? 请将答案填入表 9.6 中。

表 9.6 更新后的中断屏蔽表

设备名	中断屏蔽字			
	L0	L1	L2	L3
L0				
L1				
L2				
L3				

(2) 若这 4 级中断同时都发出中断请求, 按更改后的次序画出进入各级中断处理程序的过程示意图。

9.6 某计算机的 CPU 主频为 500MHz, 与之连接的外部设备的最大数据传输速率为 20KB/s, 外部设备接口中有一个 16 位的数据缓冲器, 相应的中断服务程序执行时间为 500 个时钟周期, 通过计算分析该设备是否可采用中断 I/O 方式。若该设备的最大数据传输速率为 2MB/s, 该设备是否可采用中断 I/O 方式?

9.7 假定 CPU 主频为 50MHz, CPI 为 4。设备 D 采用异步串行通信方式向主机传送 7 位 ASCII 字符, 通信规程中有 1 位奇校验位和 1 位停止位, 从 D 接收启动命令到字符送入 I/O 端口需要 0.5ms。请回答下列问题, 需要说明理由。

(1) 每传送一个字符, 在异步串行通信线上共需传输多少位? 在设备 D 持续工作过程中, 每秒最多可向 I/O 端口送入多少个字符?

(2) 设备 D 采用中断方式进行输入输出，示意图如图 9.37 所示。

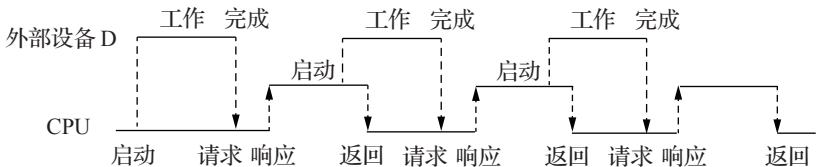


图 9.37 设备中断响应流程

I/O 端口每收到一个字符就申请一次中断，中断响应需 10 个时钟周期，中断服务程序共有 20 条指令，其中第 15 条指令启动设备 D 工作。若 CPU 需从设备 D 读取 1000 个字符，则完成这一任务所需时间大约是多少个时钟周期？CPU 用于完成这一任务的时间大约是多少个时钟周期？在中断响应阶段 CPU 进行了哪些操作？

9.8 假定计算机的主频为 500MHz，CPI 为 4。现有设备 A 和 B，它们的数据传输速率分别为 2MB/s 和 40MB/s，对应 I/O 接口中各有一个 32 位数据缓冲寄存器。请回答下列问题并给出计算过程。

(1) 若设备 A 采用定时查询 I/O 方式，每次输入输出都至少执行 10 条指令。设备 A 最多间隔多长时间查询一次才能不丢失数据？CPU 用于设备 A 输入输出的时间占 CPU 总时间的百分比至少是多少？

(2) 在中断 I/O 方式下，若每次中断响应和中断处理的总时钟周期数至少为 400，则设备 B 能否采用中断 I/O 方式？为什么？

(3) 若设备 B 采用 DMA 方式，每次 DMA 传送的数据块大小为 1000B，CPU 用于 DMA 预处理和后处理的总时钟周期数为 500，则 CPU 用于设备 B 输入与输出的时间占 CPU 总时间的百分比最多是多少？

实践训练

(1) 在 MARS 仿真器中利用虚拟仿真键盘设备和字符终端显示设备分别实现程序查询方式和程序中中断方式输入输出，比较二者的不同。

(2) 在 Logisim 中为自己设计的单周期 MIPS CPU 或单总线 MIPS CPU 增加中断机制，使其能接收外部按键中断。