

Digitallabor

Versuch: Kombinatorisches und strukturelles VHDL im GAL Baustein

*Teil 1 der Ausarbeitung: **Vorbereitung** des Laborterminals*

Die Aufgaben auf diesem Blatt dienen der Vorbereitung des Laborterminals. Bitte beantworten Sie die Fragen schriftlich und bringen Sie diesen Teil der Ausarbeitung zum Labortermin mit.

1. Frage zu iSPLever

Arbeiten Sie die Bedienungsanleitung zum Versuch durch und beantworten Sie folgende Fragen:

- a) Welche beiden grundsätzlichen Möglichkeiten gibt es, im Simulator die Werte für die Eingänge a,b,c vorzugeben?
- b) In welcher Datei finden Sie nach Ablauf der Synthese das Bild des Chip Pinouts, d.h. der Anschlussvorschrift für die Signale?

2. Funktionstabelle als VHDL Modell

Gegeben sei folgende Funktionstabelle. Übersetzen Sie diese Tabelle in eine vollständige VHDL Beschreibung aus entity und architecture.

D	C	B	A	Y
0	0	0	0	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	1
1	0	1	0	1
1	1	1	1	1
Alle anderen Kombinationen von D,C,B,A				0

Aufgabe 1

- a) Die Simulationswerte können manuell im Simulator eingegeben werden oder in der Testbench definiert bzw. als PROCESS angegeben werden.
- b) Die Anschlussvorschriften können im Chip Report nachgeschlagen werden, dieser kann aufgerufen werden in dem man im Source-in-Project-Window den Baustein auswählt und ihn per doppelklick im Process-for-current-Source-Window auswählt.

Aufgabe 2

```
library ieee;  
use ieee.std_logic_1164.all;  
use ieee.std_logic_arith.all;  
use ieee.std_logic_unsigned.all;
```

```
entity Funktionstabelle_ent is  
  PORT (d, c, b, a: in bit;  
        y : out bit);
```

```
end;
```

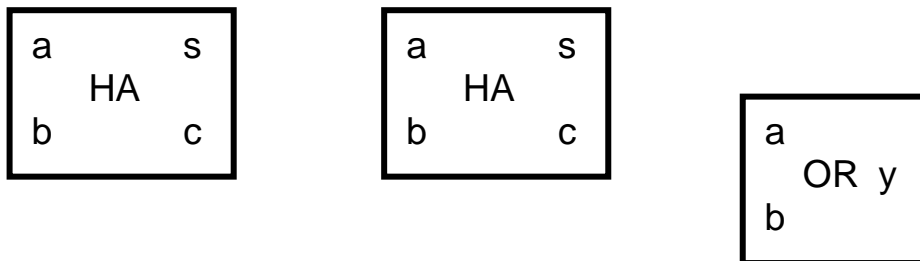
```
architecture Funktionstabelle_arch of Funktionstabelle_ent is  
begin  
  with bit_vector'(d, c, b, a) select  
    y <= '1' when "0000",  
    '1' when "0101",  
    '1' when "0110",  
    '1' when "0001",  
    '1' when "1010",  
    '1' when "1111",  
    '0' when others,  
  
end Funktionstabelle_arch;
```

3. Halbaddierer

Geben Sie die Funktionstabelle (in Tabellenform) eines Halbaddierers an. Die Eingänge heißen a und b, die Ausgänge s für das Summenbit und c für den Übertrag.

4. Volladdierer

Skizzieren Sie unter Verwendung von 2 Halbaddierern und einem ODER Gatter das Blockschaltbild eines Volladdierers. Die Eingänge heißen a_i und b_i für das zu addierende Bit und c_{in} für den Übertrags-Eingang. Die Ausgänge heißen sum_i für das Summenbit und c_{out} für das Übertragsbit.



5. Serienaddierer

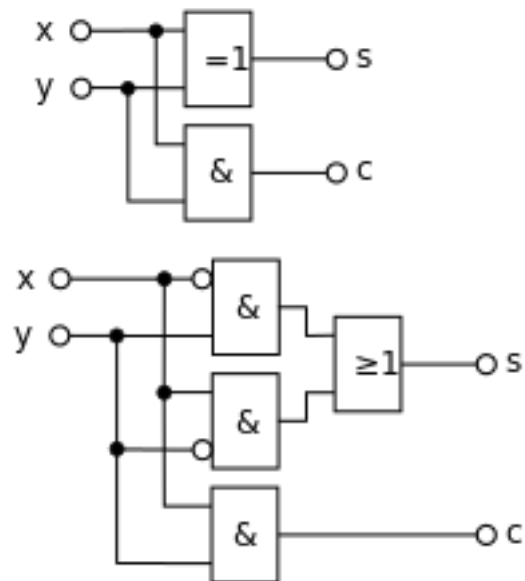
Skizzieren Sie das Prinzip eines Serienaddierers (Carry-Ripple Addierer). Warum hat die Summe ein Bit mehr als die Summanden und wie entsteht das oberste Summenbit in der Schaltung?

Aufgabe 3

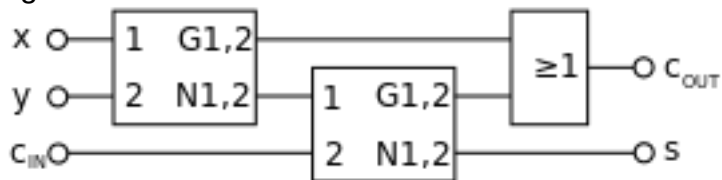
x	y	c	s
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

$c = x \text{ and } y$

$s = x \text{ nor } y$



Aufgabe 4



Aufgabe 5

