

Innovative Approaches for RG 3D NAND CMP Buff Steps Elimination with Fab Cost and Carbon Footprint Reduction

제조비용과 탄소 발자국 감소를 위한 RG 3D NAND 제조 공정 중 CMP 연마 단계 제거를 위한 혁신적인 방법

Xinqiao Dong, Yaolun Yong, Hsuehchuang Wong, Russell McCabe, Subhadeep Mukherjee, Yi Yang
Micron Technology Inc., 9600 Godwin Drive, Manassas, VA 20110, USA
Micron Semiconductor Asia Pte Ltd., 1 North Coast Drive, Woodlands, 757432, Singapore

dongxinqiao@micron.com, yaolun@micron.com, hsuehchuang@micron.com,
rmccabe@micron.com, smukherjee@micron.com, yyang@micron.com,

요약 — 반도체 제조에서 웨이퍼 제조 공정은 화학 및 기계적 평탄화 (CMP, Chemical Mechanical Planarization), 화학 기상 증착 (CVD, Chemical Vapor Deposition), 습식/건식 식각 등과 같은 다양한 공정 모듈의 수천 개의 순차적 단계를 포함한다. 공정의 높은 복잡성은 공정 실패의 위험성을 수반하며, 결국 웨이퍼가 테스트를 위해 검사 장비에 도달하기까지 오랜 시간이 걸리게 되고 많은 온실 가스를 배출하게 된다. 특히 3D NAND 장치는 2D NAND에 비해 수직으로 더 많이 적층되고 더 많은 공정 단계가 포함되므로 이런 현상이 뚜렷히 나타난다. 따라서 공정 개선의 주요 접근법 중 하나는 수율과 품질을 손상시키지 않으면서 공정 흐름을 덜 복잡한 공정으로 재구성하거나, 또는 단계를 제거하여 공정을 단순화 시키는 방법이 있다. 이러한 방식으로 웨이퍼 제조 및 제조공정을 보다 효율적이고 환경 친화적으로 만들 수 있으므로 제조 사이클 시간을 단축할 수 있을 뿐만 아니라 웨이퍼 당 총 비용(CPW, Cost per wafer)을 줄이거나, 나아가 대량 제조 설비에서 장비 구입에 필요한 자본 비용을 제거할 수 있다. 본 논문에서는 CMP 연마의 근본적인 결함 개선 방법을 파악하고 이를 기반으로 친환경적인 화학 기상 증착 공정, 최적화된 습식 세정 또는 스크러빙, 개선된 CMP 세정 등을 제시함으로써 다양한 공정 평가 방법론과 기술을 상세히 설명한다. 본 논문에서는 대체 게이트(RG, Replacem

ent Gate) NAND에 대한 이러한 공정 단순화 작업의 몇 가지 예시를 논의하는데, 예를 들어 탈이온화수(DIW, De-ionized water) 연마를 통한 CMP 공정 생략(상류 단계별 산화 청정 최적화에 의해), 세리아 기반 슬러리 연마를 통한 CMP 공정 생략(상류 증착의 청정도 개선에 의해), 비용 절감 및 온실가스 배출 감소를 위한 새로운 슬러리 및 소모품 구성을 통한 CMP 연마 단계에 대해 논의한다.

키워드 — 웨이퍼 제작, 대체 게이트(RG), 웨이퍼당 비용(CPW), 제거, 음수 시간 지연(NTDEL), 스마트 스프레이 린스(SSR), 기록 공정; 대조군(POR), 실시간 결함 분석(RDA), 총 무작위 결함(TRD), 총 클러스터 결함(TCD), 실제 총 결함(ATD).

1. 소개

현대 사회의 기업들은 반도체 제조에 있어서 책임을 다하고 공동체를 지원하며 모두의 삶을 풍요롭게 하는 미래를 보장하기 위해 환경 지속 가능성에 더 많은 투자를 하는 것이 중요하다. 웨이퍼 제조 과정은 순수한 실리콘 웨이퍼 위에 구조를 만들기 위해 CMP, CVD, PVD, DRY ETCH, PHOTO, WET, DIFF 및 IMP를 포함한 다양한 모듈에서의 복잡한 공정을 조합하여 제조하게 된다. 더 작은 물리적 공간 내에서 복잡도가 2D NAND (64 레이어)에서 3D NAND (176 레이어)

로 점차 증가할수록 각 제조 공정 모듈은 훨씬 더 엄격한 요구 사항에 직면하고 환경에 더 많은 오염을 발생시킨다[1].

웨이퍼 제조 공정 전반에 걸쳐, 다양한 기술 노드의 점점 더 까다롭고 엄격한 요구 사항을 충족시키기 위해 라인의 프론트엔드에서 백엔드에 이르기까지 여러번의 CPM 단계가 필요하다. 그러나 흐름에 추가된 각 추가 공정 단계는 복잡성을 증가시켜 전체 제조 공정에 대해 더 높은 비용을 필요로 하게 되며, 온실 가스 배출량을 늘리게 된다. 따라서 대량 제조 공장에서 공정 흐름 단순화는 비용과 환경 영향을 줄이면서 운영 효율성과 처리량을 향상시키는 핵심 전략이다. 이 목표를 달성하려면 공정과 업스트림 및 다운스트림 단계와의 상호 작용을 완벽히 이해해야 한다. 최적화가 수율을 저해하지 않고, 최종 제품의 품질이 유지될 수 있도록 신중한 평가를 수행해야 한다[2].

II. 환경에 미치는 영향

지구 온난화로 알려진 기후 변화는 대기 중의 온실 가스 양이 증가함에 따라 결과적으로 지구의 평균 온도가 상승하는 것을 말한다. 이러한 가스들은 태양으로부터 열을 흡수하고 지구 대기 내에 일부 열을 가두어 더 따뜻한 행성을 만들게 된다[3].

칩에 대한 수요의 지속적인 증가로 인하여 반도체 공장은 전 세계적인 공급을 충족시키기 위하여 생산 능력을 증가시키기 위하여 빠르게 확장되고 있으나, 칩의 생산은 지구온난화와 기후변화의 원인이 되는 온실 가스 배출을 상당히 발생시키고 있다. 실제로 칩 산업은 연간 약 1억 톤의 이산화탄소를 생산하고 있으며, (Fig. 1)에 나타난 바와 같이 자동차 제조업체들을 제치고 주요 오염원[5]이 되고 있다. 그 결과 반도체 기업들은 사업장의 환경적 영향을 완화하기 위하여 전기, 가스 및 수도 소비를 줄이도록 관심을 두고 신경써야 한다.

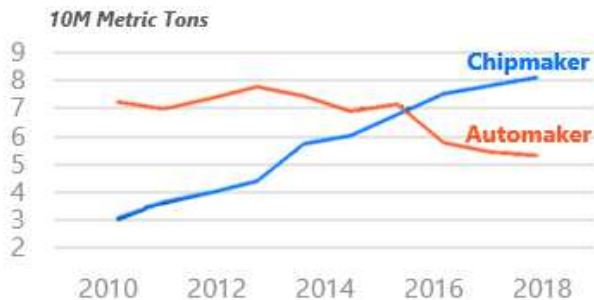


Fig. 1, 칩 생산업체들이 자동차 제조업체들을 제치고 오염물질로 등극한 모습.

본 논문의 목적은 공정 재설계를 통해 온실가스 배출을 완화하는 중요한 전략을 설명하는 것이며, 이는 수율과 품질을 손상시키지 않으면서 공정 흐름을 덜 복잡한 공정으로 재구성하거나, 또는 단계를 제거하여 공정을 단순화시키는 것이다,

III. 제거 단계 선정

본 논문에서는 공정 시간을 효과적으로 단축하고 온실가스 배출을 줄이기 위해 중요하지 않은 공정 단계를 제거하고 공정 흐름을 단순화하며 대체 소모품을 선별하는 공정 단계 선택 방법론을 설명한다.

A. CMP 탈이온화수 연마

이온이 전혀 없는 고도로 정제된 물 형태인 탈이온화수는 CMP 탈이온화수 연마에서 정확한 타이밍을 이용하여 박막 표면을 개선하고 결함을 최소화 하며 매우 낮은 연마율을 달성하는데 사용된다. 또한 탈이온화수 연마는 표면 결함율을 감소시키는 (Fig. 2)와 같이 표면 준비 및 기능적 미세 구조 제작을 넘어서는 목적을 달성할 수 있으므로, 초기 공정 단계에서 스크래치의 근본 원인을 파악하고 최소화함으로써 최종 제품의 품질 및 수율을 유지하면서 탈이온화수 연마 단계를 완전히 제거할 수 있다.

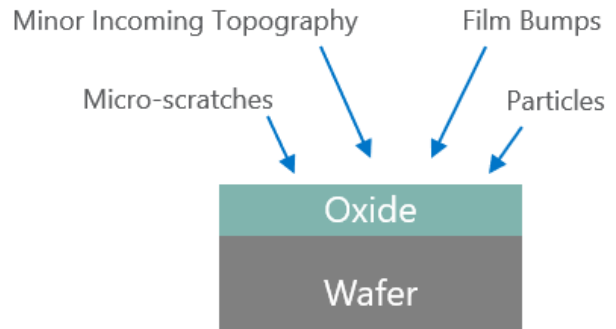


Fig. 2, CMP 표면 결함

B. CMP 슬러리 연마

슬러리 연마 CMP 공정은 DRAM과 NAND 기술 모두에서 활용되는 중요한 단계로 높은 가격의 세리아 기반 슬러리를 첨가제와 함께 사용하여 산화물 표면을 매끄럽게 하고 상류 산화물 증착 공정에 의해 유도되는 불완전성을 수정 및 보완하는 것을 주요 목표로 한다. 이 공정을 제거하는 것은 하류의 포토 및 건식 식각 공정 동안 덤프 결함, 이물질(FM, Foreign material) 쇼트 및 궁극적인 다이 고장을 방지하는데 필수적이기 때문에 불가능하다. 결과적으로 순수한 탈이온화수 연마 공정에 비해 슬러리 연마

CMP 공정을 제거하는 것은 상당한 어려움을 초래한다.

IV . 실험 세부정보

탈이온화수 연마 CMP 공정은 초기에 결함을 제거하고 스크래치 품질을 향상시키기 위해 고정 시간 연마 공정으로 도입되었으나 공정 흐름을 이해함으로써 산화 습식 세정 시 스마트 스프레이 린스(SSR) 전환이나 화학기상 증착(CVD)시 네거티브 타임 딜레이(NTDEL) 구현을 통해 스크래치의 발생 원인을 파악하고 해결할 수 있다. 또한 슬러리 연마 CMP에 대한 공정 시간을 최적화하여 온실가스 배출을 줄일 수 있다. 본 논문에서는 CMP 탈이온화수 연마 단계를 없애고 슬러리 연마 CMP를 최적화하는 것에 초점을 맞추고 있으며, 실험 내용은 (Table 1)에 제시되어 있다.

Table 1. CMP 연마 공정 제거

CMP BUFF	Source of defects and key enabler		
	RDA Defects	Probe Failure	Solution
DIW BUFF	Embedded defects observed at incoming with predominantly arc shading on wafer map and crop circles	Affected chip functionality performance	Smart Spray Rinse (SSR)
DIW BUFF	Thin TEOS films resulting from CMP over polish may lead to Contact Shorts	Affected chip functionality performance	Negative Time Delay (NTDEL)
SLURRY BUFF	Black map at RDA insp step with FM short and arc shading	Affected chip functionality and shorts under normal operation conditions	NTDEL + Alternative consumable

A. 습식 스마트 스프레이 린스 변환을 통한 결함율 감소

스마트 스프레이 린스로 알려진 덤프, 샤워, 린스 조합은 높은 입자 제거 효율로 널리 알려져 있다[6]. 과산화암모늄 혼합물(APM) 화학 세정 후 3회 드레인과 결합된 샤워 린스의 사용을 통한 스마트 스프레이 린스 전환은 (Fig. 3)과 같이 웨이퍼 결함율을 현저히 감소시키는 것으로 나타났다. 이는 CMP 스크래치의 하류 감소로 이어져 결함이나 수율 손실 없이 이론적으로 탈이온화수 연마 CMP 단계를 제거할 수 있다.

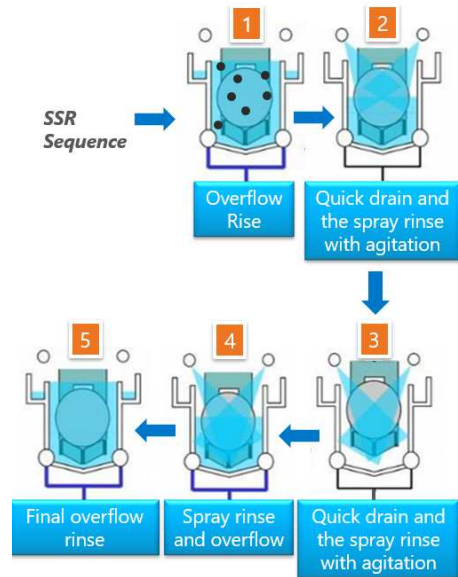


Fig. 3, 결함을 개선 위한 스마트 스프레이 린스(SSR) 설명: 1) 탱크는 더러운 액체로 채워지고, 2,3,4) 탱크는 비워지며 동시에 측면 샤워가 작동하여 웨이퍼가 적도록 유지하면서, 5) 탱크는 깨끗한 탈이온화수로 다시 채워지고, 반복적인 탈이온화수 배수 과정에서 결함을 제거한다.

B. CVD 음수시간 지연 변환을 통한 결함율 감소

현재 CVD 테트라에틸 규산염 광물(TEOS) 공정은 웨이퍼 상으로 반응 기체를 흐르게 한 후 플라즈마 점화를 통해 반응기체의 불완전한 반응으로 인하여 내장된 테트라에틸 규산염 광물 결함이 유발된다. 이러한 결함은 CMP 연마 중에 가시화되고 CMP 스크래치로 이어진다. CVD 테트라에틸 규산염 광물[7]에서 결함율 감소를 위해 제안된 음수시간 지연(NTDEL) 변환 방법은 테트라에틸 규산염 광물의 완전한 반응을 용이하게 하고 미반응 테트라에틸 규산염 광물이 웨이퍼 표면에 증착되는 것을 방지하는 것을 목표로 한다(Fig. 4).

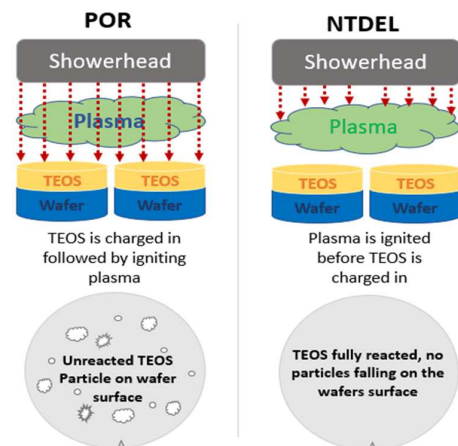


Fig. 4, 산화물 증착 - 음수시간 지연 변환시 산화 기록 공정(POR)과 음수 시간 지연(NTDEL) 공정은 TEOS의 완전한 반응을 보장하고 미반응 TEOS가 웨이퍼에 낙하하는 것을 방지한다.

C. 대체 슬러리와 패드를 통한 공정 간소화

상류 공정을 검토한 후 제거할 수 없는 슬러리 연마 CMP 단계의 경우, 새로운 레시피 개발과 연계하여 대체 방법을 개발하고 새로운 연마 슬러리를 사용하여 비용 및 온실가스 배출을 줄이기 위해 노력하였다. 대체 슬러리 선정과 관련하여 비용 및 슬러리 상용성 등 다양한 요소들이 고려되었다. 그 결과, 콜로이드 실리카계 슬러리는 산화물 제거 공정과의 높은 호환성과 기존 세리아계 슬러리에 비해 훨씬 낮은 비용으로 인해 대체 슬러리로 선정되었다. 또한, 산화물 제거율을 높이고 나아가 비용 절감을 극대화 하기 위해 기존의 소프트 패드를 대체할 새로운 하드 패드를 선정하였다.

V. 결과 및 토론

A. 결함을 감소시키기 위한 스마트 스프레이 린스 변환

CMP 연마 단계를 제거하면 생산능력이 향상되고 운영비용이 절감되며 온실가스 배출을 감소시킬 수 있다. 분석 결과에 따르면 제거 그룹은 기록 공정에 비해 우수한 실시간 결함 분석을 보였으며 스크래치 결함이 크게 감소함을 입증하였다(fig. 5). 또한 분석 결과 기록 공정과 유사한 웨이퍼 레벨 추세로 동작 성능의 증가를 보여주고 있으며 총 무작위 결함, 총 클러스터 결함, 실제 총 결함은 기록 공정 보다 약간 우수한 반면 스크래치는 같은 수준을 유지하였다(fig. 6).

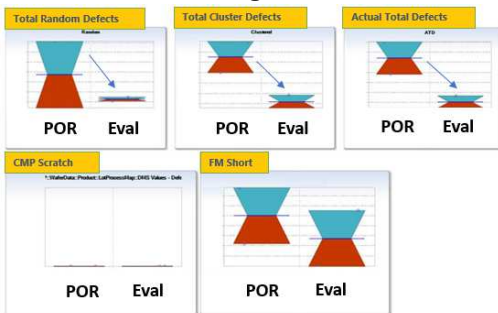


Fig. 5, RDA 결과에 따른 실험군과 대조군

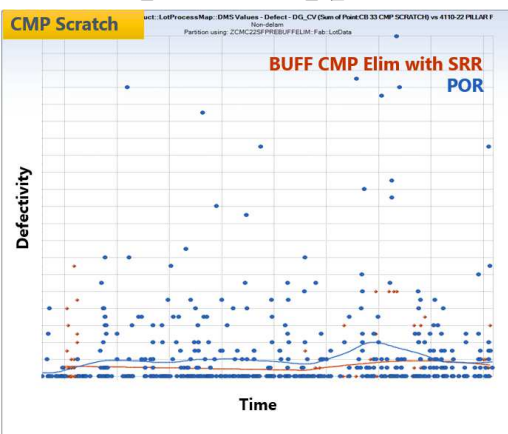


Fig. 6, 대조군에 준하는 스크래치 성능

B. 결함을 감소시키기 위한 음수 시간 지연 변환

음수 시간 지연 실험의 결과는 음수 시간 지연 변환 공정이 테트라에틸 규산염 광물 가스가 챔버에 도입되기 전에 반응 가스를 이온화된 분자로 분해하여 웨이퍼에 떨어지는 미반응 테트라에틸 규산염 광물의 양을 감소시키기 때문에 스크래치 수가 감소함을 보여준다. 또한 음수 시간 지연 변환 공정은 전체 스크래치 수를 크게 감소시키고 제조 기록 공정과 동등한 결함 성능을 보여준다(fig. 7). 또한 변환 물질에서 인라인 스크래치 수는 기록 공정과 비슷하다(fig. 8).

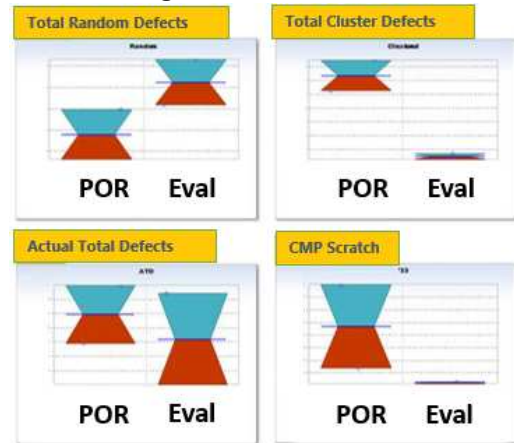


Fig. 7, 대조군에 준하는 CMP 스크래치 성능

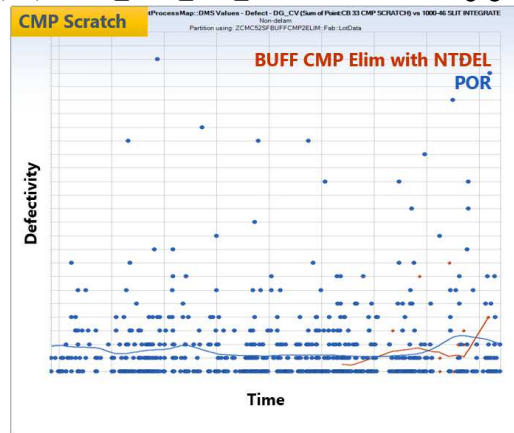


Fig. 8, 대조군에 준하는 CMP 스크래치 성능

C. 음수 시간 지연과 대체 소모품 개선

실시간 결함 분석 이물질 쇼트 파티션 연구에 기초하여, 슬러리 연마 CMP 제거에 영향을 미치는 결함이 상류의 물리적 기상 증착(PVD) 및 확산(DF) 공정에서 발생하고 있음을 확인하였다. 물리적 기상 증착 및 확산 모두의 최적화에도 불구하고, 슬러리 연마 CMP 단계 제거시 이물질 쇼트 카운트가 더 높았다. 대안적인 해결책은, 접근법은 보다 저렴한 슬러리로 전환하고 공정 시간을 단축함으로써 비용과 온실 가스 배출을 감소시키는 방법이었다. 음수 시간 지연 전환은 테트라에틸 규산염 광물 가스를 챔버

로 도입하기 전에 반응 가스가 이온화된 분자로 분해될 수 있게 하여 웨이퍼에 떨어지는 미반응 테트라에틸 규산염 광물의 양을 감소시켰다. 대체 슬러리의 선택과 관련하여, 비용 및 산화물 제거 공정과의 호환성과 같은 다양한 요소들이 신중하게 고려되었다. 콜로이드 실리카계 슬러리는 높은 호환성과 현재의 세리아계 슬러리에 비해 상당히 낮은 비용으로 인해 최종적으로 선택되었다. 공정을 더욱 향상시키기 위해, 소프트 패드 대신 하드 패드를 선택하여 산화물 제거율과 비용 절감을 증가시키는 동시에 공정 시간을 단축시켰다. 이러한 대체 소모품과 음수 시간 지연 전환을 결합함으로써, 총 이물질 쇼트 카운트에서 상당한 감소가 달성되었다(fig. 9). 더욱이, 변환 재료로부터 CMP 스크래치 및 이물질 쇼트 관련 탐침 테스트는 기록 공정에 준하는 결과를 보였다(fig. 10).

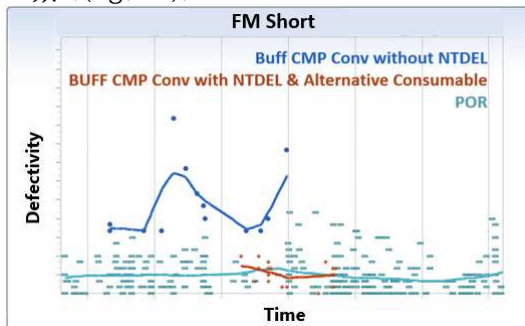


Fig. 9, 다양한 고정 조건에 따른 이물질 쇼트 파티션 - CMP 연마 제거 + 음수 시간 지연은 기록 공정에 준하는 성능을 보여준다.

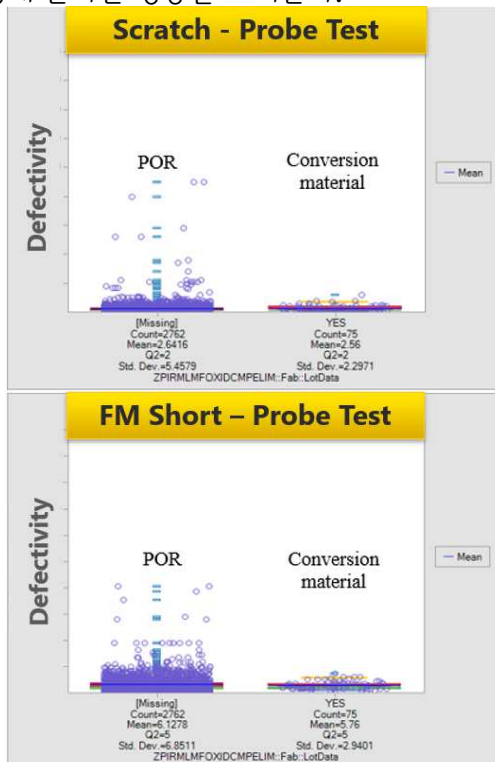


Fig. 10, CMP 스크래치와 이물질 쇼트에 대한 탐침 테스트 결과

VI. 결론

본 연구는 CMP 연마 제거를 위한 스마트 스프레이 린스 및 음수 시간 지연 변환을 통해 부동 게이트(FG) NAND를 평가하는 획기적인 접근 방법을 제시한다. 공정 흐름을 이해하고 이물질 쇼트 및 CMP 스크래치의 발생원인을 해결함으로써 과산화암모늄 혼합물 화학 물질 사용 후 샤워 린스와 삼중 드레인으로 스마트 스프레이 린스를 구현하면 입자 제거 효율이 향상된다. 또한, 음수 시간 지연 레시피를 도입하여 증착 공정 중 미반응 테트라에틸 규산염 광물을 제거할 수 있다. 이 획기적인 작업은 CMP 장비를 구매하지 않아도 됨으로써 워크스테이션의 물과 전기 사용량을 35% 절감하는 등 자본 지출에서 수백만 달러를 절감할 수 있었으며 웨이퍼 용량 증가 및 펌 사이클 시간 단축 등의 성과를 거두었다.

본 연구에서 제시한 방법은 대체 게이트(RG) NAND와 DRAM으로 확장할 수 있으며, 이를 통해 상당한 비용 절감과 온실가스 배출 절감 효과를 얻을 수 있다.

출처

- [1] Standing Committee on Climate Change (2009) Environment and water, Inquiry into ACT Greenhouse Gas Reduction Targets, Australia, 2010.
- [2] S.R. Mudhivarthi, "Process Optimization and Consumable Development for Chemical Mechanical Planarization (CMP) Processes", ProQuest Dissertations Publishing, University of South Florida, 2007 pp. 27-46.
- [3] D. Shaw, J. Chang, "A Method to Improve the Efficiency of CMP Process" in IEEE Transactions on Components and Packaging Technologies, 2001.
- [4] S. Shead, "The global chip industry has a colossal problem with carbon emissions" Sustainable Future. <https://www.cnn.com/2021/11/03/tsmc-samsung-and-intel-have-a-huge-carbon-footprint.html> (accessed Feb 5, 2023).
- [5] O Burkacky, "Sustainability in semiconductor operations: Toward net-zero production." McKinsey&Company. <https://www.mckinsey.com/industries/semiconductors/our-insights/sustainability-in-semiconductor-operations-toward-net-zero-production> (accessed Feb 5, 2023).
- [6] C. Goh, "3in1 22DHC Poly Cut Process Integration for Capacity and Defects Eradication" Micron-TLP Singapore Tech. Seminar- Frontend, 2019, pp. 321-326
- [7] Y.L. Yong, "120s 3D NAND 14/4C Process Simplification via Stack Amalgamation for Max Out, Cost Savings, Defect Reduction and Yield Improvement" Micron-TLP Singapore Tech. Seminar- Frontend, 2020, pp. 413-418