

一种基于FPGA的高斯噪声源设计*

盘书宝**

(桂林航天工业学院 电子工程系, 广西 桂林 541004)

摘要 针对当前高斯噪声源的应用需求,设计了一种基于FPGA的高斯噪声源。文中采用可定时播种的LFSR产生均匀分布随机序列,其中ADC采集系统噪声产生真随机种子定时为LFSR播种,由此得到的高速均匀分布序列。应用Box-Muller方法将均匀分布序列变换为高斯分布序列。为了实现高速运算变换,以查表方法取代了开方等运算,同时论文采用线性插值的方法大幅度减少查表使用的片内高速存储资源,该方法适宜在FPGA内实现。经过仿真验证原理正确,设计合理,研制的样机合成高斯噪声样点输出率达到250MHz。

关键词 LFSR; Box-Muller; 噪声; 线性插值

中图分类号: TN911.4

文献标志码: A

文章编号: 2095-4859(2014)04-0330-05

高斯噪声源是通信系统、自动测试系统中常用的测试仪器。可用于系统加扰处理、系统性能检验及系统的抗干扰能力检验等。国内外对噪声产生方法进行了很多研究与实践,噪声源主要分物理噪声发生器和数字噪声发生器两大类。物理噪声有良好的随机特性,但噪声放大电路设计复杂,固定的噪声参数有时不适应系统复杂的应用需求^[1-2]。而数字噪声源可以使用DSP进行数字信号合成,由软件产生的随机序列有较好性能,合成速度却是个瓶颈^[3]。

随着电子工艺技术的不断提高,基于FPGA高斯随机数合成的研究也越来越深入。杜学峰等人,在使用LFSR合成均匀分布序列的基础上,采用“接受拒绝”的方法使输出做到任意分布序列,也包括高斯分布序列,该方法的合成速度不够快^[3]; Dong-U Lee等人,在Xilinx V4 FPGA上实现Box-Muller算法产生高斯随机数^[4],并做相应的分析测试;谷晓忱等人应用了“最值分析法”和“静态误差分析法”来实现Box-Muller算法核心问题,并在Xilinx V5 FPGA上验证,工作速度有所提高,但是设计复杂,对DSP运算模块要求高^[10]。以上的研究分别取得了不同的进展,但是仍然有可以改进的地方。如“接受拒绝”法,并未关注均匀分布序列产生的重复性,速度与占用存储空间方面仍

有待提高;采用Box-Muller算法,需要高性能FPGA来实现,这些方法把小数、整数分开进行处理,复杂度和硬件要求都比较高。在仅需整数的场合就需要重新考虑硬件和设计成本。

根据实际应用需求,一种基于FPGA的高速高斯噪声合成实现方法被提出。本方法使用系统中自检用的ADC采集电路随机噪声作为种子,该种子定时为LFSR播种。这种可定时播种的LFSR模块合成两路独立均匀分布随机序列^[5],根据Box-Muller方法合成高斯随机序列,送到高速DAC合成高斯噪声。其中在FPGA中用查表法实现Box-Muller变换方法中的开方等运算,使用了线性插值方法减少查表占用的片上存储空间。这种方案在FPGA上实现,集成度高、运行速度快,易于集成到应用系统中合成高斯噪声。

1 高斯噪声合成理论

1.1 均匀分布随机序列生成方法

均匀分布随机序列的产生是高斯噪声实现的基础,基于LFSR的均匀随机序列发生器有着良好的统计和随机特性^[6]。文中采用LFSR产生均匀分布的随机序列。

对于位数是 k 的线性反馈移位寄存器特征多项式可以表示为:

* 基金项目:桂林航天工业学院基金项目《LXI A类总线关键技术研究》(编号:YJ1304);桂林航天工业学院教改项目《基于产学研教育的电子信息工程专业教学体系研究与构建》(编号:2013JA03)。

** 作者简介:盘书宝,男,广西贵港人。助教,硕士。研究方向:自动测试总线与系统。

$$f(x) = 1 + C_1x + C_2x^2 + \dots + C_{k-1}x^{k-1} + x^k \quad (1)$$

式中, C_i ($i=1,2,\dots,k-1$) 为反馈系数, 当在抽头 i 有反馈时, C_i 为 1, 抽头 i 没有反馈, C_i 为零。实际电路中反馈由异或门实现。

对于特定的本原多项式 $f(x)$ 可以构成相应的 m 序列^[6]。LFSR 有 k 级移位寄存器构成, 在时钟的驱动下, 每个时钟输出新的移位输出, 但输出的数据具有周期性, 在初始态不全为零的情况下, 选择合适的反馈方式, 经过输出 $2^k - 1$ 次后就重复输出。

LFSR 在时钟驱动下转换状态,转换过程可以由以下矩阵表示:

$$X_{t+1} = M \times X_t \quad (2)$$

其中 X_{t+1} 为 $t+1$ 时钟时的状态, X_t 是 t 时钟时的状态, M 是状态转移矩阵, 表示如下式:

$$M = \begin{pmatrix} 0_{1 \times (k-1)} & 1 \\ I_{(k-1) \times (k-1)} & C_{(k-1) \times 1} \end{pmatrix} \quad (3)$$

式中: $I_{(k-1) \times (k-1)}$ 为 $k-1$ 行 $k-1$ 列的单位矩阵, $C_{(k-1) \times 1}$ 为 $k-1$ 行 1 列反馈系数矩阵。

特定反馈形式的线性移位寄存器,在给定种子的情况下,输出时可预测,因此称为伪随机序列。为了得到随机特性更好的序列,种子的选择非常关键。目前大多数选择采用算法计算得到种子,存入存储表,然后查表实现动态播种^[7]。但是这种方法需要较大容量的存储空间,而且按照查表顺序播种,始终会有重复播种的情况。因此需要在重复输出之前载入新的种子,使输出的随机序列不重复。在设计中可采用系统自检用的高速 ADC 芯片采集电路随机噪声,得到噪声量化数据,先对数据做预处理,比如说滤除如电力耦合过来的尖峰脉冲。根据噪声幅度,连续采集数据,截取相应的有数据抖动的低几位,经过数据拼接,作为 LFSR 的真随机种子。

1.2 Box—Muller 产生高斯分布随机序列

对于在 $[0,1]$ 上均匀分布而且相互独立随机数 x, y , 可以使用 Box-Muller 方法变换为在 $[0,1]$ 范围内的高斯分布随机数 α, β ^[8]。其变换过程如下所示:

$$\alpha = \sqrt{-2 \times \ln(x)} \sin(2\pi v) \quad (4)$$

$$\beta = \sqrt{-2 \times \ln(x)} \cos(2\pi v) \quad (5)$$

α, β 是变换得到的高斯随机数。变换过程可分为以下三个部分：

$$h_1(x) = \sqrt{-2 \times \ln(x)} \quad (6)$$

$$h_2(y) = \sin(2\pi y) \quad (7)$$

$$h_3(y) = \cos(2\pi y) \quad (8)$$

α, β 随机数变成两个函数的乘积, 即为:

$$a = h_1(x) \times h_2(y) \quad (9)$$

$$\beta = h_1(x) \times h_3(y) \quad (10)$$

将式简化之后, 仅需把相应函数预先做好计算, 存入表中, 查表运算即可得到高斯分布随机数。

2 基于 FPGA 的高斯噪声源设计

高斯噪声合成主要由均匀随机数发生模块、Box-Muller 变换模块和其他辅助模块组成, 总体设计如图 1 所示。其中 FPGA 使用 Cyclone III 系列中的 EP3C25F324C6, 其内部的 Block RAM 共有 608256 位, 速度性能可达 315MHz; 具有 66 个 18 位乘法器, 速度可达 287MHz^[9]。Block ROM 和乘法器的速度决定了 FPGA 上构建 Box-Muller 变换模块的运行速度。理论上系统运行速度可达 287MHz, 实际设计时选择了 250MHz。

其他辅助模块由数模转换器、放大滤波电路、SOPC 和时钟模块构成。模数转换器选择了 16 位精度的 AD9726,其最高转换率可达 400MHz,可满足系统设计要求。

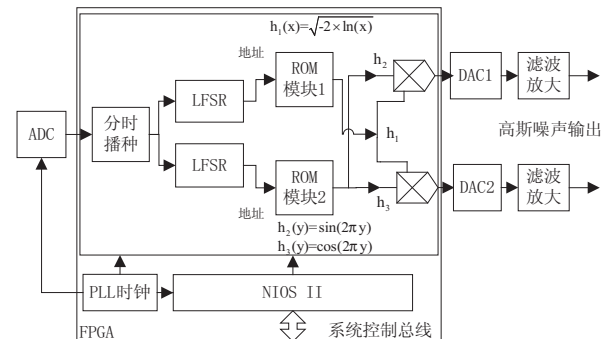


图 1 总体设计

2.1 均匀随机数发生模块设计

均匀随机数发生模块由 LFSR 产生,由于 LFSR 结构简单,工作速度快,文中在 FPGA 上设计了两组采用不同本原多项式的 LFSR,位宽为 16 位。而 LFSR 采取定时更新种子的方案,选择采样率为 5MHz 的 ADC 芯片 ADS803 采集电路随机噪声,并截取扰动位数拼接,合成两路 LFSR 的种

图 3 线性插值设计

同理,正余弦函数对应的 ROM 模块 2 也需建立数据表。正余弦表通常计算好整个周期各做一个数据表,若要保证一个周期内有 65536 个点,消耗 FPGA 较多的存储资源。根据正余弦波形的对称性,数据表只需存储四分之一周期的波形数据,其余四分之三的波形数据可以通过变换地址或者进行数据运算得到^[4]。文中采用波形对称处理和线性插值的方法共同来设计 ROM 模块 2,正弦第一象限设置 512 个波形点数,余弦第一象限设置 512 个波形点数。对波形数据处理都只是采用位宽小于 16 位的加减电路,运算速度可以满足需求。以正弦为例,在第二象限内对寻址地址做相应变换,而在第三、第四象限内对地址做变换同时读出数据时,还对数据进行对称处理,这两个象限处理方式有区别。经过这些变换和处理,使得正弦波形周期点数达到了 2048 个,这时参考式(13)和式(14),作线性插值处理,两点之间需插入 32 个点,处理后使得正弦表周期点数扩大到 65536 个。同理余弦表也采取类似方法处理,只不过不同象限地址变换和数据变换也根据余弦波形特性来决定。

3 系统仿真与测试

3.1 仿真与数据分析

为了验证高斯噪声合成效果,在 MATLAB 中对本文使用的 Box-Muller 方法进行仿真,将该方法产生 10 组 10000 个样本数据进行统计分析。期望值和方差如表 1 所示。

表 1 样本数据统计表

样本组	期望	方差
1	0.0020	1.0008
2	-0.0008	1.0004
3	-0.0029	1.0014
4	-0.0051	1.0018
5	-0.0005	0.9997
6	-0.0009	0.9988
7	0.0005	1.0101
8	0.0011	0.9988
9	0.0035	0.9973
10	0.0036	1.0061

由表 2 中的样本数据期望绝对误差最大差值仅为 0.0051,方差绝对误差最大值为 0.0101。这些样本数据趋于服从标准正态分布。

表 2 样本数据绝对误差统计表

样本组	期望	方差
1	0.0020	0.0008
2	-0.0008	0.0004
3	-0.0029	0.0014
4	-0.0051	0.0018
5	-0.0005	-0.0003
6	-0.0009	-0.0012
7	0.0005	0.0101
8	0.0011	-0.0012
9	0.0035	-0.0027
10	0.0036	0.0061

对其中一组样本数据分析概率分布,得出概率分布图形。如图 4 所示,该组样本数据服从高斯分布。

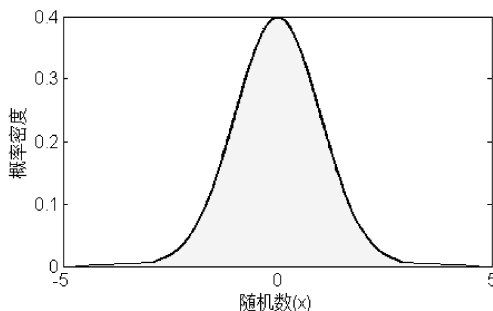


图 4 概率密度函数

3.2 实物验证测试

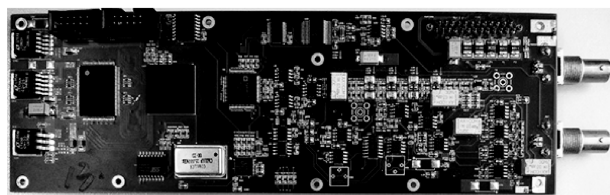


图 5 验证样机

如图 5 所示即为系统验证实物图。

对验证系统进行测试,图 6 为验证机输出频率为 30MHz,幅值为 1V 时实际测试图。测试仪器为安捷伦混合信号示波器,型号 MSO9064A。

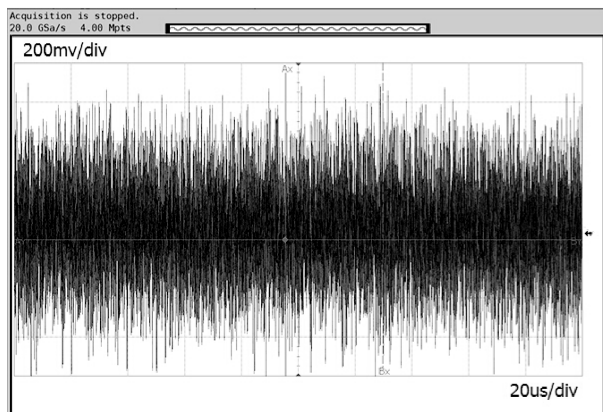


图 6 高斯噪声测试图

4 结束语

均匀分布序列的产生高斯噪声合成的基础。文中利用 ADC 采集电路中真随机噪声得到的数字信号,定时为 LFSR 播种。该 ADC 采样率不需要非常高,只需保证 LFSR 输出序列不会重复,这

样 LFSR 产生高速均匀分布随机序列。在 Box-Muller 变换的结构设计中,应用线性插值方法减少使用的存储器容量。线性插值个数的取值可以根据存储资源的使用率来权衡。在存储资源不够的情况下还可以提高线性插值的个数,以减少存储表的大小。硬件设计采用模块化、参数化设计,维护升级方便,在嵌入应用系统时可加入其它波形合成模块,以满足测试需求。部分硬件可实现多功能复用,如 ADC 还可以用在系统自检和调制信号采集等。这样灵活的设计能降低设计成本。

经过仿真和测试,结果表明该高斯噪声合成方法设计原理正确,充分利用 FPGA 内部资源,适合在 FPGA 中实现,具有良好的移植性。研制的系统样机,样点输出率可达 250MHz,并且通过了环境适应性实验和电磁兼容性实验。目前已成功已应用于某型号 LXI 总线测试仪器,其性能稳定可靠,具有较高的工程应用价值。

参考文献

- [1] 艾余雄,寇艳红. 一种基于 FPGA 的高斯白噪声发生器的设计与实现[J]. 遥测遥控,2009,30(6): 36-40.
- [2] 张鸿飞,王坚,罗春丽,等. 基于抖动的高速真随机数发生器的设计和实现[J]. 核技术,2011,34(7):556-560.
- [3] 杜学峰,武杰. 基于 FPGA 的任意分布高速伪随机数发生器[J]. 中国科学技术大学学报,2006,36(9):990-994.
- [4] Dong-U Lee, John D. Villasenor, Wayne Luk, et al. A Hardware Gaussian noise generator using the box-muller method and its error analysis[J]. IEEE Transactions on Computers, 2006, 55(6):659-671.
- [5] 崔巍,李承恕. 线性反馈移位寄存器的改进算法及其电路实现[J]. 北京交通大学学报,2004,28(5),69-72
- [6] 刘沛华,鲁华祥,龚国良,等. 基于 FPGA 的高速任意分布伪随机数发生器[J]. 应用科学学报,2012,30(3),306-310
- [7] 刘江,汪涛,刘洛琨. 基于 FPGA 实时可配置的高斯白噪声发生器[J]. 现代电子技术,2005,28(6):13-15.
- [8] Box G E P, Muller M E. A note on the generation of random normal deviates[J]. Annals of Mathematical Statistics, 1958, 29(2):610-611.
- [9] Altera Corp1. CycloneIII Device Handbook[EB/OL].[2014-12-1].http://www.altera.com.cn/literature/hb/cyc3/cyclone3_handbook.pdf.
- [10] 谷晓忱,张民选. 一种基于 FPGA 的高斯随机数生成器的设计与实现[J]. 计算机学报,2011,34(1):165-173.
- [11] 严家明,刘诗斌,李辉. 线性插值的误差计算方法研究[J]. 弹箭与制导学报,2005,25(4):111-112.

(责任编辑 陈葵晞)

作者: [盘书宝](#)
作者单位: [桂林航天工业学院 电子工程系, 广西 桂林, 541004](#)
刊名: [桂林航天工业学院学报](#)
英文刊名: [Journal of Guilin University of Aerospace Technology](#)
年, 卷(期): 2014(4)

参考文献(11条)

1. [艾余雄, 寇艳红](#) 一种基于FPGA的高斯白噪声发生器的设计与实现[期刊论文]-[遥测遥控](#) 2009(6)
2. [张鸿飞, 王坚, 罗春丽, 崔珂, 姚志明, 梁昊, 金革](#) 基于抖动的高速真随机数发生器的设计和实现[期刊论文]-[核技术](#) 2011(7)
3. [杜学峰, 武杰](#) 基于FPGA的任意分布高速伪随机数发生器[期刊论文]-[中国科学技术大学学报](#) 2006(9)
4. [Dong - U Lee; John D. Villasenor; Wayne Luk](#) A Hardware Gaussian noise generator using the box-muller method and its error analysis 2006(06)
5. [崔嵬, 李承恕](#) 线性反馈移位寄存器的改进算法及其电路实现[期刊论文]-[北京交通大学学报](#) 2004(5)
6. [刘沛华, 鲁华祥, 龚国良, 刘文鹏, 陈天翔](#) 基于FPGA的高速任意分布伪随机数发生器[期刊论文]-[应用科学学报](#) 2012(3)
7. [刘江, 汪涛, 刘洛琨](#) 基于FPGA实时可配置的高斯白噪声发生器[期刊论文]-[现代电子技术](#) 2005(6)
8. [Box G E P; Muller M E](#) A note on the generation of random normal deviates 1958(02)
9. [Altera Corp](#) CycloneIII Device Handbook 2014
10. [谷晓忱, 张民选](#) 一种基于FPGA的高斯随机数生成器的设计与实现[期刊论文]-[计算机学报](#) 2011(1)
11. [严家明, 刘诗斌, 李辉](#) 线性插值的误差计算方法研究[期刊论文]-[弹箭与制导学报](#) 2005(4)

引用本文格式: [盘书宝](#) 一种基于 FPGA 的高斯噪声源设计[期刊论文]-[桂林航天工业学院学报](#) 2014(4)