

Fecha de asignación: 7 de mayo de 2018

Fecha límite de entrega: 10:00 horas del 21 de mayo de 2018

1. Objetivo

- Comprender los requerimientos de una versión reducida de la arquitectura MIPS de 32 bits para realizar una implementación monociclo (ruta de datos y unidad de control).
- Codificar, ensamblar y simular un programa de prueba para verificar el comportamiento correcto del procesador.
- Emplear herramientas de software para el diseño y la simulación de computadores digitales.

2. Descripción

En esta práctica cada equipo realizará una implementación monociclo de una versión reducida de la arquitectura MIPS32 en la herramienta *Logisim*. Una vez implementados la ruta de datos y la unidad de control, el procesador será puesto a prueba para verificar el correcto funcionamiento de todas las instrucciones que puede ejecutar. Luego, el procesador será empleado para ejecutar un programa, cargado en la memoria de instrucciones en código de máquina. El programa ejecutado corresponderá a la solución de un problema planteado en la sección 5. El problema asignado a cada equipo es el resultante de tomar el número del equipo y calcular su módulo cinco.

El procesador debe estar en capacidad de ejecutar las siguientes instrucciones: *load word*, *store word*, *add*, *sub*, *and*, *or*, *nor*, *set-on-less-than*, *branch if equal* y *jump*, y tener una organización como la que se muestra en la Figura 1. Los formatos de instrucción con sus códigos de operación, identificadores de registros y valores del campo función se deben ajustar a los definidos en el documento [MIPS Reference Data](#). El control de la ruta de datos se debe realizar con los módulos “Control” y “ALU control” incluidos en la Figura 1, aplicando las técnicas de diseño combinacional estudiadas previamente en el curso para su implementación. La codificación de las señales de control asociadas a la ALU se muestra en la Tabla 1. Las señales **ALU Operation** corresponden a los cuatro bits de control de la ALU.

Para realizar la implementación en **Logisim** de la ruta de datos, emplee el banco de registros diseñado en la segunda práctica del curso y construya la ALU de acuerdo a los lineamientos estudiados en clase. Para las memorias, registros, sumadores, multiplexores y demás componentes que sean requeridos, puede emplear componentes de la biblioteca de la herramienta.

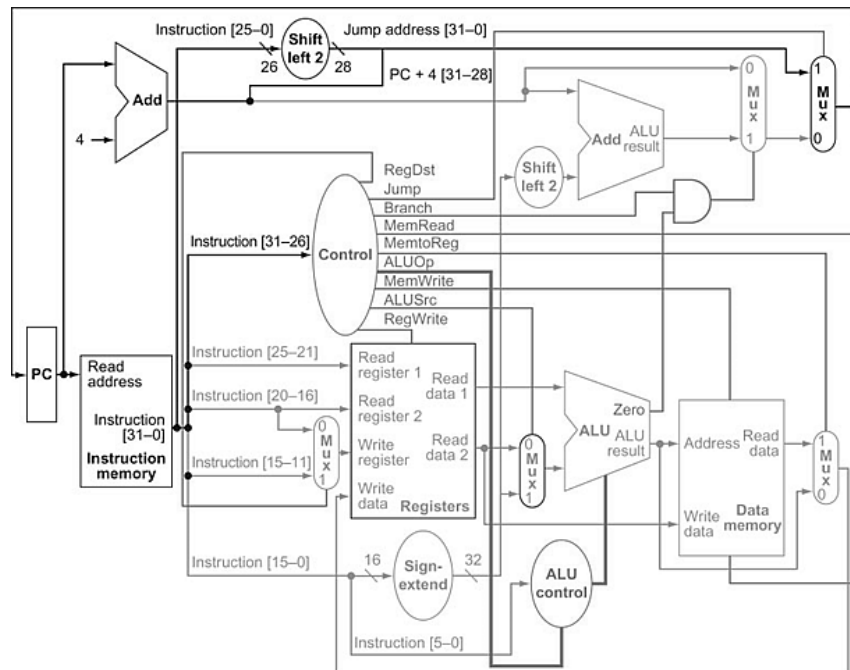


Figura 1. Implementación monociclo de la arquitectura MIPS capaz de ejecutar instrucciones *lw*, *sw*, *add*, *sub*, *and*, *or*, *nor*, *slt*, *beq* y *jump*.

Durante el proceso de diseño e implementación del procesador pueden presentarse diversas situaciones ante las cuales cada equipo debe tomar decisiones. En todos los casos, las decisiones de diseño deben estar ampliamente explicadas y justificadas.

Tabla 1. Codificación de las señales de control asociadas con la ALU

Opcode	ALUOp	Operación	ALU Operation
lw	00	Load word	0010
sw	00	Store word	0010
beq	01	Branch if equal	0110
Tipo R	10	Add	0010
		Subtract	0110
		AND	0000
		OR	0001
		Set on less than	0111
		NOR	1100

3. Informe

Cada equipo de trabajo debe realizar un informe escrito que incluya una descripción completa del proceso de diseño del procesador monociclo (ruta de datos y unidades de control), sus esquemáticos y la explicación y justificación de las decisiones de diseño tomadas durante el desarrollo de la práctica. Asimismo, debe describir el proceso de verificación de la ejecución correcta de todas las instrucciones que soporta el procesador. También debe incluir una descripción de alto nivel (mediante pseudocódigo, diagrama de flujo, etc.) del programa implementado que da solución al problema planteado, suministrando su código fuente en ensamblador y el código de máquina equivalente. El informe también debe contener los resultados de simulación y ejecución y las observaciones y conclusiones pertinentes del trabajo. Este documento debe estar en formato **PDF** y ser subido a la plataforma antes del cierre del plazo de entrega, con los archivos de diseño en **Logisim** como adjuntos. El informe tiene un peso del 30% en la calificación global de la práctica.

4. Sustentación

Ambos miembros del equipo de trabajo deben demostrar un dominio completo del desarrollo de la práctica. El profesor planteará preguntas para evaluar los conocimientos adquiridos. La sustentación tiene un peso del 70% en la calificación global de la práctica.

5. Problemas

A cada equipo de trabajo le corresponderá resolver uno de los siguientes problemas, de acuerdo al esquema de asignación indicado previamente.

Problema 0

La serie de Padovan es la secuencia de números enteros $P(n)$ definida para los siguientes valores iniciales $P(0) = P(1) = P(2) = 1$ y la relación de recurrencia $P(n) = P(n-2) + P(n-3)$, para $n \geq 3$. Genere y almacene en memoria los primeros 20 elementos de la serie de Padovan.

Problema 1

La serie de Fibonacci es la secuencia de números enteros $F(n)$ definida para los siguientes valores iniciales $F(0) = 0$ y $F(1) = 1$ y la relación de recurrencia $F(n) = F(n-1) + F(n-2)$, para $n \geq 2$. Genere y almacene en memoria los primeros 20 elementos de la serie de Fibonacci.

Problema 2

La serie de Lucas es la secuencia de números enteros $L(n)$ definida para los siguientes valores iniciales $L(0) = 2$ y $L(1) = 1$ y la relación de recurrencia $L(n) = L(n-1) + L(n-2)$, para $n \geq 2$. Genere y almacene en memoria los primeros 20 elementos de la serie de Lucas.

Problema 3

Un número triangular está definido por la expresión $T(n) = n(n+1)/2$, para $n \geq 1$. Genere y almacene en memoria los primeros 10 números triangulares.

Problema 4

Un número hexagonal está definido por la expresión $H(n) = 2n(2n-1)/2$, para $n \geq 1$. Genere y almacene en memoria los primeros 10 números hexagonales.