

ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN
KHOA KỸ THUẬT MÁY TÍNH



BÁO CÁO ĐỒ ÁN
MÔN THIẾT KẾ LUẬN LÝ SỐ – CE118
ĐỀ TÀI: THIẾT KẾ BỘ NHÂN, CHIA
SỐ 32-BIT KHÔNG DẤU

HỌ VÀ TÊN: ĐẶNG TẤN ĐẠT

MSSV: 21521927

LỚP: CE118.N22

GIẢNG VIÊN HƯỚNG DẪN:

TRƯƠNG VĂN CƯỜNG

TP. HỒ CHÍ MINH – Tháng 6 năm 2023

MỤC LỤC

DANH MỤC HÌNH ẢNH	III
DANH MỤC BẢNG	V
I. TỔNG QUAN VỀ BỘ NHÂN/CHIA SỐ 32-BIT KHÔNG DẤU	1
II. THIẾT KẾ BỘ NHÂN 32-BIT KHÔNG DẤU	1
II.1. Sơ đồ khối tổng quát	1
II.2. Lưu đồ giải thuật và sơ đồ trạng thái.....	2
II.2.1. Lưu đồ giải thuật phép toán nhân (tham khảo sách)	2
II.2.2. Biểu đồ giải thuật máy trạng thái ASM	2
II.2.3. Bảng trạng thái thực thi.....	3
II.2.4. Thiết kế bộ nhân	3
II.2.4.1. Thiết kế khối đường dữ liệu.....	3
II.2.4.1.1. Thiết kế thanh ghi dịch trái 64-bit	4
II.2.4.1.2. Thiết kế thanh ghi dịch phải 32-bit.....	5
II.2.4.1.3. Thiết kế bộ ALU	6
II.2.4.2. Thiết kế khối điều khiển	8
II.2.4.2.1. Control word	8
II.2.4.2.2. Flowchart.....	8
II.2.4.2.3. Thiết kế máy trạng thái.....	9
II.2.4.2.4. Thiết kế bộ giải mã tín hiệu trạng thái	9
II.2.4.2.5. Khối điều khiển	10
II.2.4.3. Bộ nhân số 32-bit không dấu	10
II.2.4.4. Một số test case của bộ nhân từ bộ sinh số ngẫu nhiên	11
III. THIẾT KẾ BỘ CHIA 32-BIT KHÔNG DẤU	12
III.1. Sơ đồ khối tổng quát	12
III.2. Lưu đồ giải thuật và sơ đồ trạng thái.....	12
III.2.1. Lưu đồ giải thuật phép toán chia (tham khảo)	12
III.2.2. Biểu đồ giải thuật máy trạng thái ASM	13
III.2.3. Bảng trạng thái thực thi.....	13
III.2.4. Thiết kế bộ chia	14
III.2.4.1. Thiết kế khối đường dữ liệu.....	14
III.2.4.1.1. Thiết kế thanh ghi dịch phải 64-bit.....	15
III.2.4.1.2. Thiết kế khối ALU	15
III.2.4.1.3. Thiết kế Mux2-1 64-bit.....	15

III.2.4.2.	Thiết kế khối điều khiển	16
III.2.4.2.1.	Control word	16
III.2.4.2.2.	Flowchart.....	16
III.2.4.2.3.	Thiết kế máy trạng thái.....	17
III.2.4.2.4.	Thiết kế bộ giải mã trạng thái.....	17
III.2.4.2.5.	Khối điều khiển	18
III.2.4.3.	Bộ chia số 32-bit không dấu	18
III.2.4.4.	Một số test case của bộ chia từ bộ sinh số ngẫu nhiên.....	18
IV.	THIẾT KẾ BỘ NHÂN/CHIA 32-BIT KHÔNG DẤU.....	20
V.	TÀI LIỆU THAM KHẢO	21

DANH MỤC HÌNH ẢNH

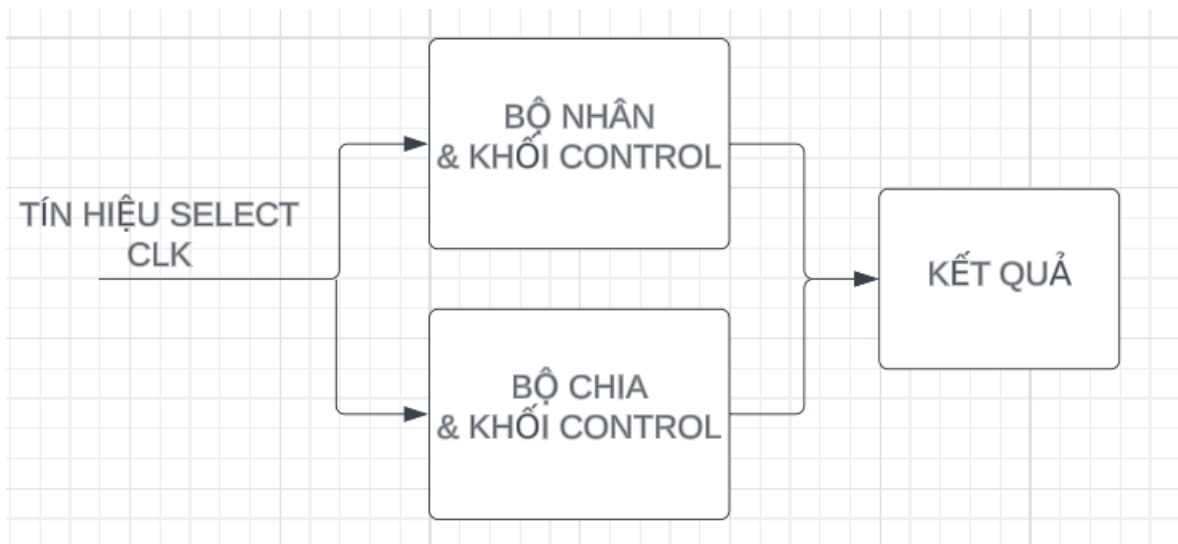
Hình 1 Sơ đồ tổng quát bộ nhân/chia 32-bit không dấu.....	1
Hình 2 Cấu trúc phần cứng thực hiện phép nhân.....	1
Hình 3 Lưu đồ thuật toán phép nhân theo phần cứng	2
Hình 4 Biểu đồ giải thuật máy trạng thái ASM	2
Hình 5 Khối dữ liệu của bộ nhân 32-bit không dấu	3
Hình 6 Thanh ghi dịch trái 4-bit.....	4
Hình 7 Thanh ghi dịch trái 32-bit.....	4
Hình 8 Thanh ghi dịch trái 64-bit.....	5
Hình 9 Thanh ghi dịch phải 4-bit	5
Hình 10 Thanh ghi dịch phải 32-bit	6
Hình 11 Bộ cộng toàn phần 1-bit	7
Hình 12 Bộ cộng toàn phần 16-bit	7
Hình 13 Bộ cộng toàn phần 64-bit	7
Hình 14 Bộ ALU cho phép nhân.....	8
Hình 15 Flowchart khối điều khiển.....	8
Hình 16 Máy trạng thái khối điều khiển bộ nhân.....	9
Hình 17 Waveform máy trạng thái của khối điều khiển bộ nhân	9
Hình 18 Khối điều khiển bộ nhân	10
Hình 19 Waveform khối điều khiển bộ nhân	10
Hình 20 Bộ nhân số 32-bit không dấu.....	10
Hình 21 Waveform bộ nhân 32-bit không dấu.....	10
Hình 22 Dữ liệu nhập vào test case 1	11
Hình 23 Kết quả test case 1	11
Hình 24 Dữ liệu nhập vào test case 2.....	11
Hình 25 Kết quả test case 2	11
Hình 26 Test case 3	11
Hình 27 Cấu trúc phần cứng thực hiện phép chia.....	12
Hình 28 Lưu đồ thuật toán phép chia theo phần cứng	12
Hình 29 Biểu đồ giải thuật máy trạng thái ASM	13
Hình 30 Khối dữ liệu bộ chia số 32-bit không dấu	14
Hình 31 Thanh ghi dịch phải 64-bit	15
Hình 32 Bộ trừ 2 số 64-bit.....	15
Hình 33 Bộ Mux2 - 1 64-bit.....	16
Hình 34 Flowchart của phép chia.....	16
Hình 35 Máy trạng thái của khối điều khiển bộ chia	17
Hình 36 Khối điều khiển bộ chia	18
Hình 37 Bộ chia số 32-bit không dấu.....	18
Hình 38 Dữ liệu nhập vào test case 1 (bộ chia)	18

Hình 39 Kết quả test case 1 (bộ chia).....	18
Hình 40 Dữ liệu nhập vào test case 2 (bộ chia)	19
Hình 41 Kết quả test case 2 (bộ chia).....	19
Hình 42 Kết quả test case 3 (bộ chia).....	19
Hình 43 Dữ liệu nhập vào test case 4 (bộ chia)	19
Hình 44 Kết quả test case 4 (bộ chia).....	19
Hình 45 Bộ nhân/chia 32-bit không dấu	20
Hình 46 Giá trị nhập vào (IV.1)	20
Hình 47 Kết quả (IV.1)	20
Hình 48 Giá trị nhập vào (IV.2)	21
Hình 49 Kết quả (IV.2)	21

DANH MỤC BẢNG

Bảng 1 Bảng trạng thái thực thi của phép nhân	3
Bảng 2 Bảng hoạt động thanh ghi dịch trái 4-bit	4
Bảng 3 Bảng hoạt động thanh ghi dịch trái 32-bit	4
Bảng 4 Bảng hoạt động thanh ghi dịch trái 64-bit	5
Bảng 5 Bảng hoạt động thanh ghi dịch phải 4-bit.....	5
Bảng 6 Bảng hoạt động thanh ghi dịch phải 32-bit.....	6
Bảng 7 Bảng chân trị FA 1-bit	6
Bảng 8 Bảng các phép toán của ALU cho bộ nhân.....	8
Bảng 9 Bảng control word khối điều khiển bộ nhân.....	8
Bảng 10 Bảng trạng thái của máy trạng thái bộ nhân	9
Bảng 11 Bảng trạng thái thực thi của phép chia	13
Bảng 12 Bảng trạng thái Mux2-1 64-bit	15
Bảng 13 Bảng control word bộ chia.....	16
Bảng 14 Bảng trạng thái máy trạng thái bộ chia	17

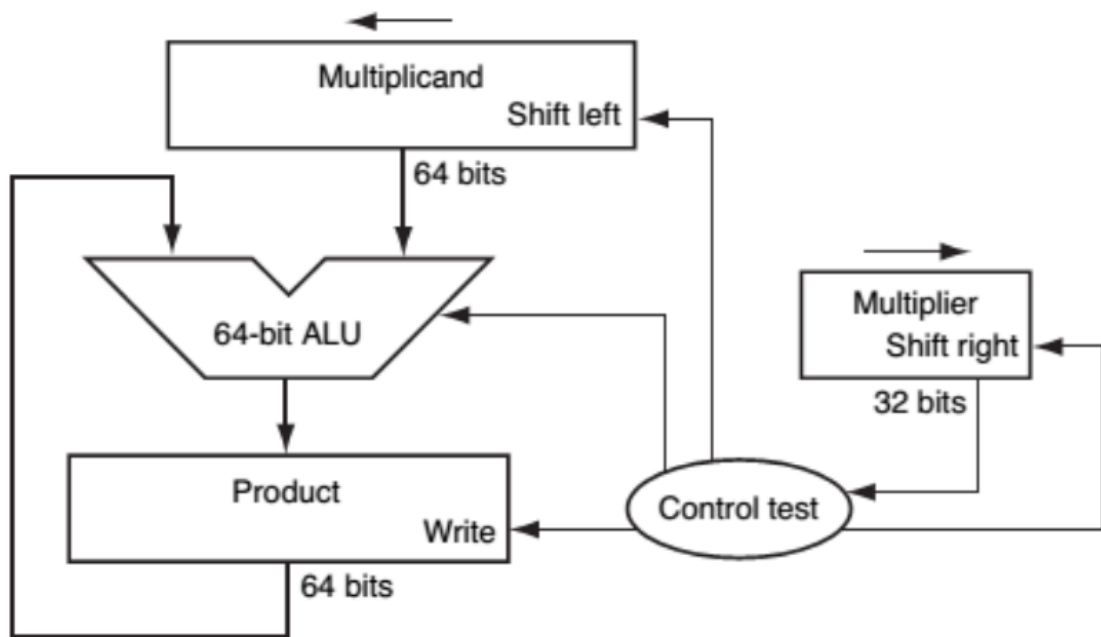
I. TỔNG QUAN VỀ BỘ NHÂN/CHIA SỐ 32-BIT KHÔNG DẤU



Hình 1 Sơ đồ tổng quát bộ nhân/chia 32-bit không dấu

II. THIẾT KẾ BỘ NHÂN 32-BIT KHÔNG DẤU

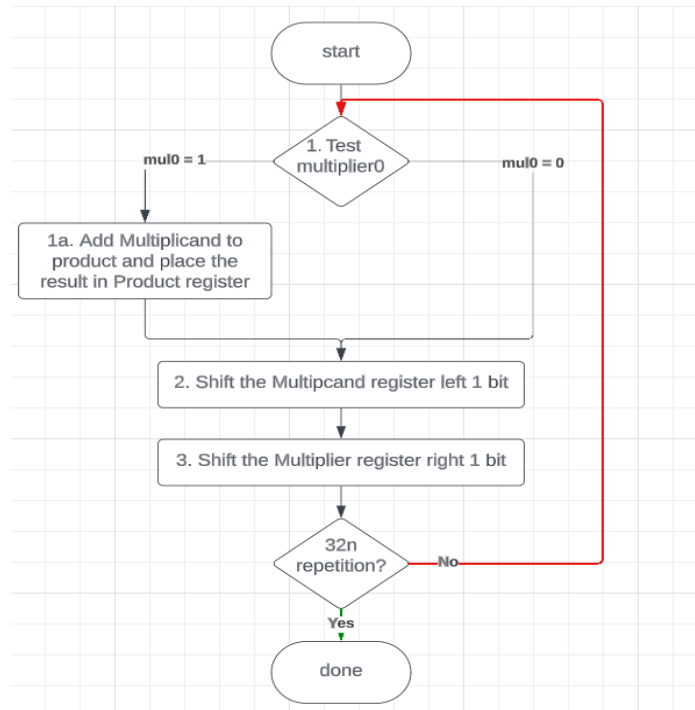
II.1. Sơ đồ khối tổng quát



Hình 2 Cấu trúc phần cứng thực hiện phép nhân

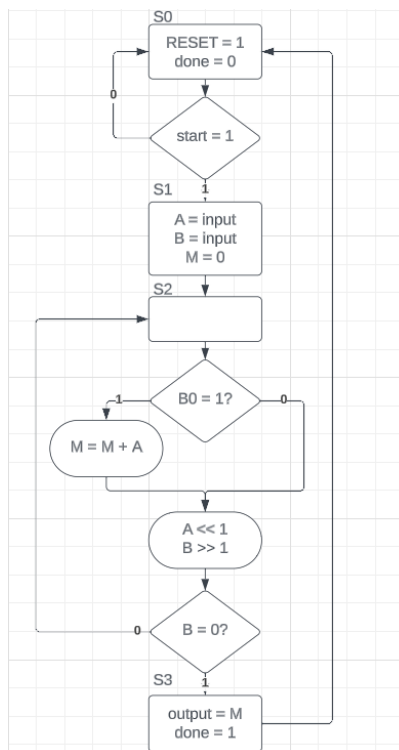
II.2. Lưu đồ giải thuật và sơ đồ trạng thái

II.2.1. Lưu đồ giải thuật phép toán nhân (tham khảo sách)



Hình 3 Lưu đồ thuật toán phép nhân theo phần cứng

II.2.2. Biểu đồ giải thuật máy trạng thái ASM



Hình 4 Biểu đồ giải thuật máy trạng thái ASM

Từ lưu đồ giải thuật máy trạng thái ASM, ta có thể thấy có đôi chút sự khác biệt với giải thuật phép nhân theo phần cứng ở mục trước. Giải thích lí do là bởi ta thấy được rằng các phép toán $M = M + A$, $A \ll 1$ và $B \gg 1$ có thể thực hiện trong cùng một trạng thái (S2) dựa trên phần cứng do khi có tín hiệu dịch bit A và B thì phải đến khi có xung CLK kích cạnh lên thì giá trị A và B mới thay đổi. Số chu kì phụ thuộc vào B

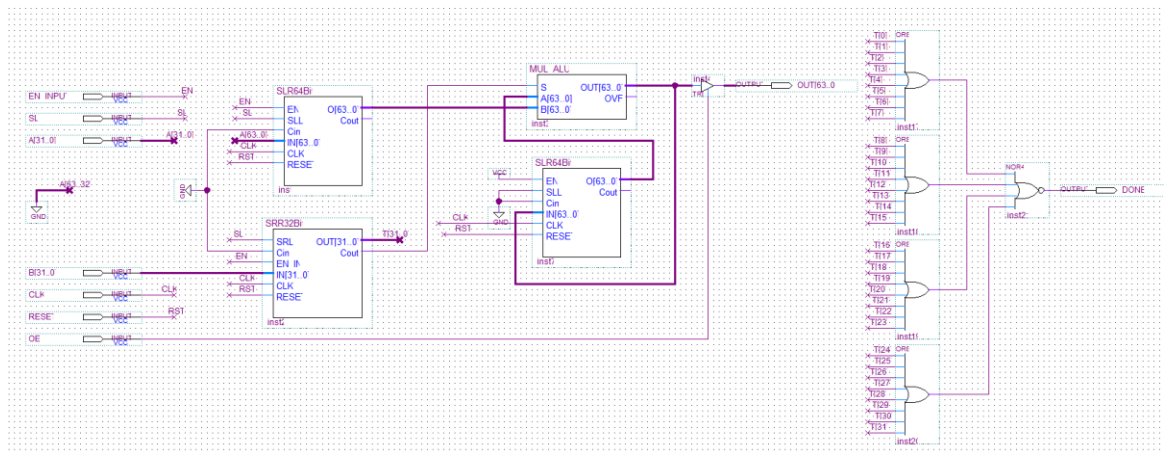
II.2.3. Bảng trạng thái thực thi

Bảng 1 Bảng trạng thái thực thi của phép nhân

Trạng thái hiện tại	Trạng thái kế tiếp	Các biến trong khối datapath
	Điều kiện, trạng thái	Điều kiện, thực thi
S0	start = 0, S0 start = 1, S1, done = 0, RESET = 1
S1	S2, A = input, B = input, M = 0
S2	B = 0, S3 B != 0, S2	B0 = 1, M=M+A B0 = 0,, A = A << 1, B = B >> 1
S3	S0, done = 1, output = M

II.2.4. Thiết kế bộ nhân

II.2.4.1. Thiết kế khối đường dữ liệu



Hình 5 Khối dữ liệu của bộ nhân 32-bit không dấu

Khối đường dữ liệu (datapath) của bộ nhân được thiết kế theo kiểu khối dữ liệu song song bao gồm 2 thanh ghi dịch để lưu 2 giá trị của 2 số số bị nhân và số nhân, 1 thanh ghi kết quả nên có thể nạp hoặc dịch 2 giá trị đồng thời, bộ ALU với 2 phép toán là cộng vào cộng 0 và tín hiệu được nhận từ thanh ghi số nhân.

Ngoài ra còn có thêm cờ done để truyền tín hiệu kết thúc (B=0) đến khối điều khiển.

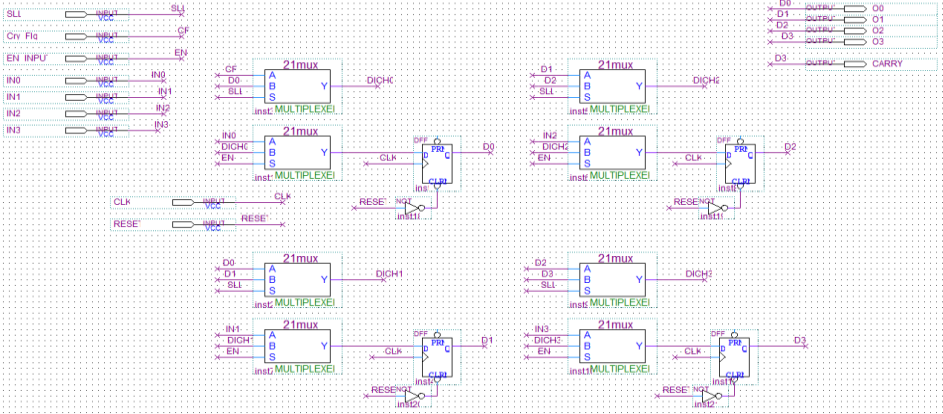
II.2.4.1.1. Thiết kế thanh ghi dịch trái 64-bit

- Thanh ghi dịch trái 4-bit

Bảng hoạt động

Bảng 2 Bảng hoạt động thanh ghi dịch trái 4-bit

EN_input / SLL	Q[3:0]	Hoạt động
1/X	I3I2I1I0	Nạp dữ liệu
0/0	Q3Q2Q1Q0	Không đổi
0/1	Q2Q1Q0Cin	Dịch trái 1 bit



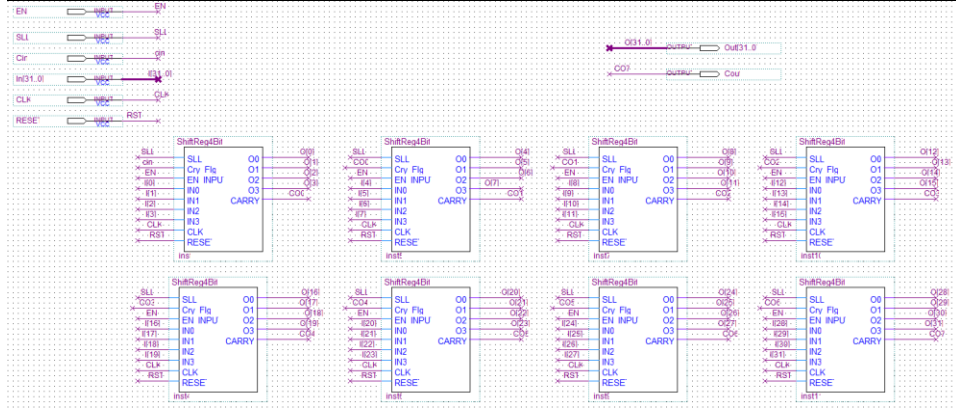
Hình 6 Thanh ghi dịch trái 4-bit

- Thanh ghi dịch trái 32-bit

Bảng hoạt động

Bảng 3 Bảng hoạt động thanh ghi dịch trái 32-bit

EN / SLL	Hoạt động
1/X	Nạp
0/0	Không đổi
0/1	Dịch trái 1 bit (bit thêm vào từ input Cin)



Hình 7 Thanh ghi dịch trái 32-bit

- Thanh ghi dịch trái 64-bit

Bảng hoạt động

Bảng 4 Bảng hoạt động thanh ghi dịch trái 64-bit

EN / SLL	Hoạt động
1/X	Nạp
0/0	Không đổi
0/1	Dịch trái 1 bit (bit thêm vào từ input Cin)

Hình 8 Thanh ghi dịch trái 64-bit

II.2.4.1.2. Thiết kế thanh ghi dịch phải 32-bit

- Thanh ghi dịch phải 4-bit

Bảng hoạt động

Bảng 5 Bảng hoạt động thanh ghi dịch phải 4-bit

EN_input / SLL	Q[3:0]	Hoạt động
1/X	I3I2I1I0	Nạp dữ liệu
0/0	Q3Q2Q1Q0	Không đổi
0/1	CinQ3Q2Q1	Dịch phải 1 bit

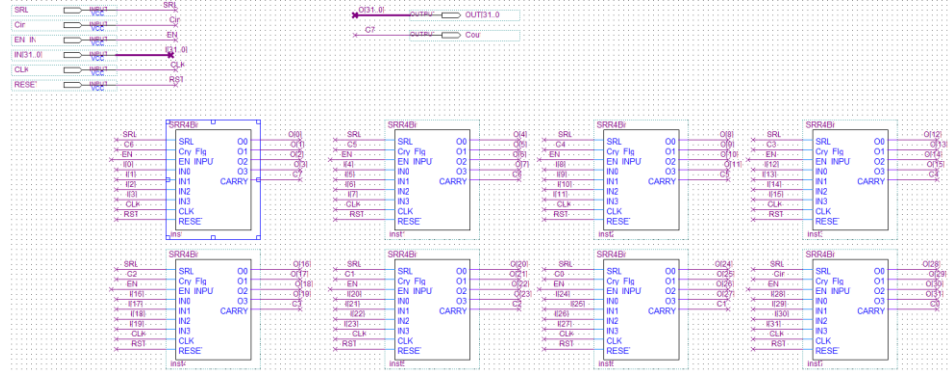
Hình 9 Thanh ghi dịch phải 4-bit

- Thanh ghi dịch phải 32-bit

Bảng hoạt động

Bảng 6 Bảng hoạt động thanh ghi dịch phải 32-bit

EN / SRL	Hoạt động
1/X	Nạp
0/0	Không đổi
0/1	Dịch phải 1 bit (bit thêm vào từ input Cin)



Hình 10 Thanh ghi dịch phải 32-bit

II.2.4.1.3. Thiết kế bộ ALU

- Bộ cộng toàn phần 1-bit (Full adder)

Bảng chân trị

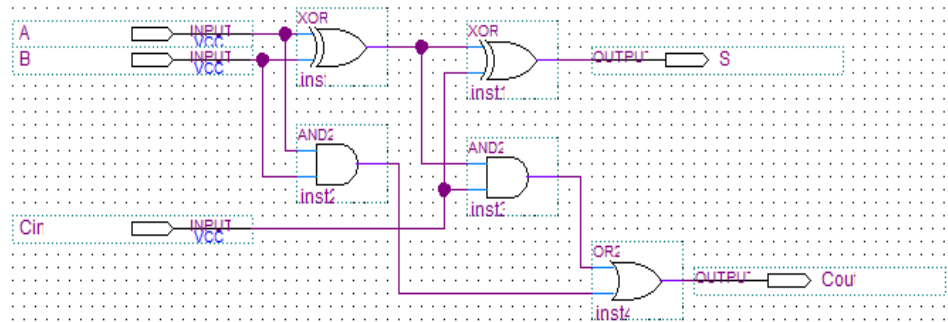
Bảng 7 Bảng chân trị FA 1-bit

Cin	A	B	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Biểu thức ngõ ra

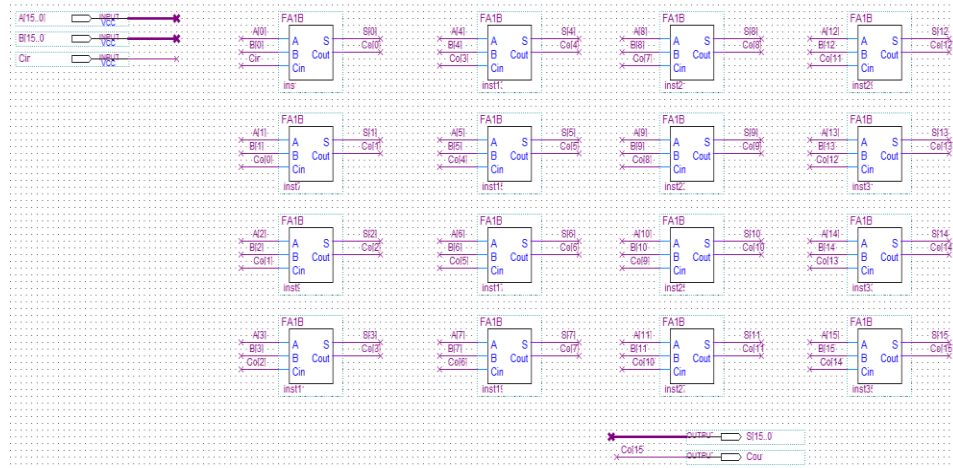
$$S = A \oplus B \oplus \text{Cin}$$

$$\text{Cout} = AB + \text{Cin}(A \oplus B)$$



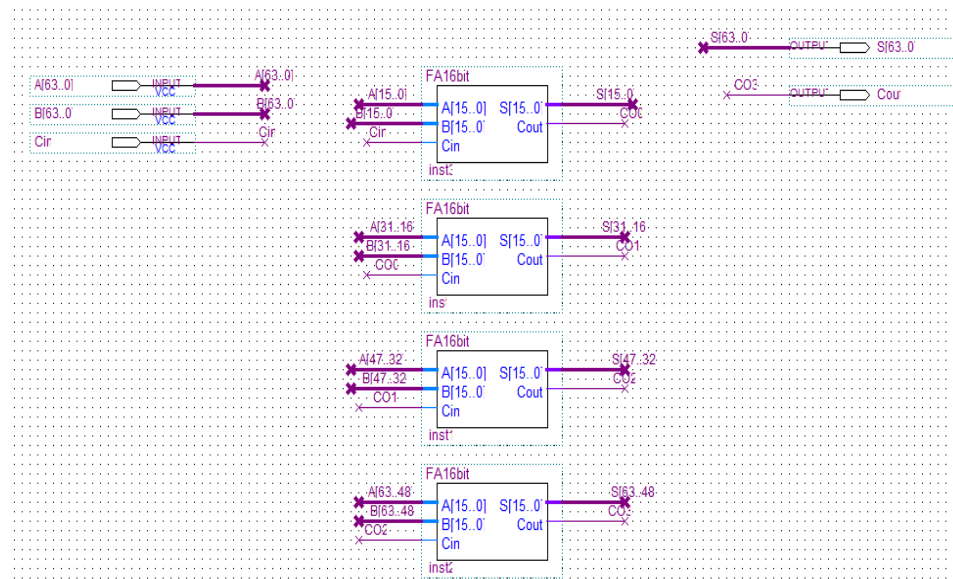
Hình 11 Bộ cộng toàn phần 1-bit

- Bộ cộng toàn phần 16-bit



Hình 12 Bộ cộng toàn phần 16-bit

- Bộ cộng toàn phần 64-bit



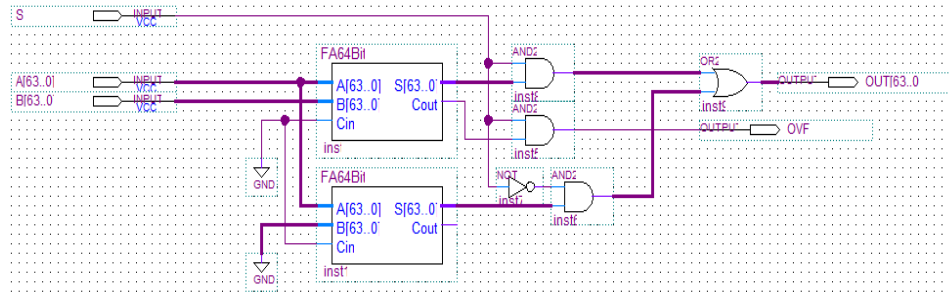
Hình 13 Bộ cộng toàn phần 64-bit

- ALU hoàn chỉnh (gồm bộ cộng và cộng 0)

Bảng các phép toán của ALU cho bộ nhân

Bảng 8 Bảng các phép toán của ALU cho bộ nhân

Opcode	Phép toán
0	Cộng 0
1	Cộng



Hình 14 Bộ ALU cho phép nhân

II.2.4.2. Thiết kế khối điều khiển

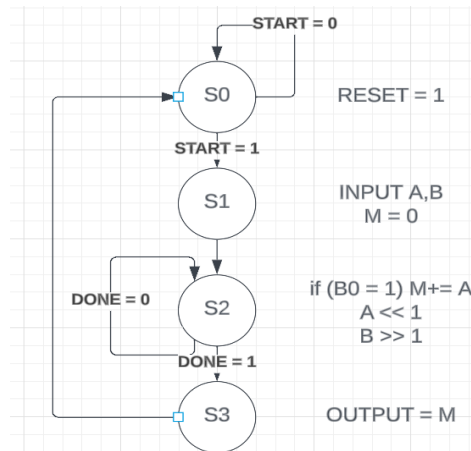
II.2.4.2.1. Control word

Bảng 9 Bảng control word khối điều khiển bộ nhân

STT	RESET	INPUT	SHIFT	OUTPUT
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1

Giải thích việc không có tín hiệu điều khiển ALU bởi ALU dùng tín hiệu từ bit B0 của thanh ghi số nhân để quyết định thực hiện cộng hay cộng 0.

II.2.4.2.2. Flowchart



Hình 15 Flowchart khối điều khiển

II.2.4.2.3. Thiết kế máy trạng thái

Bảng 10 Bảng trạng thái của máy trạng thái bộ nhân

TRẠNG THÁI HIỆN TẠI	TRẠNG THÁI KẾ TIẾP / INPUT (start, done)			
	00	01	10	11
00	00	00	01	01
01	10	10	10	10
10	10	11	10	11
11	00	00	00	00

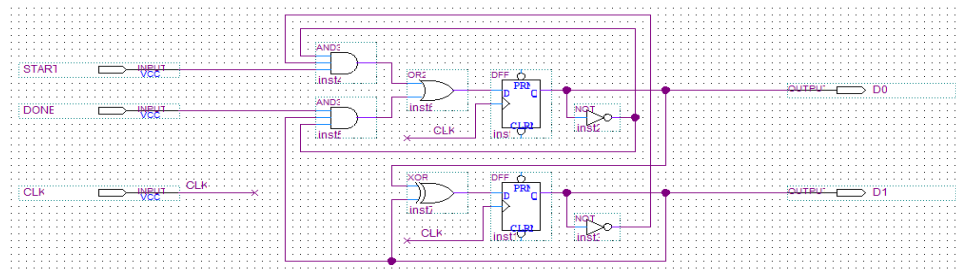
Sử dụng D flip flop để thiết kế máy trạng thái, mã hóa trạng thái dưới dạng Q1Q0 với Q1 là MSB, Q0 là LSB, tương ứng với 2 flip flop D1 và D0 và 2 input là START (S) và DONE (D)

Biểu thức ngõ vào DFF:

$$D1 = Q1 \oplus Q0$$

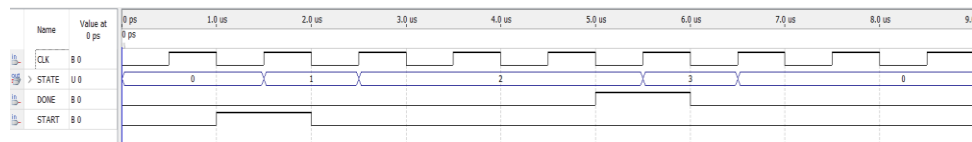
$$D0 = Q1Q0'D + Q1'Q0'S$$

Schematic:



Hình 16 Máy trạng thái khối điều khiển bộ nhân

Waveform:



Hình 17 Waveform máy trạng thái của khối điều khiển bộ nhân

II.2.4.2.4. Thiết kế bộ giải mã tín hiệu trạng thái

Dựa trên control word, ta có các biểu thức ngõ ra sau:

$$\text{RESET} = Q1'Q0'$$

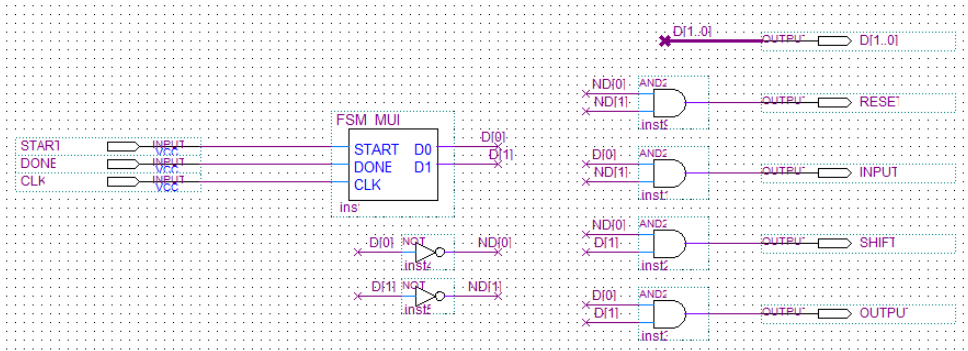
$$\text{INPUT} = Q1'Q0$$

$$\text{SHIFT} = Q1Q0'$$

$$\text{OUTPUT} = Q1Q0$$

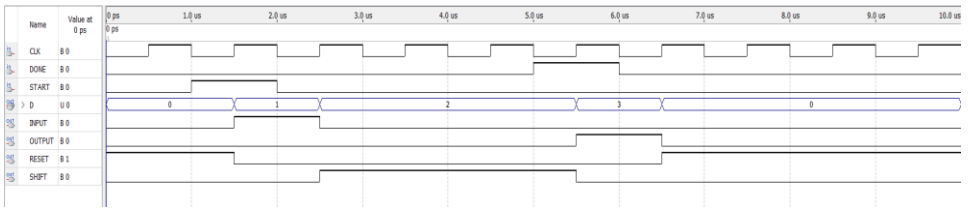
II.2.4.2.5. Khởi điều khiển

Schematic:



Hình 18 Khởi điều khiển bộ nhân

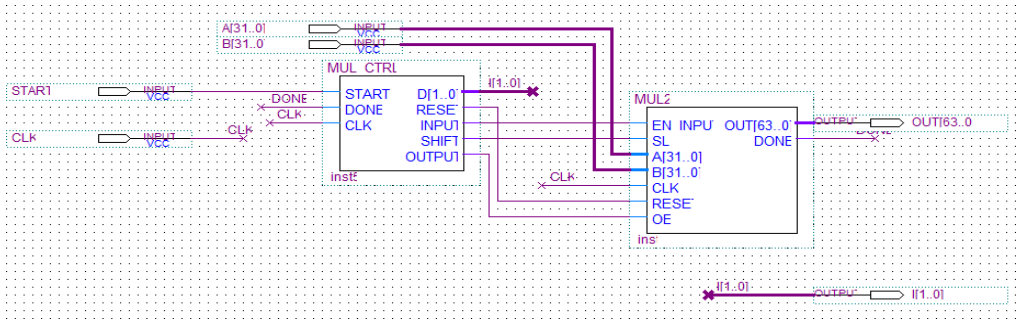
Waveform:



Hình 19 Waveform khởi điều khiển bộ nhân

II.2.4.3. Bộ nhân số 32-bit không dấu

Schematic:

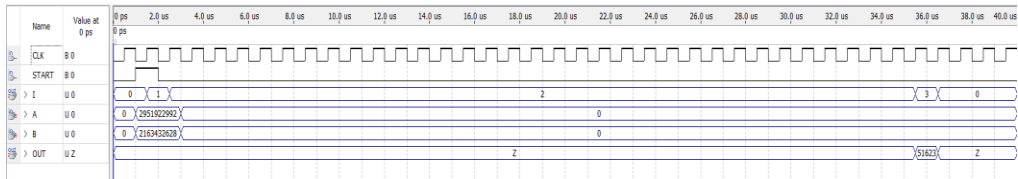


Hình 20 Bộ nhân số 32-bit không dấu

Waveform:

6386286516236182976

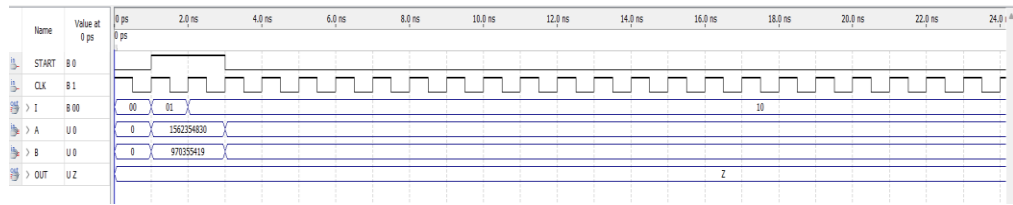
(số đầy đủ của kết quả)



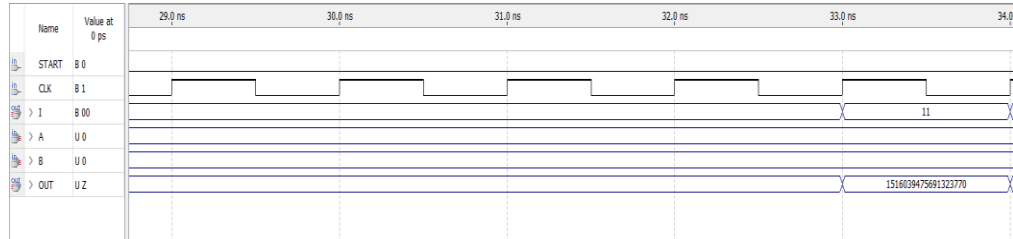
Hình 21 Waveform bộ nhân 32-bit không dấu

II.2.4.4. Một số test case của bộ nhân từ bộ sinh số ngẫu nhiên

- Test case 1: $1562354830 * 970355419 = 1516039475691323770$

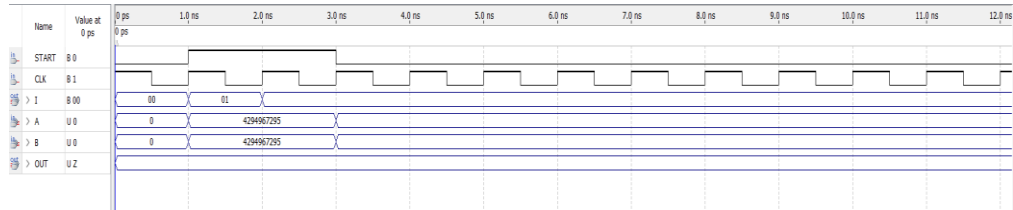


Hình 22 Dữ liệu nhập vào test case 1

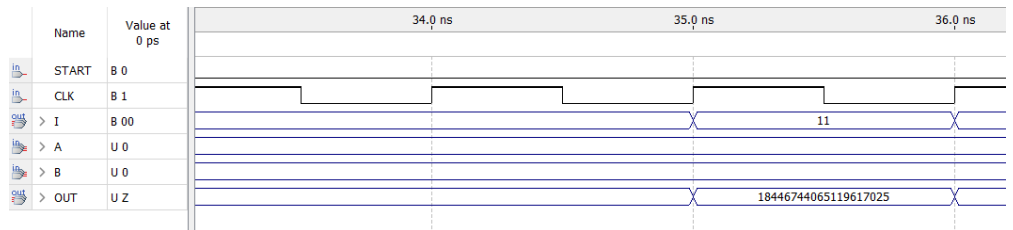


Hình 23 Kết quả test case 1

- Test case 2: $(2^{32} - 1) * (2^{32} - 1) = 18446744065119617025$

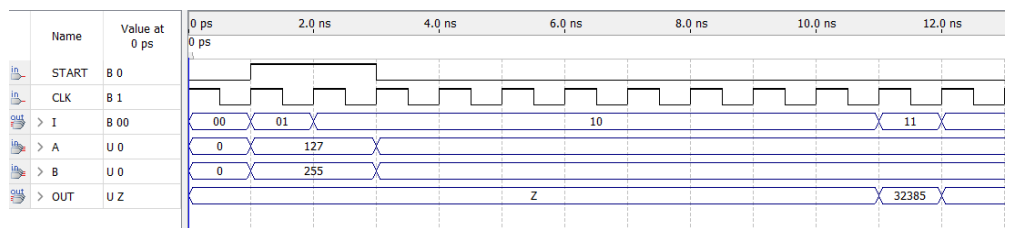


Hình 24 Dữ liệu nhập vào test case 2



Hình 25 Kết quả test case 2

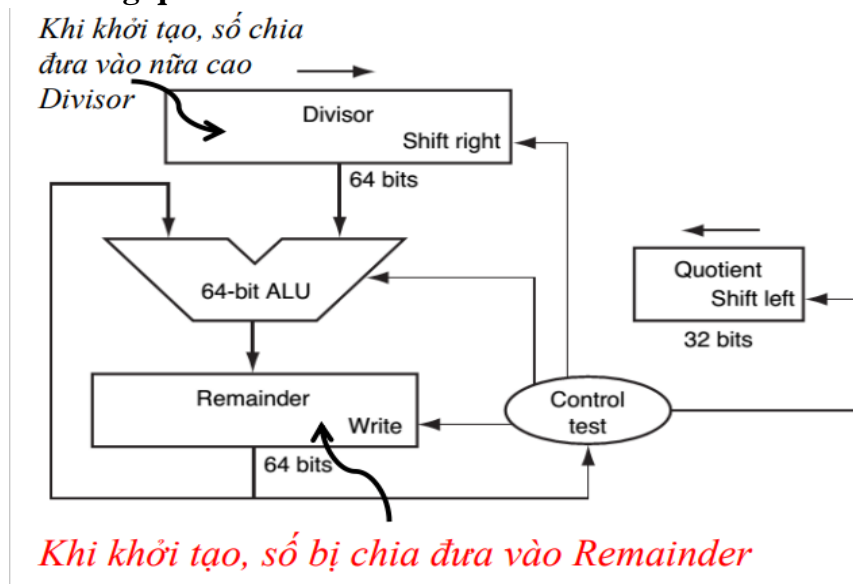
- Test case 3: $127 * 255 = 32385$



Hình 26 Test case 3

III. THIẾT KẾ BỘ CHIA 32-BIT KHÔNG DẤU

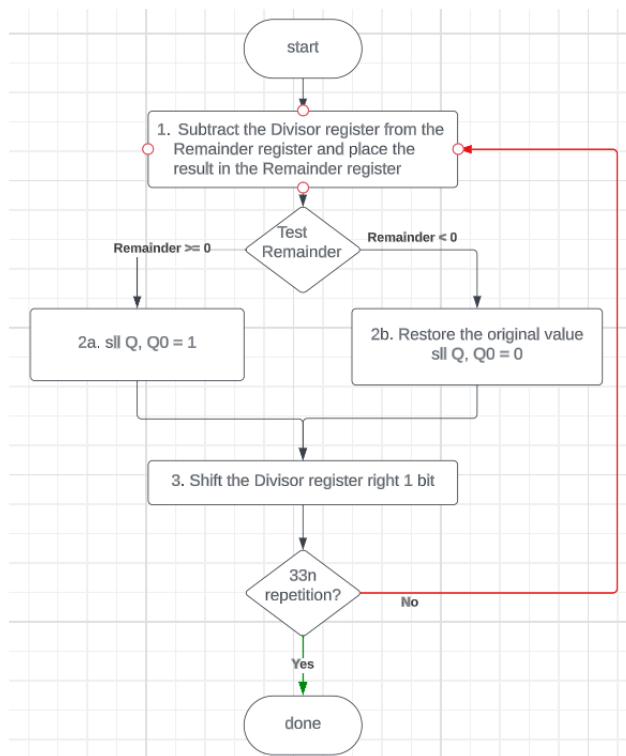
III.1. Sơ đồ khối tổng quát



Hình 27 Cấu trúc phần cứng thực hiện phép chia

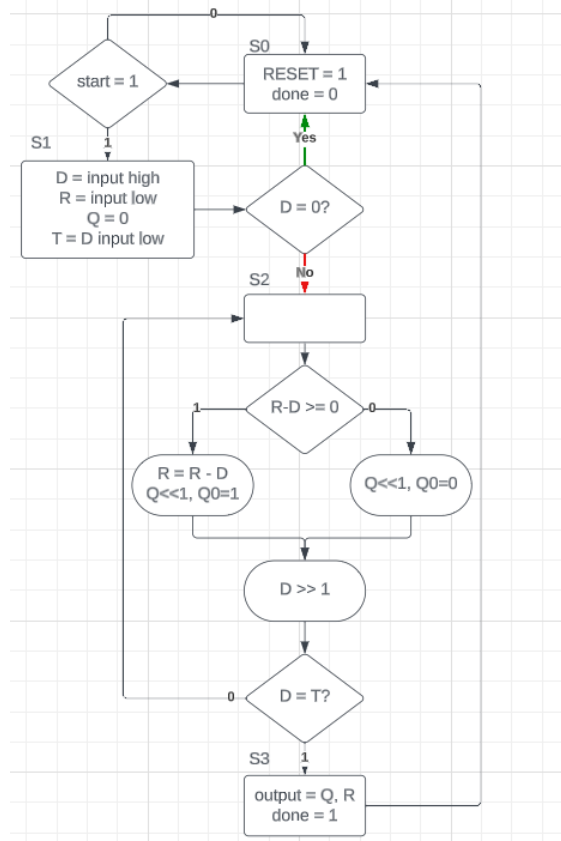
III.2. Lưu đồ giải thuật và sơ đồ trạng thái

III.2.1. Lưu đồ giải thuật phép toán chia (tham khảo)



Hình 28 Lưu đồ thuật toán phép chia theo phần cứng

III.2.2. Biểu đồ giải thuật máy trạng thái ASM



Hình 29 Biểu đồ giải thuật máy trạng thái ASM

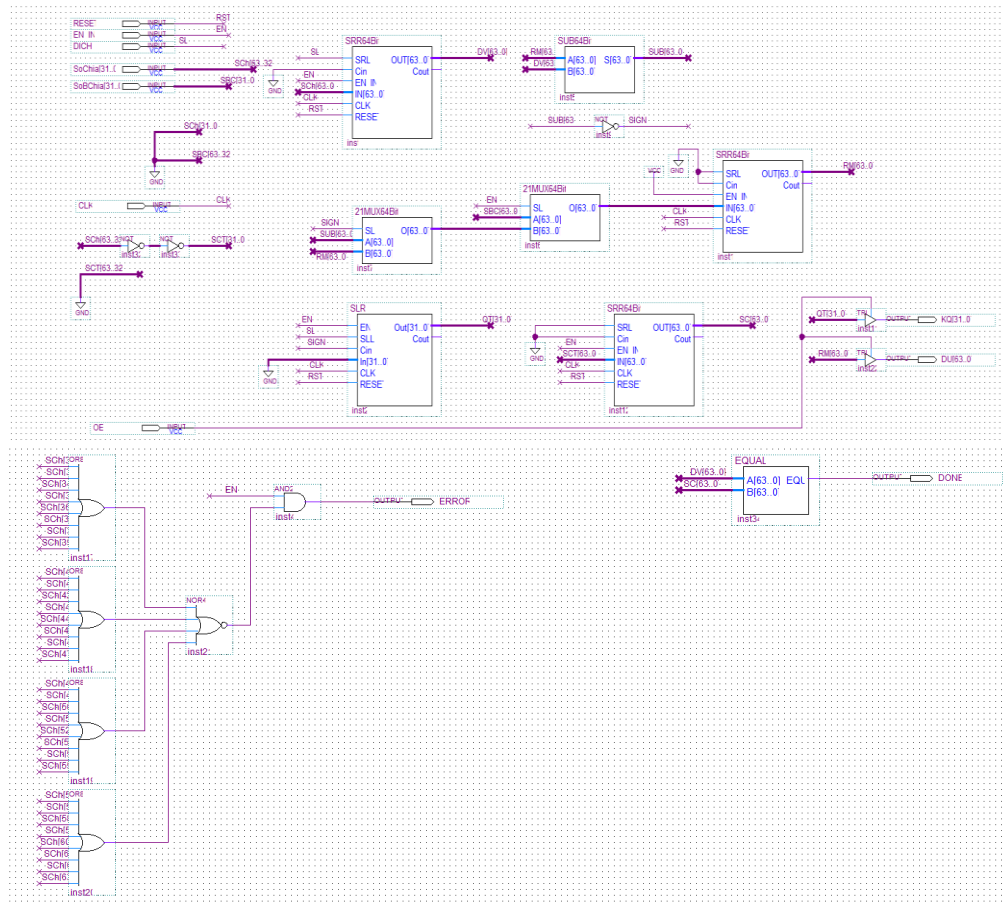
III.2.3. Bảng trạng thái thực thi

Bảng 11 Bảng trạng thái thực thi của phép chia

Trạng thái hiện tại	Trạng thái kế tiếp	Các biến trong khối datapath
	Điều kiện, trạng thái	Điều kiện, thực thi
S0	start = 0, S0 start = 1, S1, done = 0, RESET = 1
S1	D = 0, S0 D = 1, S2, D = input high, R = input low, Q = 0, T = D input low
S2	D = T, S3 D != T, S2	R-D >= 0, R=R-D R-D >= 0, Q<<1 (Q0=1) R-D < 0, Q<<1 (Q0=0), D = D >> 1
S3	S0, done = 1, output = Q, output = R

III.2.4. Thiết kế bộ chia

III.2.4.1. Thiết kế khối đường dữ liệu



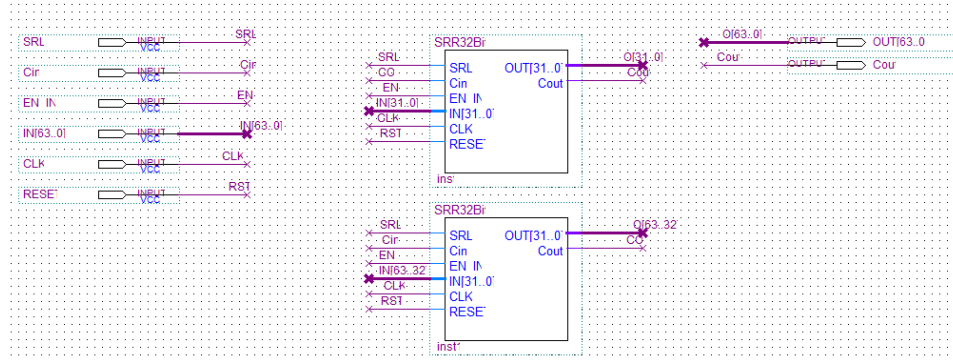
Hình 30 Khối dữ liệu bộ chia số 32-bit không dấu

Trong khối dữ liệu của bộ chia số 32-bit không dấu ban đầu bao gồm 3 thanh ghi lưu trữ số bị chia (số dư), số chia và thanh ghi kết quả, nhưng trong khối dữ liệu trên đã được bổ sung thêm 1 thanh ghi để lưu trữ giá trị số chia nhưng ở 32-bit thấp để làm giá trị so sánh cho điều kiện dừng của phép chia. Bên cạnh đó, ALU chỉ cần 1 bộ trừ 64-bit để tính toán trong phép chia và có thêm tín hiệu ERROR để nhận biết khi nhập vào số chia bằng 0 thì truyền tín hiệu đến khối điều khiển và quay về trạng thái S0. Tín hiệu DONE xuất hiệu khi giá trị thanh ghi số chia bằng với giá trị thanh ghi lưu giá trị số chia ở 32-bit thấp được khởi tạo lúc vừa nhập vào.

Do thanh ghi dịch trái đã được trình bày trong phần thiết kế bộ nhân số 32-bit không dấu ở trên nên sẽ được dùng lại cho bộ chia.

Số chu kỳ cần để thực hiện 1 phép chia là 35 chu kỳ xung clock

III.2.4.1.1. Thiết kế thanh ghi dịch phải 64-bit



Hình 31 Thanh ghi dịch phải 64-bit

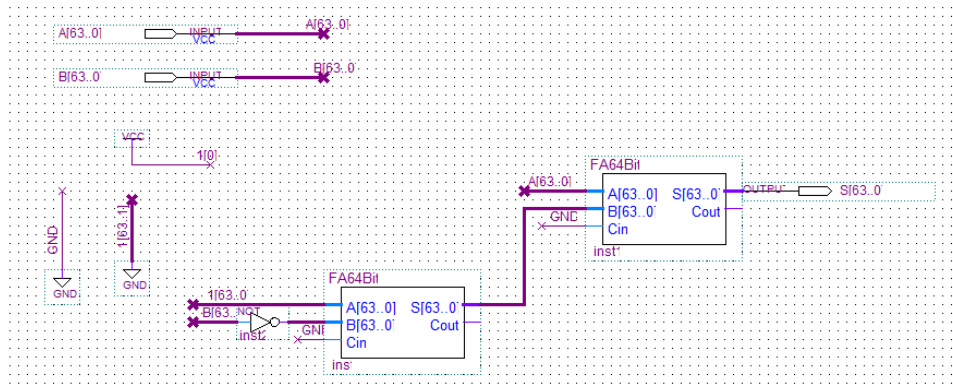
Thanh ghi dịch phải 64-bit được ghép từ 2 thanh ghi dịch phải 32-bit được thiết kế ở phần thanh ghi của bộ nhân.

Thanh ghi để lưu kết quả là thanh ghi dịch trái 32-bit đã được trình bày trong phần thiết kế thanh ghi dịch trái 32-bit của bộ nhân

III.2.4.1.2. Thiết kế khối ALU

Do trong khối dữ liệu chỉ cần phép toán trừ và dịch để tính toán trong quá trình thực hiện phép chia và nên ALU chỉ cần bộ trừ 2 số 64-bit thiết kế từ bộ cộng 2 số 64-bit bằng cách chuyển giá trị dương của số trừ thành dạng bù 2.

$$S = A + (-B)$$



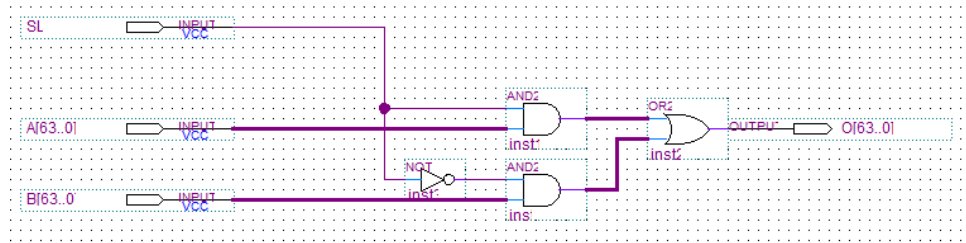
Hình 32 Bộ trừ 2 số 64-bit

III.2.4.1.3. Thiết kế Mux2-1 64-bit

Bảng trạng thái

Bảng 12 Bảng trạng thái Mux2-1 64-bit

Tín hiệu select	Cổng được chọn
0	B
1	A



Hình 33 Bộ Mux2 - 1 64-bit

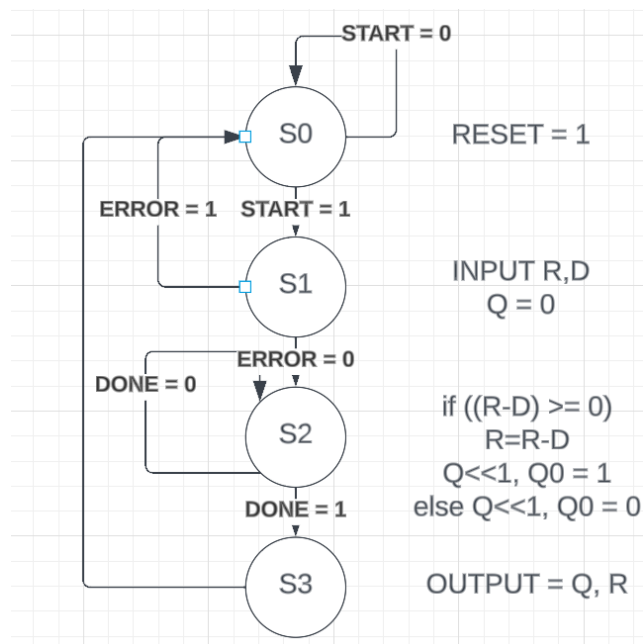
III.2.4.2. Thiết kế khối điều khiển

III.2.4.2.1. Control word

Bảng 13 Bảng control word bộ chia

STT	RESET	INPUT	SHIFT	OUTPUT
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1

III.2.4.2.2. Flowchart



Hình 34 Flowchart của phép chia

III.2.4.2.3. Thiết kế máy trạng thái

Bảng trạng thái

Bảng 14 Bảng trạng thái máy trạng thái bộ chia

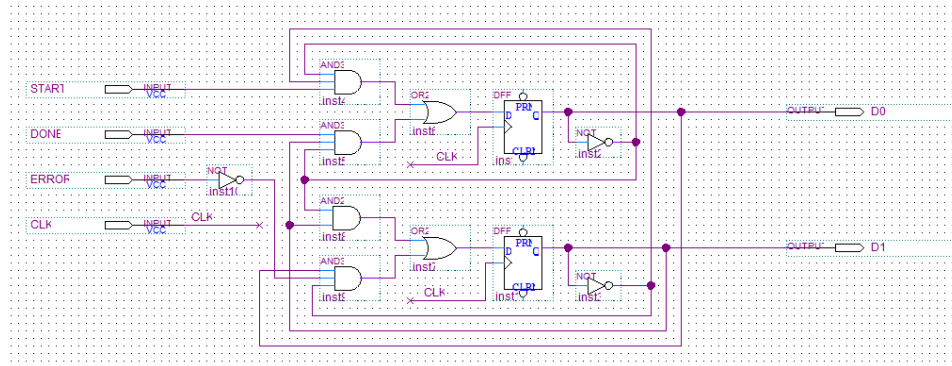
TRẠNG THÁI HIỆN TẠI	TRẠNG THÁI KẾ TIẾP / INPUT (start, done, error)							
	000	001	010	011	100	101	110	111
00	00	00	00	00	01	01	01	01
01	10	00	10	00	10	00	10	00
10	10	10	11	11	10	10	11	11
11	00	00	00	00	00	00	00	00

Biểu thức ngõ vào DFF

$$D1 = AB' + A'BE'$$

$$D0 = AB' + A'B'S$$

Trong đó, AB là trạng thái đã được mã hóa, A là MSB, B là LSB. E là tín hiệu error, D là tín hiệu done, S là tín hiệu start.



Hình 35 Máy trạng thái của khối điều khiển bộ chia

III.2.4.2.4. Thiết kế bộ giải mã trạng thái

Dựa trên control word, ta có các biểu thức ngõ ra sau:

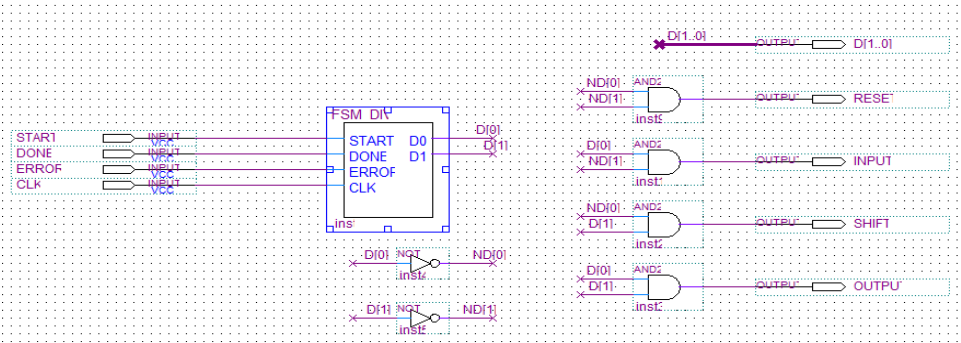
$$\text{RESET} = Q1'Q0'$$

$$\text{INPUT} = Q1'Q0$$

$$\text{SHIFT} = Q1Q0'$$

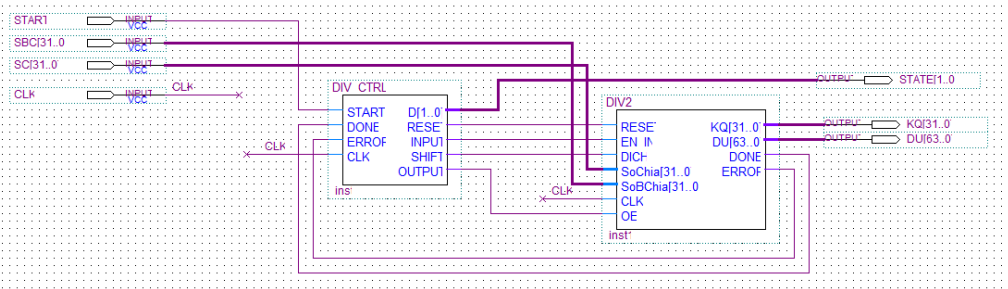
$$\text{OUTPUT} = Q1Q0$$

III.2.4.2.5. Khối điều khiển



Hình 36 Khối điều khiển bộ chia

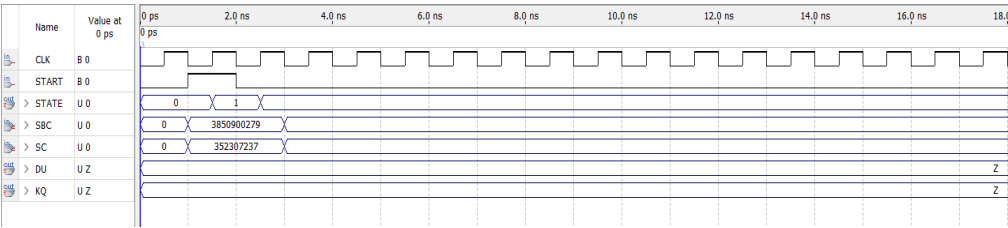
III.2.4.3. Bộ chia số 32-bit không dấu



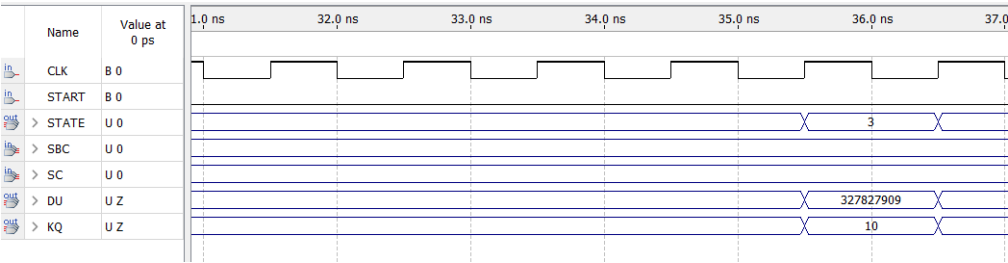
Hình 37 Bộ chia số 32-bit không dấu

III.2.4.4. Một số test case của bộ chia từ bộ sinh số ngẫu nhiên

- Test case 1: $3850900279 / 352307237 = 10$ dư 327827909

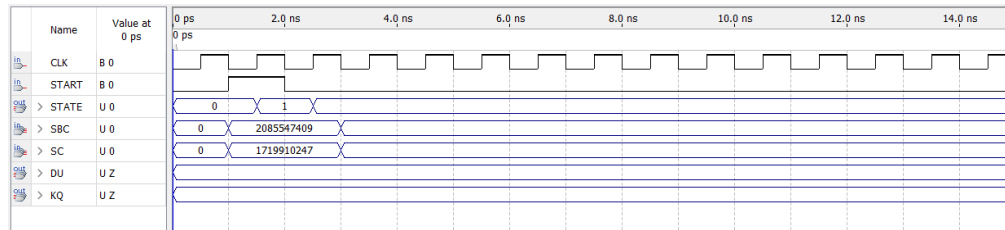


Hình 38 Dữ liệu nhập vào test case 1 (bộ chia)

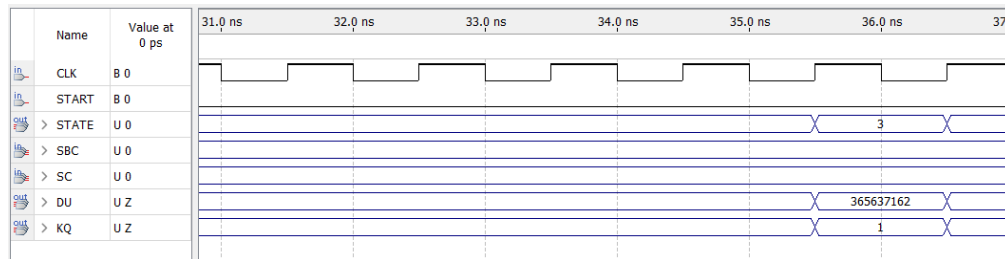


Hình 39 Kết quả test case 1 (bộ chia)

- Test case 2: $2085547409 / 1719910247 = 1$ dư 365637162

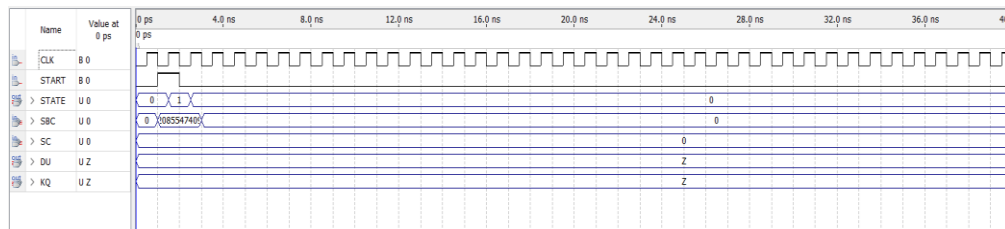


Hình 40 Dữ liệu nhập vào test case 2 (bộ chia)



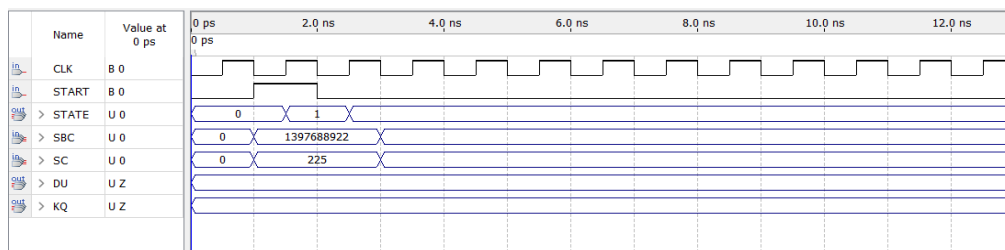
Hình 41 Kết quả test case 2 (bộ chia)

- Test case 3: $2085547409 / 0 \Rightarrow$ không có kết quả

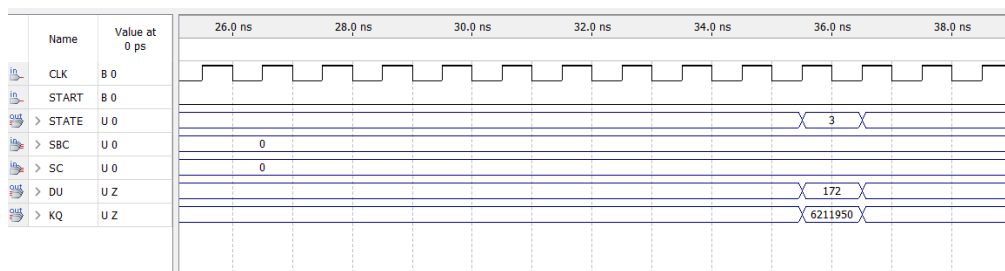


Hình 42 Kết quả test case 3 (bộ chia)

- Test case 4: $1397688922 / 225 = 6211950$ dư 172



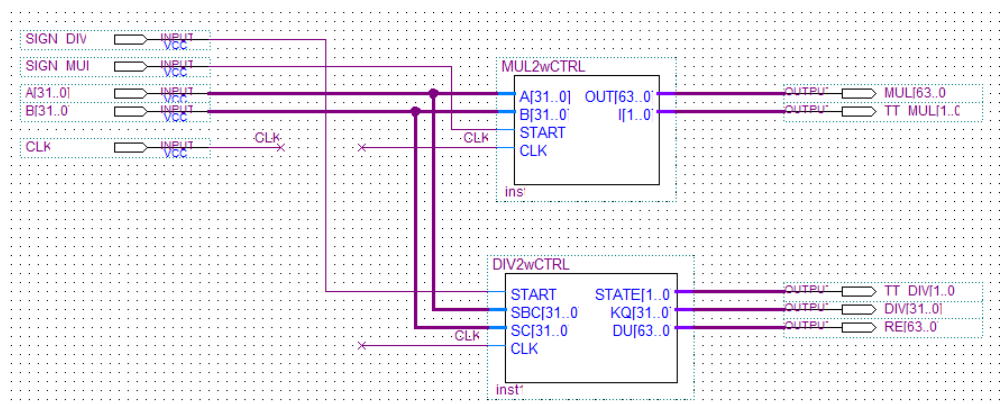
Hình 43 Dữ liệu nhập vào test case 4 (bộ chia)



Hình 44 Kết quả test case 4 (bộ chia)

IV. THIẾT KẾ BỘ NHÂN/CHIA 32-BIT KHÔNG DẤU

- Schematic:



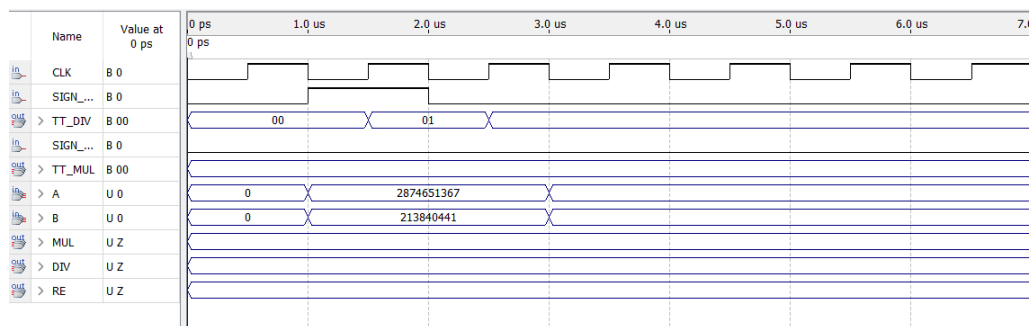
Hình 45 Bộ nhân/chia 32-bit không dấu

- Nguyên lí hoạt động bộ nhân/chia 32-bit không dấu

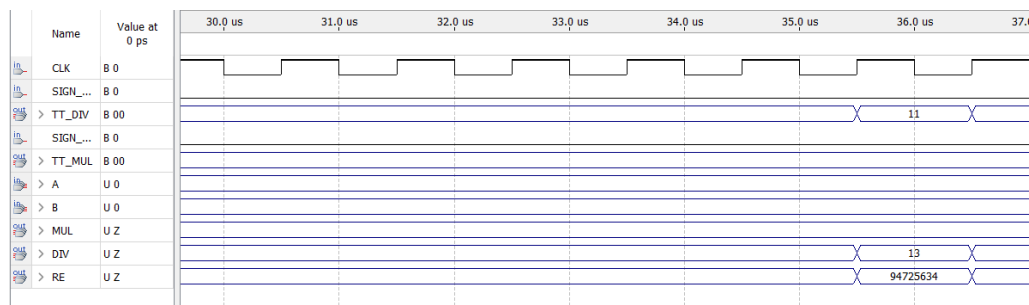
Việc bộ nhân hay bộ chia hoạt động sẽ phụ thuộc vào tín hiệu 2 ngõ vào là SIGN_DIV và SIGN-MUL, do chưa có cơ chế để hạn chế khi bộ này thực hiện thì bộ kia không thực hiện nên nếu 2 tín hiệu cùng ở mức cao thì sẽ thực hiện đồng thời 2 phép tính.

- Waveform:

- Chỉ sử dụng bộ chia

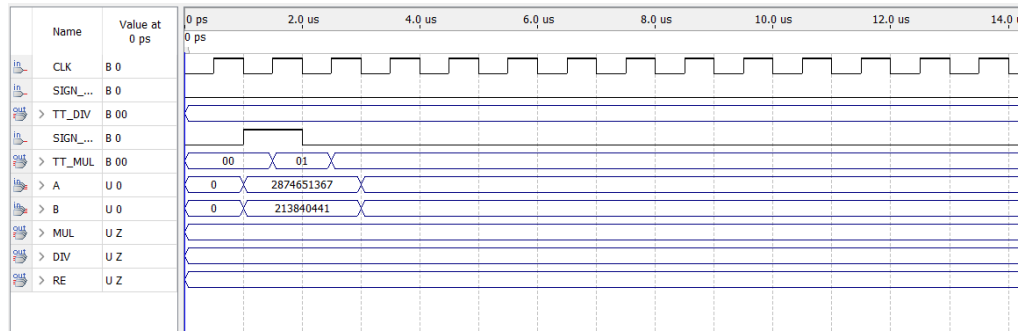


Hình 46 Giá trị nhập vào (IV.1)

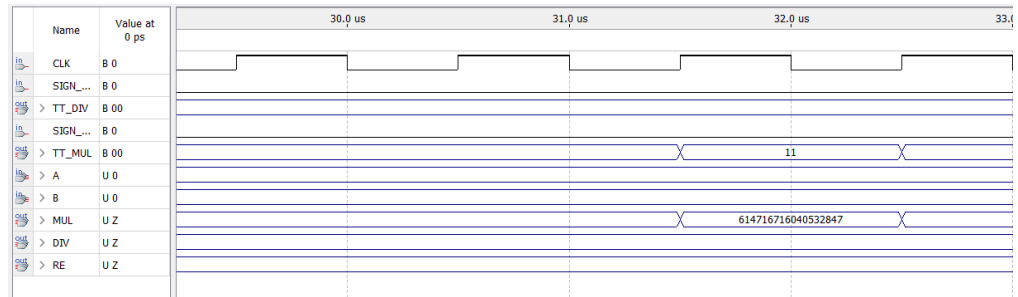


Hình 47 Kết quả (IV.1)

- Chỉ sử dụng bộ nhân



Hình 48 Giá trị nhập vào (IV.2)



Hình 49 Kết quả (IV.2)

V. TÀI LIỆU THAM KHẢO

- Sách: Giáo trình thiết kế luận lý số 2
Lâm Đức Khải (Chủ biên)
Hồ Ngọc Diễm
Trần Đại Dương
- Slide môn học: Kiến trúc máy tính (IT006)