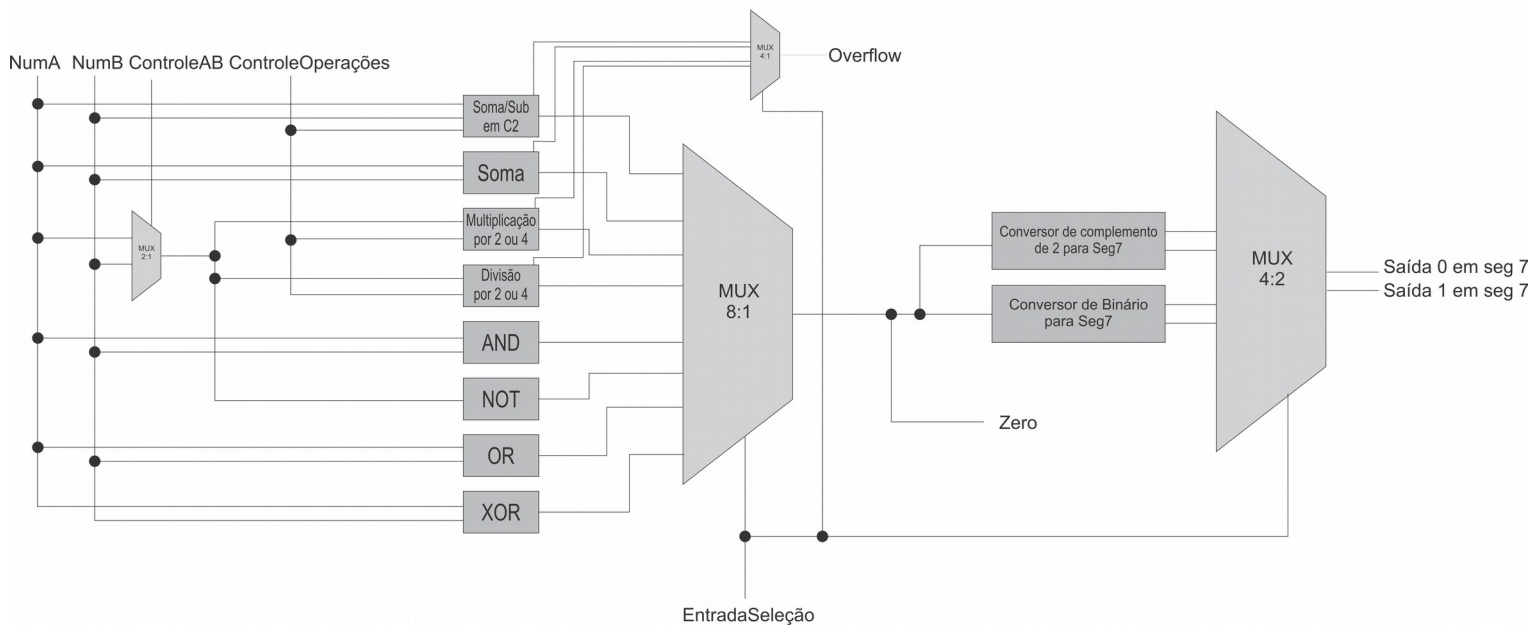


Relatório ULA

Componentes: Thiago Reis Porto e Cleber Farias Berndsen Junior

Esta ULA foi projetada para receber dois números de 4 bits como entrada e processá-los em uma das oito operações que ela é capaz de realizar. O resultado da operação passa então por conversores para que o mesmo seja possível de se utilizar em um display de 7 segmentos. É utilizado ainda uma saída flag de overflow e de resultado Zero, em caso de números negativos o sinal é representado na saída de 7 segmentos.

Projeto da ULA



Entrada Esperada	Operação em 4 bits
000	Soma e Subtração em complemento de 2.
001	Soma em binário.
010	Multiplicação por 2 ou por 4 dependendo da entrada de controle.
011	Divisão por 2 ou por 4 dependendo da entrada de controle.
100	Operação AND entre as duas entradas.
101	Operação NOT de uma das entradas dependendo da entrada de controle.
110	Operação Or entre as duas entradas.
111	Operação XOR entre as duas entradas.

Pinagem:

Switchs	Descrição
17 ao 15	Entrada do MUX de seleção de operação.
13	Entrada de controle seleciona as entradas A em “0” ou B em “1”.
12	Entrada de controle seleciona as operações soma/subtração e multiplicação/divisão por 2 em “0” e subtração e multiplicação/divisão por 4 em “1”.

10 ao 7 Entrada A.

5 ao 2 Entrada B.

Leds Vermelhos Descrição

17 Overflow.

16 Saida zero.

Display 7 segmentos Descrição

Hex 0 Dígito menos significativo.

Hex 1 Dígito mais significativo ou sinal

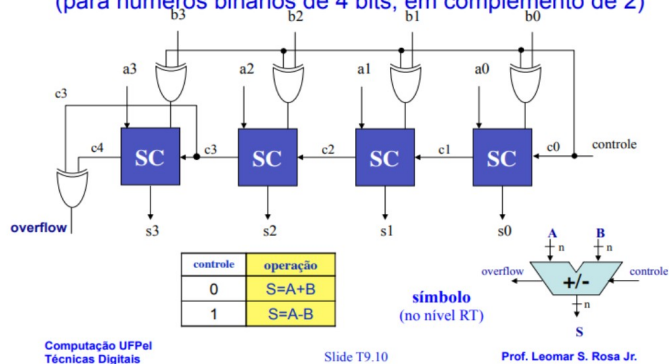
Não foi possível analisar a frequência máxima pois é necessário gerar um arquivo “SDC” com o clock do projeto, cujo não conseguimos criar.

Área Ocupada:

Analysis & Synthesis Summary	
Analysis & Synthesis Status	Successful - Thu Jun 06 21:43:32 2019
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	ULA
Top-level Entity Name	ULA
Family	Cyclone II
Total logic elements	73
Total combinational functions	73
Dedicated logic registers	0
Total registers	0
Total pins	29
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0

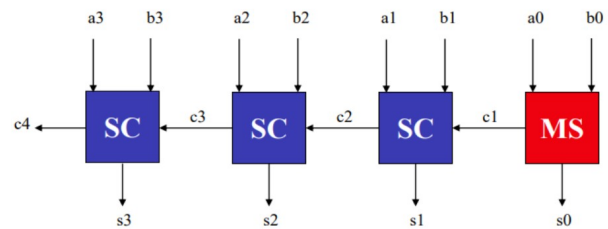
Circuitos Combinacionais das Operações:

Somador/Subtrator Paralelo (para números binários de 4 bits, em complemento de 2)

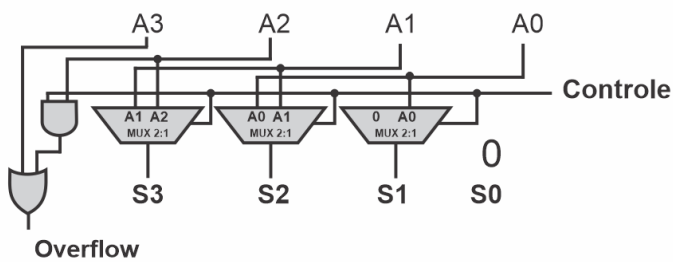


Somador Binário Paralelo (de 4 bits)

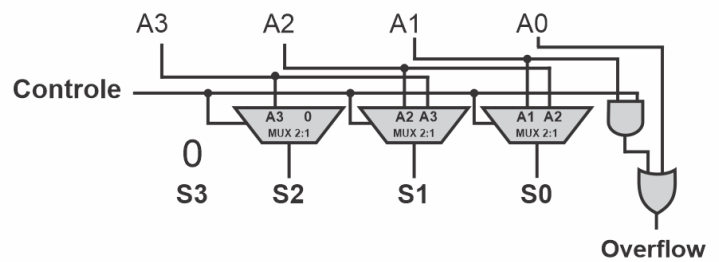
Considerando dois números (A e B) com 4 bits cada



Multiplica por 2 ou 4 (4 Bits)



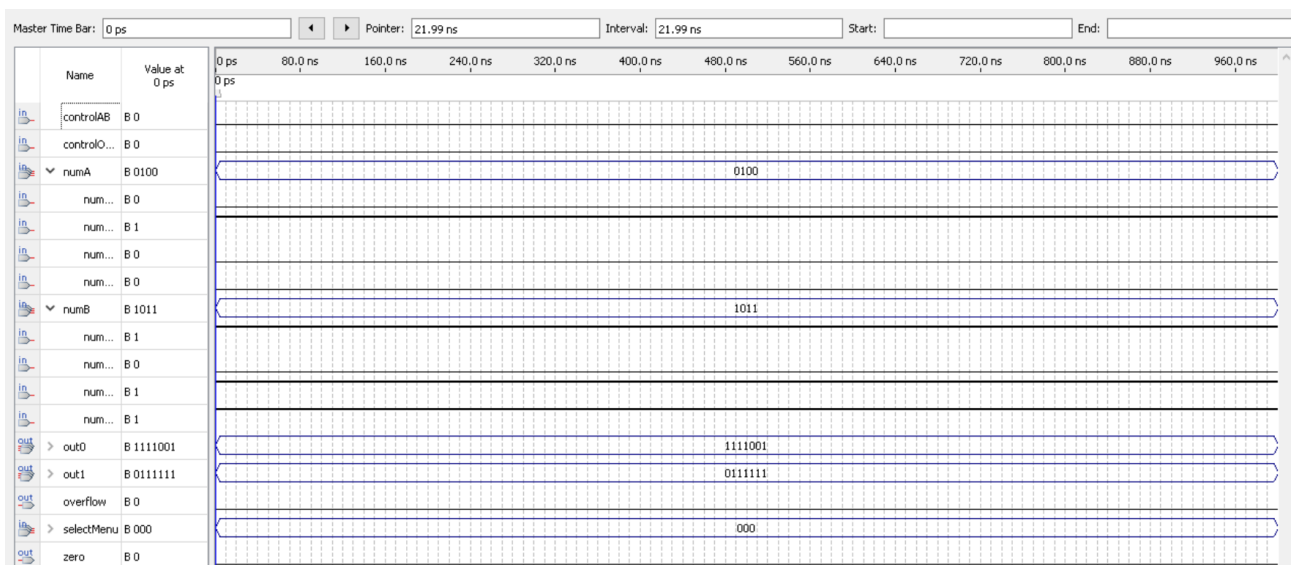
Divide por 2 ou 4 (4 Bits)



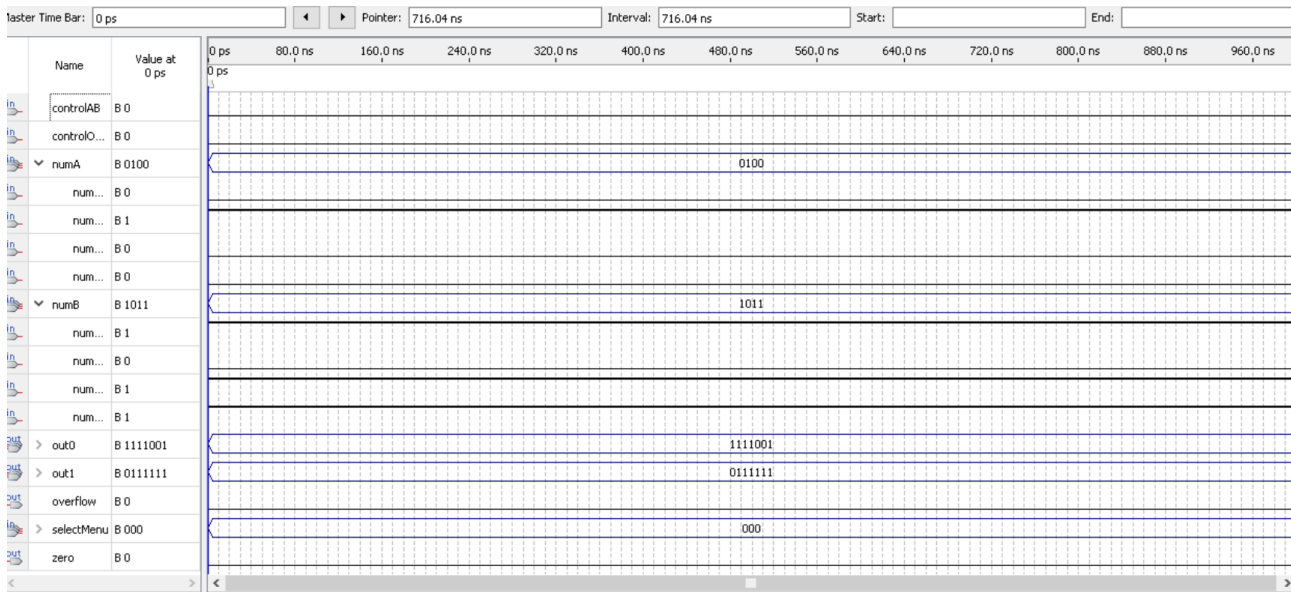
Restante são operações lógicas simples entre as entradas: (AND, NOT, OR e XOR)

Formas de Onda:

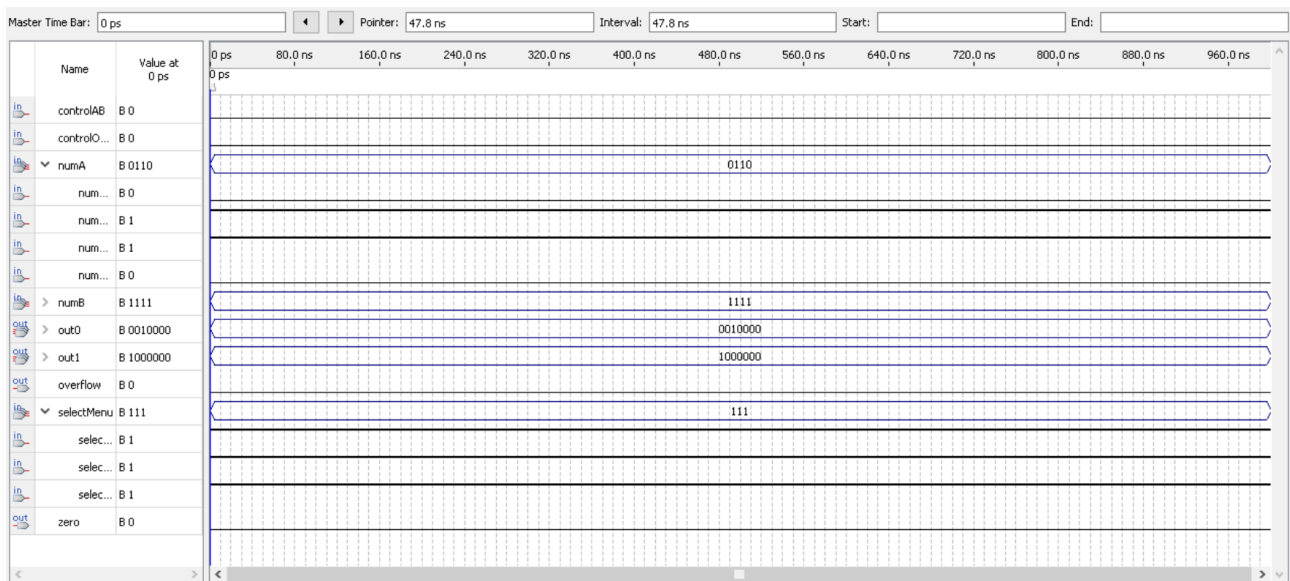
Soma de dois números de 4bits em complemento de 2 (0100 e 1011)



Divisão por 4 da entrada B



XOR entre as Entradas



Projeto da ULA

