

# 《计算机组成原理实验》 实验报告

(实验三)

学 院 名 称 :	数据科学与计算机学院
专业 (班级) :	17级计科教务一班
学 生 姓 名 :	陈鸿峥
学 号 :	17341015
时 间 :	2018 年 12 月 10 日

# 成绩：

## 实验三：多周期CPU设计与实现

### 一、实验目的

1. 认识和掌握多周期数据通路图的构成、原理及其设计方法
2. 掌握多周期CPU的实现方法，代码实现方法
3. 编写一个编译器，将MIPS汇编程序编译为二进制机器码
4. 掌握多周期CPU的测试方法
5. 掌握多周期CPU的实现方法

### 二、实验内容

设计一个多周期CPU，使其至少能实现以下指令功能操作。指令与格式如表1所示：

表 1: 基本MIPS指令及其格式

	指令	op	rs	rt	rd	sham/func
算术运算	add rd, rs, rt	000000	rs(5位)	rt(5位)	rd(5位)	reserved
	sub rd, rs, rt	000001	rs(5位)	rt(5位)	rd(5位)	reserved
	addiu rt, rs, imm	000010	rs(5位)	rt(5位)	imm16	
逻辑运算	and rd, rs, rt	010000	rs(5位)	rt(5位)	rd(5位)	reserved
	andi rt, rs, imm	010001	rs(5位)	rt(5位)	imm16	
	ori rt, rs, imm	010010	rs(5位)	rt(5位)	imm16	
	xori rt, rs, imm	010011	rs(5位)	rt(5位)	imm16	
移位	sll rd, rt, sa	011000	reserved	rt(5位)	rd(5位)	sa(5位)
比较	slti rt, rs, imm	100110	rs(5位)	rt(5位)	imm16	
	slt rd, rs, rt	100111	rs(5位)	rt(5位)	rd(5位)	reserved
访存	sw rt, imm(rs)	110000	rs(5位)	rt(5位)	imm16	
	lw rt, imm(rs)	110001	rs(5位)	rt(5位)	imm16	
分支	beq rs, rt, imm	110100	rs(5位)	rt(5位)	imm16	
	bne rs, rt, imm	110101	rs(5位)	rt(5位)	imm16	
	bltz rs, imm	110110	rs(5位)	00000	imm16	
跳转	j addr	111000	addr[27:2]			
	jr rs	111001	rs(5位)	reserved	reserved	reserved
调用子程序	jal addr	111010	addr[27:2]			
停机	halt	111111	000000000000000000000000(26位)			

注意：reserved为预留部分，一般用0填充

### 三、实验器材

电脑一台、Xilinx Vivado软件一套、Basys3板一块

### 四、实验原理

#### I. 基本概念

##### i. 单周期CPU

多周期CPU指的是将整个CPU的执行过程分成几个阶段，每个阶段用一个时钟去完成，然后开始下一条指令的执行，而每种指令执行时所用的时钟数不尽相同。CPU在处理指令时，一般需要经过以下五个阶段（见图1）：

1. 取指(IF)：根据程序计数器PC中的指令地址，从存储器中取出一条指令，同时，PC根据指令字长度自动递增产生下一条指令所需要的指令地址；但遇到“地址转移”指令时，则需要对“转移地址”进行处理后送入PC。
2. 译码(ID)：对取指操作中得到的指令进行译码，确定该指令需要完成的操作，从而产生相应的操作控制信号，从而产生相应的操作控制信号，用于驱动执行状态中的各种操作。
3. 执行(EXE)：根据指令译码得到的操作控制信号，执行指令动作。
4. 访存(MEM)：所有需要访问存储器的操作都将在这个步骤中执行，该步骤给出存储器的数据地址，把数据写入到存储器中数据地址所指定的存储单元，或者从存储器中得到数据地址单元中的数据。
5. 写回(WB)：将指令执行的结果或者访问存储器得到的数据写回相应的目标寄存器。

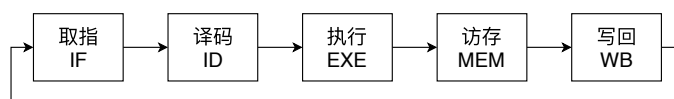


图 1: 多周期CPU的多个阶段

##### ii. 数据通路及控制信号

基本数据通路见图2，控制信号见表2。

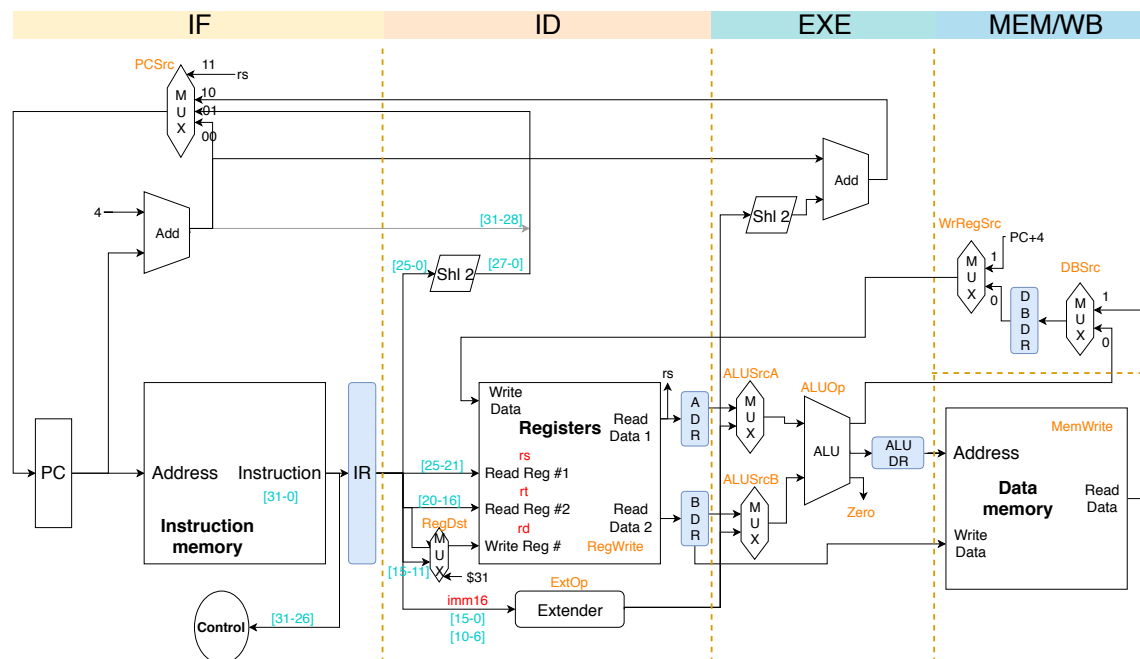


图 2: 基本数据通路

注意，图2上增加IR指令寄存器，目的是使指令代码保持稳定；PC写使能控制信号PCWrite则确保了PC可以适时修改。ADR、BDR、ALUDR、DBDR四个寄存器都不需要写使能信号，其作用是切分数据通路，将大组合逻辑切分为若干个小组合逻辑，大延迟变为多个分段小延迟。

表 2: 控制信号

控制信号名	状态0	状态1	控制信号名	状态	操作
Reset	初始化PC为0	PC接收新地址	RegDst[1:0]	00	写入寄存器地址来自rt字段
PCWrite	PC不更改, halt	PC更改		01	写入寄存器地址来自rd字段
RegWrite	寄存器不可写	寄存器可写		10	\$31
ALUSrcA	寄存器rs内容	立即数sa	PCSrc[1:0]	00	PC+4
ALUSrcB	寄存器rt内容	立即数imm		01	跳转
ExtOp	零扩展	符号扩展		10	分支
DBSrc	ALU输出	内存读取		11	rs寄存器的内容
WrRegSrc	DataBus	PC+4	ALUOp[2:0]	见表	
MemWrite	内存不可写	内存可写			

### iii. MIPS指令格式

MIPS指令可分为以下三种格式，见图3。其中各字段缩写含义如表3所示。

## II. 各指令数据通路分析

公共的数据通路为取指和PC+4，见图4最左红色通路，下文将不再提及。

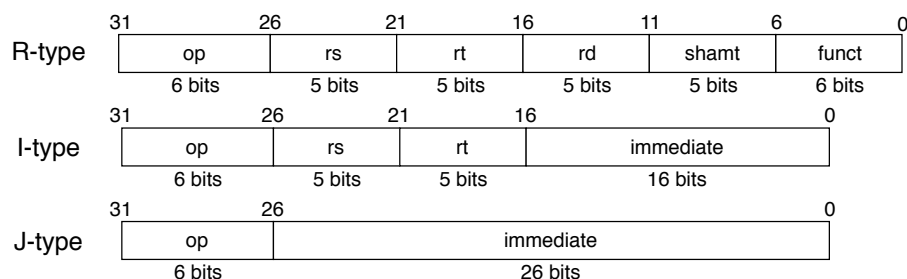


图 3: MIPS指令类型

表 3: MIPS指令各字段缩写含义

op	操作码
rs	只读，第一个源操作数寄存器地址/编号，范围为0x00~0x1F
rt	可读可写，第二个源操作数地址或目标操作数寄存器地址
rd	只写，目的操作数寄存器地址
shamt(shift amt)	位移量，在移位指令中用于指定移多少位
funct	功能码，在R类型指令中配合op一起使用
immediate	16位立即数
address	目标转移地址

### i. 算术逻辑运算

1. `add/sub/and/or/slt`指令均为R类型，数据通路相同，唯一不同为ALU操作码的选择。见图4，执行阶段从指令中读入`rs`、`rt`、`rd`三个寄存器的地址，然后从寄存器堆中读出`rs`和`rt`寄存器的内容，送至ALU进行运算，最后写回`rd`寄存器。
2. `addiu/andi/ori/xori/slti`指令均为I类型，数据通路相同，同样是ALU操作码不同。见图5，执行阶段从指令中读入`rs`、`rt`寄存器的地址，但`rt`是作为写入寄存器(`RegDst=0`)；指令低16位进行扩充，将`rs`的内容和立即数送入ALU运算，最后写回`rt`寄存器。注意`addiu/slti`进行符号扩展，`andi/ori`进行零扩展。
3. `sll`指令为R类型，但是指令格式比较特殊。见图6，执行阶段从指令中读入`rt`寄存器的地址并取出，取指令的[10:6]位读出立即数`sa`并进行零扩展(`ALUSrcA=1`)，利用ALU对`rt`的内容及`sa`进行移位操作，结果写回`rd`寄存器。

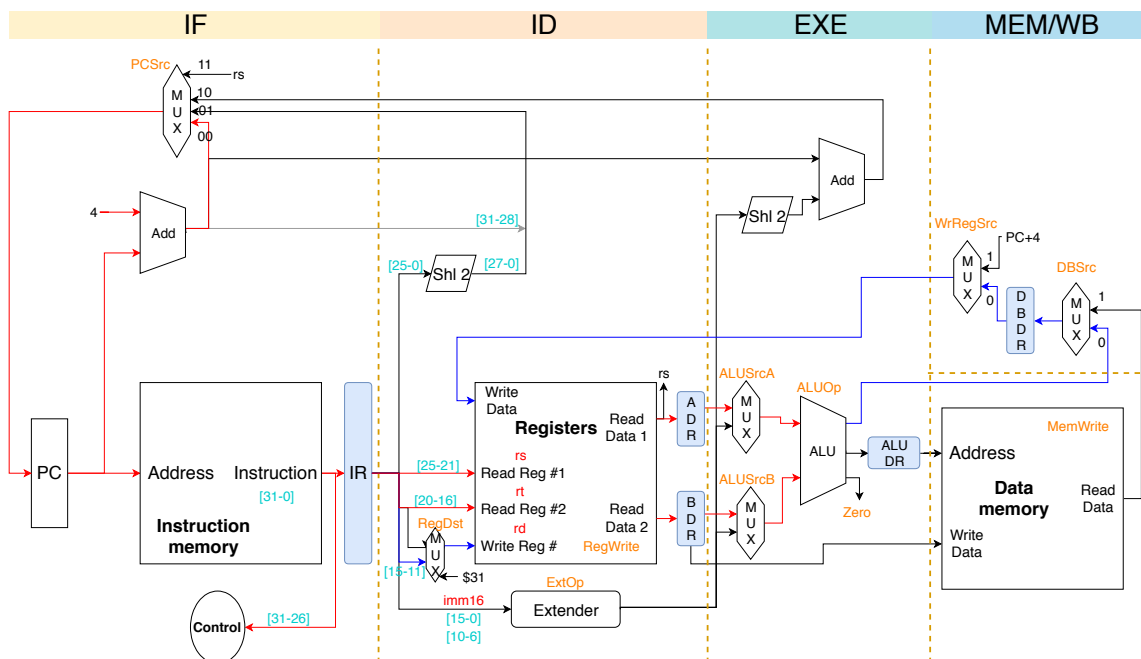


图 4: Add/sub/and/or/slt通路

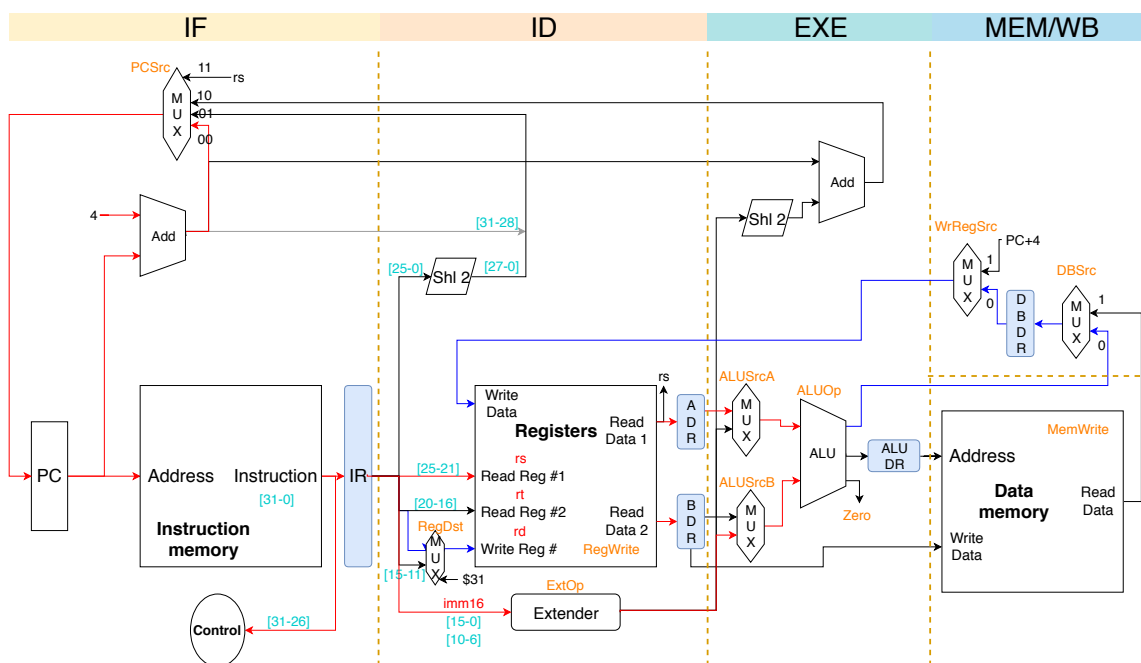


图 5: Addiu/andi/ori/xori/slti通路

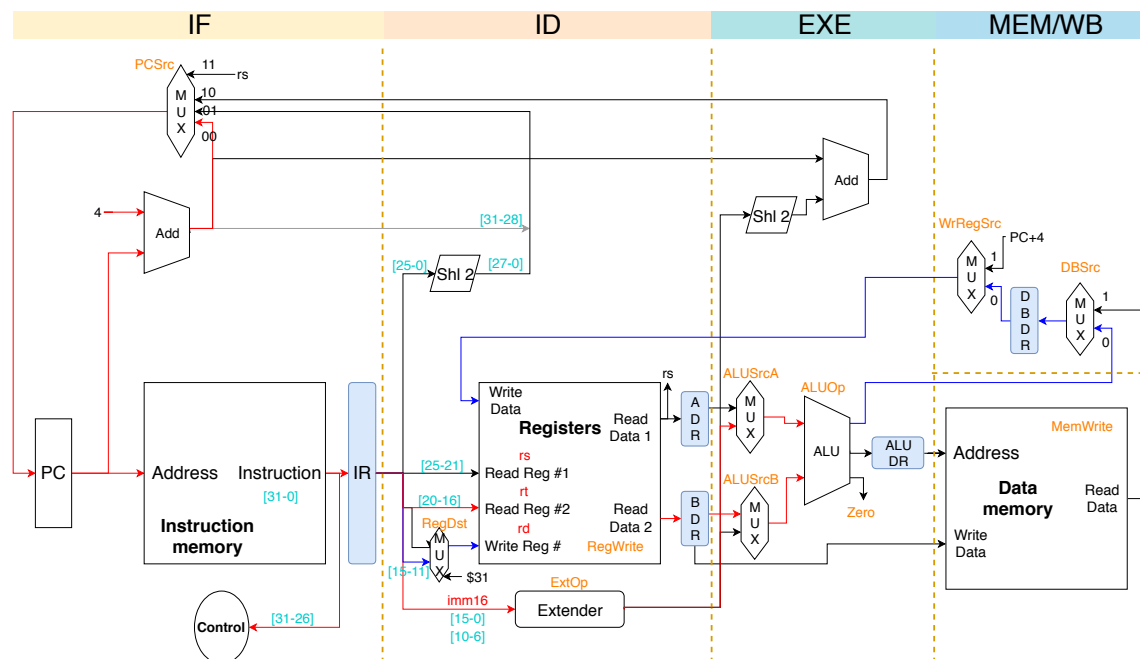


图 6: sll通路

## ii. 访存

1. sw为I类型。见图7，执行阶段从指令中读入rs、rt寄存器的地址，对偏移量(imm)进行符号扩展，与rs寄存器的内容相加得到内存地址，将rt寄存器的内容写入内存。
2. lw为I类型。见图8，执行阶段从指令中读入rs、rt寄存器的地址，rt作为写入寄存器(RegDst=0)，对偏移量(imm)进行符号扩展，与rs寄存器的内容相加得到内存地址，将内存的内容写入rt寄存器。

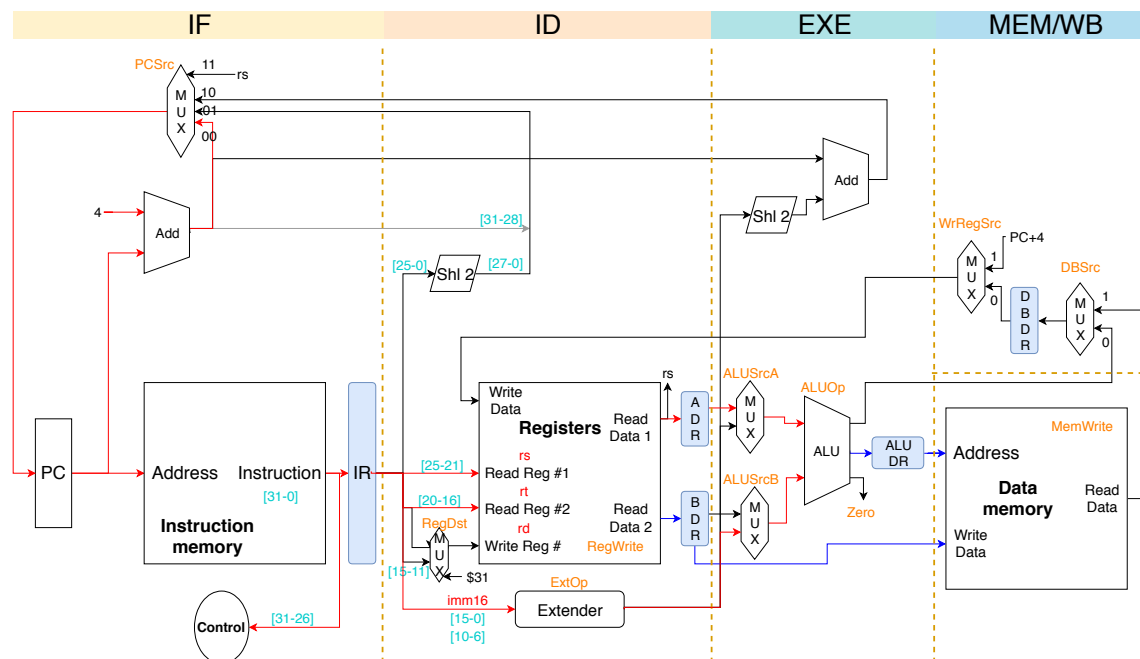


图 7: sw通路

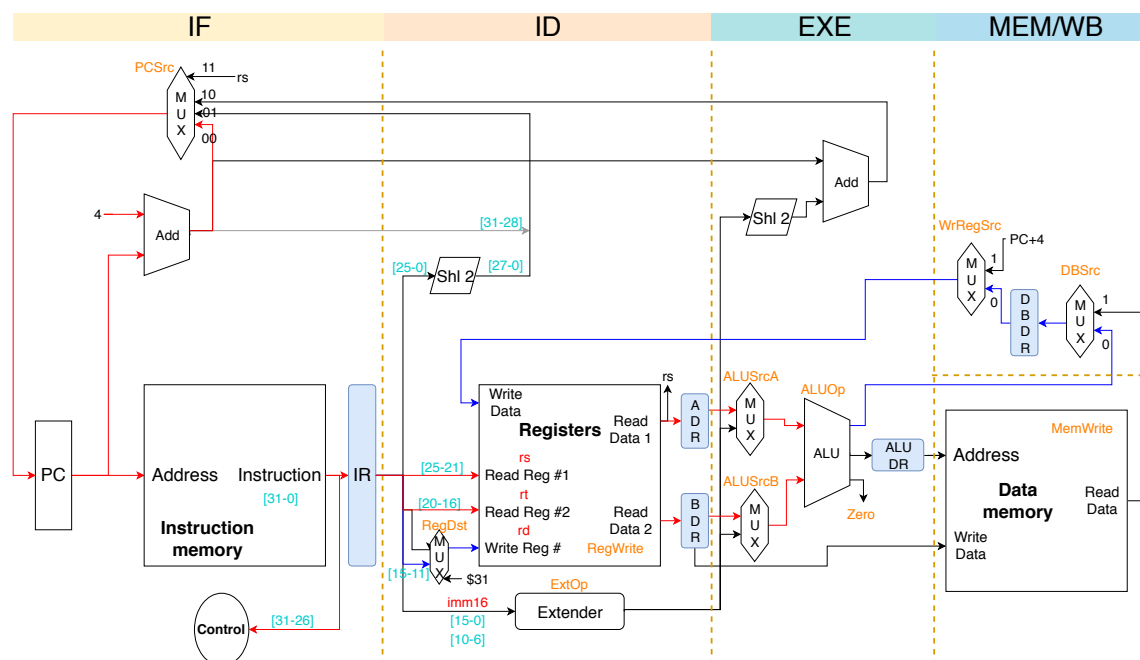


图 8: lw通路

### iii. 分支跳转

由于MIPS指令为32位(4字节)，一般情况下PC每次自增都加4，即PC末两位一定为0，放在指令中（PC偏移/转移地址）即可省略末两位。指令读出时则要左移2位，将末尾的0补齐。为最大程度利用指令的每一位，跳转指令也是将高4位和低2位都省略掉了，读出时要补回。



1. beq/bne/bltz为I类型。见图9，执行阶段从指令中读入rs、rt寄存器的地址，利用ALU对rs、rt寄存器的内容进行相减(beq/bne)或有符号比较(bltz)，若结果为0，则Zero标志置1，否则置0；同时，立即数imm进行符号扩展，并左移两位，与原有的PC+4再相加，结合Zero的值得到是否执行分支跳转指令。
2. j/jal为j类型。j见图10，执行阶段直接对指令的低26位左移2位，补上PC+4的高4位，得到跳转地址，更新PC。jal的情况类似，见图11，但注意需要将原来的PC+4写入31号寄存器，以便函数调用后返回。
3. jr为R类型，常用于函数调用后返回，见图12，需要读出rs寄存器的内容，并作为PC的跳转值

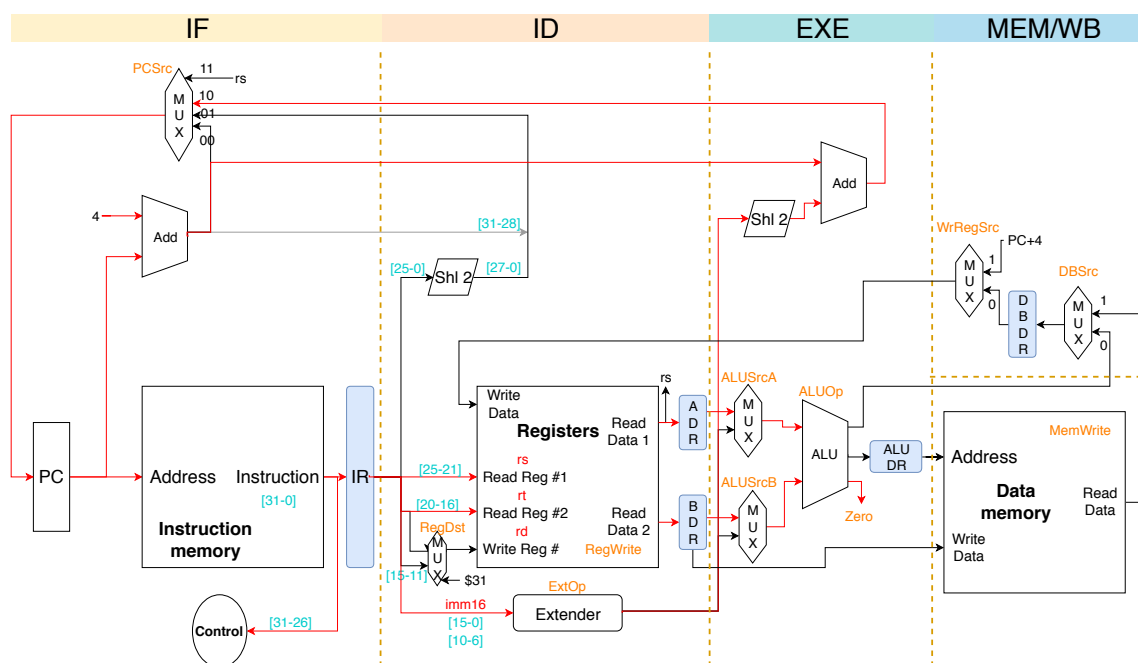


图 9: beq/bne/bltz通路

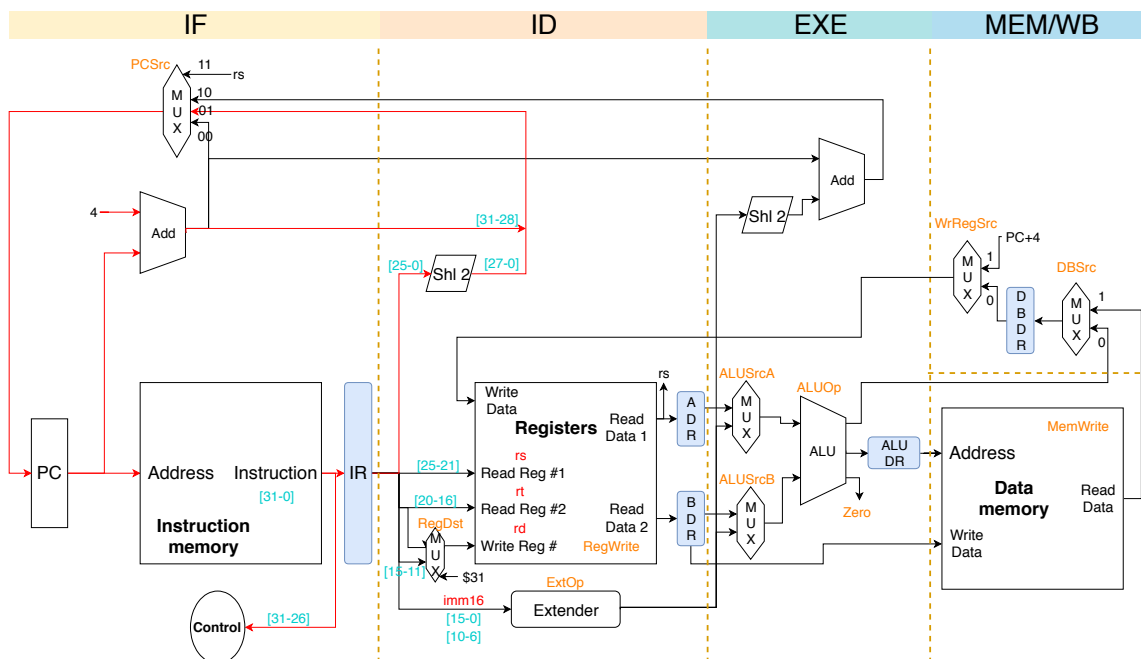


图 10: jal通路

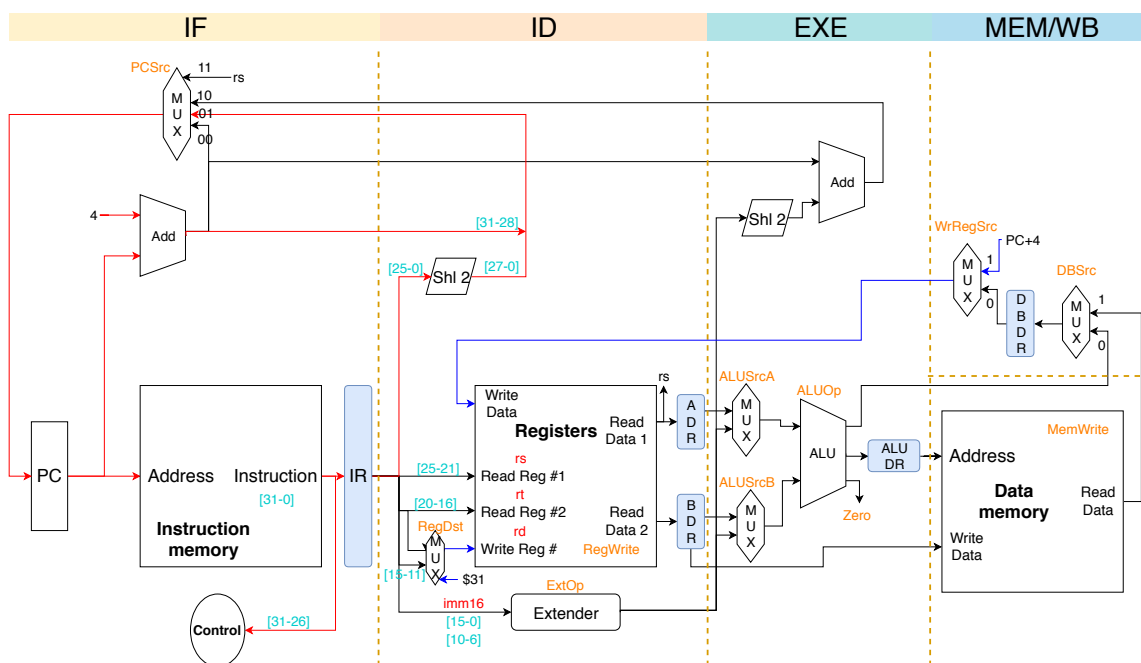


图 11: jalr通路

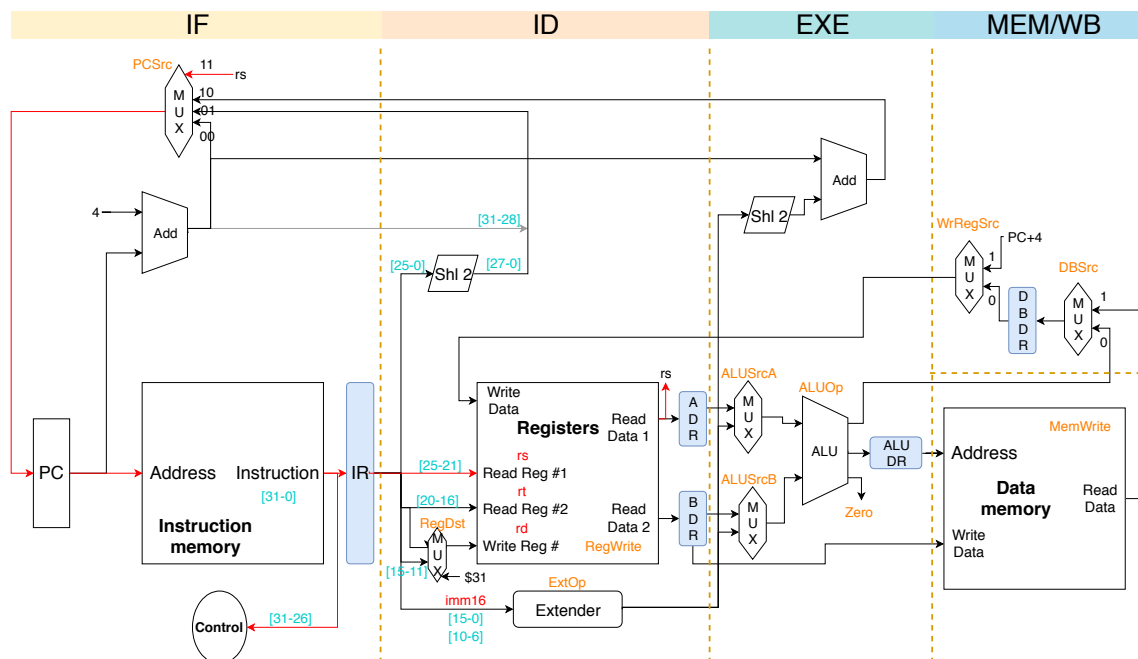


图 12: jr通路

#### iv. 停机指令

PCWrite置为0，不改变PC的值，PC不再变化

### III. 各组件实现

各组件实现详情见第8章节，均有详细注释。在这里仅仅提一些需要注意的点。

1. 指令存储器和数据存储器均采用小端(little endian)存储，并且位宽为8位，故生成的指令文件需要进行预处理，最先读入的应该是指令的低8位。这里用Python进行MIPS程序的编译并生成指令二进制代码文件，读入时直接将其初始化到指令存储器中。
2. 程序计数器(PC)需要初始化置零(0x000000)，遇到reset信号时同样置零，而且只有在PCWrite=1时才更新PC。
3. 多路选择器(MUX)需要实现一个32位和一个5位的，32位可以复用（创建多个实例）；且需要构造2输入、3输入、4输入三种不同的MUX。
4. ALU的功能见表4。
5. 控制单元的设计见第4.4节。

### IV. 控制单元

多周期CPU最重要的一点在于状态转移的分析，如图13所示。

表 4: ALU功能码

ALUOp[2:0]	功能	描述
000	$Y = A + B$	加
001	$Y = A - B$	减
010	$Y = B \ll A$	左移
011	$Y = A \vee B$	逻辑或
100	$Y = A \wedge B$	逻辑与
101	$Y = (A < B) ? 1 : 0$	比较无符号数
110	$Y = (((A < B) \& \& (A[31] == B[31])) \vee ((A[31] == 1 \& \& B[31] == 0))) ? 1 : 0$	比较有符号数
111	$Y = A \oplus B$	逻辑异或

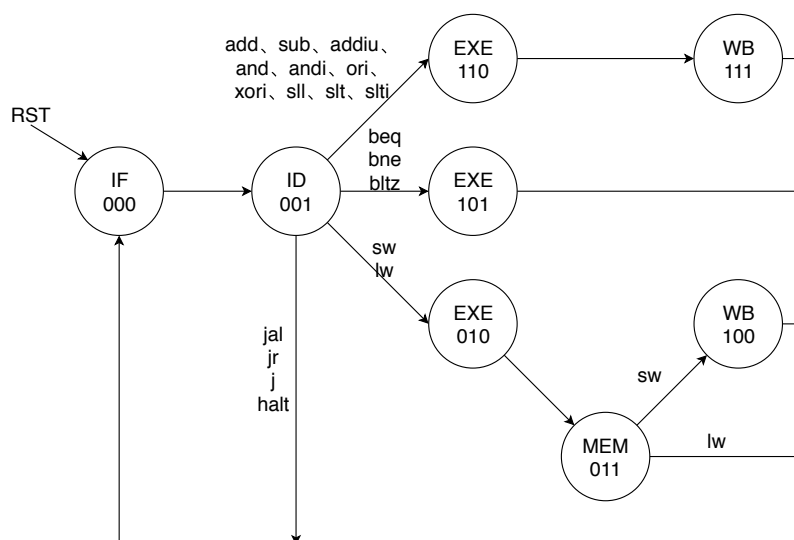


图 13: 多周期CPU状态转移图

由前面的分析，可以得到控制单元的编码表，见表5。注意表5仅仅指明了一条指令的执行过程中全部控制信号的取值，具体到各个阶段，则需结合当前状态判断控制信号是否有效。如只在IF阶段允许PC的修改，即PCWrite为1；而只在WB阶段可以进行寄存器的写操作，即RegWr为1。具体实现参见第8章控制单元一节。

## 五、实验步骤

### I. 简易编译器

本次实验用Python写了一个简单的编译器来实现MIPS代码到二进制代码的转换。主要采用正则表达式库(re)对输入的字符串进行处理。基本实现思路如下：

1. 逐行读入汇编源文件，遇到非指令行（如注释）则直接丢弃，其余行送入parse函数。

表 5: 指令控制器编码

	指令	op	RegDst	ExtSel	RegWrite	ALUSrcA/B	ALUOp	DBSrc	WrRegSrc	MemWrite	PCSrc	PCWrite
算术运算	add rd, rs, rt	000000	1	x	1	00	000	0	0	0	00	1
	sub rd, rs, rt	000001	1	x	1	00	001	0	0	0	00	1
	addiu rt, rs, imm	000010	0	<b>1</b>	1	01	000	0	0	0	00	1
逻辑运算	and rd, rs, rt	010000	1	x	1	00	100	0	0	0	00	1
	andi rt, rs, imm	010001	0	0	1	01	100	0	0	0	00	1
	ori rt, rs, imm	010010	0	0	1	01	011	0	0	0	00	1
	<b>xori rt, rs, imm</b>	010011	0	0	1	01	111	0	0	0	00	1
移位	sll rd, rt, sa	011000	1	x	1	10	010	0	0	0	00	1
比较	slti rt, rs, imm	100110	0	1	1	01	110	0	0	0	00	1
	<b>slt rd, rs, rt</b>	100111	1	x	1	00	110	0	0	0	00	1
访存	sw rt, imm(rs)	110000	x	1	0	01	000	x	0	1	00	1
	lw rt, imm(rs)	110001	0	1	1	01	000	1	0	0	00	1
分支	beq rs, rt, imm	110100	x	1	0	00	001	x	0	0	10	1
	bne rs, rt, imm	110101	x	1	0	00	001	x	0	0	10	1
	bltz rs, imm	110110	x	1	0	00	110	x	0	0	10	1
	j addr	111000	x	x	0	xx	x	x	0	0	01	1
跳转	<b>jr rs</b>	111001	x	x	0	0x	x	x	0	0	11	1
调用子程序	<b>jal addr</b>	111010	<b>2</b>	x	<b>1</b>	xx	x	x	<b>1</b>	0	01	1
停机	halt	111111	x	x	0	xx	x	x	x	0	xx	0

2. 在`parse`函数内判断指令名称，并依据不同的指令格式分别进行字符串的分割和处理，这里采用了正则表达式进行分割。
3. 将操作、寄存器编号、立即数等全部转化为二进制。不够位数的用0补足，负数要用补码表示。
4. 将这些二进制数连接起来，得到32位的二进制字符串，返回
5. 逐行输出二进制编码和十六进制编码，并写入文件，注意这里采用小端存储（每8位作为一个字节/单位）

完整程序附在8编译器一节。

## II. 仿真模拟

采用表6给出的汇编程序代码段进行测试。注意指令的二进制编码应该对应到MIPS的每一个字段上，特别注意`sl`的书写，负数用补码表示等。生成二进制指令文件后，CPU将其读入指令存储器并执行，看波形结果。

## III. 上板

使用Basys3板运行所设计的CPU时，需要通过4个七段数码管来查看当前CPU的执行情况。

只考虑指令和数据的低8位，即指令存储器中的指令地址范围和数据存储器中的数据地址范围均为 `0x00~0xFF`。

通过Basys3板上的开关SW15、SW14选择七段数码管显示的内容，具体显示的功能码如表7所示。

## IV. 七段数码管显示电路

基本实现步骤如下：

1. 对Basys3板系统时钟信号(100MHz)进行分频，使得数码管内容能够正常显示。频率不宜过快，过快会导致全部数码管显示的都是8；也不宜过慢，否则数码管会出现暂留现象，无法连续显示。在本次实现中采用10kHz的频率进行显示。
2. 用上面得到的频率生成4进制计数器，用于产生4个数位选信号AN3-AN0。这4个数可控制哪个数码管亮，一共四组编码(1110、1101、1011、0111)，每组编码中只有一位为0（亮），其余都为1（灭），在每一个位选信号到来之时更新数码管显示。其实前两步可以一并完成，见第8章分频计数器一节。
3. 将从CPU接收到的相应数据转换为数码管显示信号，与位选信号一起送往数码管显示输出。

## V. 其他注意事项

1. 共阳极数码管

Basys3板的数码管均为共阳极，故设置七段数码管和位选信号时都要考虑0为亮，1为灭。

2. 两个时钟信号

CPU工作时钟和Basys3板系统时钟是两个不同的时钟，但是FPGA只支持单一全局时钟，

表 6: 测试代码段指令

address	instruction	op	rs	rt	rd/imm				hex
0x00000000	addiu \$1,\$0,8	000010	00000	00001	0000	0000	0000	1000	0x08010008
0x00000004	ori \$2,\$0,2	010010	00000	00010	0000	0000	0000	0010	0x48020002
0x00000008	xori \$3,\$2,8	010011	00010	00011	0000	0000	0000	1000	0x4c430008
0x0000000C	sub \$4,\$3,\$1	000001	00011	00001	0010	0000	0000	0000	0x04612000
0x00000010	and \$5,\$4,\$2	010000	00100	00010	0010	1000	0000	0000	0x40822800
0x00000014	sll \$5,\$5,2	011000	00000	00101	0010	1000	1000	0000	0x60052880
0x00000018	beq \$5,\$1,-2(=,转14)	110100	00101	00001	1111	1111	1111	1110	0xd0a1fffe
0x0000001C	jal 0x0000050	111010	00000	00000	0000	0000	0001	0100	0xe8000014
0x00000020	slt \$8,\$13,\$1	100111	01101	00001	0100	0000	0000	0000	0x9da14000
0x00000024	addiu \$14,\$0,-2	000010	00000	01110	1111	1111	1111	1110	0x080efffe
0x00000028	slt \$9,\$8,\$14	100111	01000	01110	0100	1000	0000	0000	0x9d0e4800
0x0000002C	slti \$10,\$9,2	100110	01001	01010	0000	0000	0000	0010	0x992a0002
0x00000030	slti \$11,\$10,0	100110	01010	01011	0000	0000	0000	0000	0x994b0000
0x00000034	add \$11,\$11,\$10	000000	01011	01010	0101	1000	0000	0000	0x016a5800
0x00000038	bne \$11,\$2,-2 (≠,转34)	110101	01011	00010	1111	1111	1111	1110	0xd562fffe
0x0000003C	addiu \$12,\$0,-2	000010	00000	01100	1111	1111	1111	1110	0x080cfffe
0x00000040	addiu \$12,\$12,1	000010	01100	01100	0000	0000	0000	0001	0x098c0001
0x00000044	bltz \$12,-2 (j0,转40)	110110	01100	00000	1111	1111	1111	1110	0xd980fffe
0x00000048	andi \$12,\$2,2	010001	00010	01100	0000	0000	0000	0010	0x444c0002
0x0000004C	j 0x000005C	111000	00000	00000	0000	0000	0001	0111	0xe0000017
0x00000050	sw \$2,4(\$1)	110000	00001	00010	0000	0000	0000	0100	0xc0220004
0x00000054	lw \$13,4(\$1)	110001	00001	01101	0000	0000	0000	0100	0xc42d0004
0x00000058	jr \$31	111001	11111	00000	0000	0000	0000	0000	0xe7e00000
0x0000005C	halt	111111	00000	00000	0000	0000	0000	0000	0xfc000000

表 7: 数码管显示功能码

SW15	SW14	左边	右边
0	0	当前PC	下条PC
0	1	rs寄存器地址	rs寄存器数据
1	0	rt寄存器地址	rt寄存器数据
1	1	ALU结果输出	DB总线数据

否则在routing阶段会报错

Poor placement for routing between an IO pin and BUFG

故需要采取其他方法。只设置全局时钟为clk，并将CPU工作时钟clk\_cpu与其同步，即在每一个clk上升沿时，赋值in<=clk\_cpu，通过下面消抖处理后，将in作为真正的CPU工作时钟。

### 3. 消抖处理

如果一次触发持续一段时间不改变状态（如原状态是0，变更为1且保持100ns），则该触发是有效的人为触发，否则则视为抖动。故可以设置一个按键状态的历史记录(16位)，如果连续14位都为1，则将clk\_cpu设为高电平，否则为无效触发。具体实施细节见第8章写板电路一节。

## VI. 引脚分配

见表8。

表 8: 引脚分配表

引脚	名称	作用
W5	clk	全局时钟
T17	clk_cpu	CPU时钟（单脉冲信号）
V17	reset	复位信号
R2/T1	SW_in	数码管显示内容选择
W4-U2	AN3-AN0	数码管位选信号
W7-U7	seg6-seg0	七段数码管内容

## VII. 代码层次结构

### 六、结果与分析

#### I. 仿真模拟

设置时钟周期为100ns，初始30ns为准备时间，然后将Reset设为1使其开始工作。仿真结果见图14到图28，每条指令的说明均已附在波形图之下。可以看见仿真结果与预期结果相同。

##### 1. 0x00 addiu \$1,\$0,8

IF(0)状态的后半周期读入指令，并写入指令寄存器IR；WB(7)状态的后半周期将结果8写入Reg[1]

##### 2. 0x04 ori \$2,\$0,2

WB(7)状态后半周期将结果2写入Reg[2]



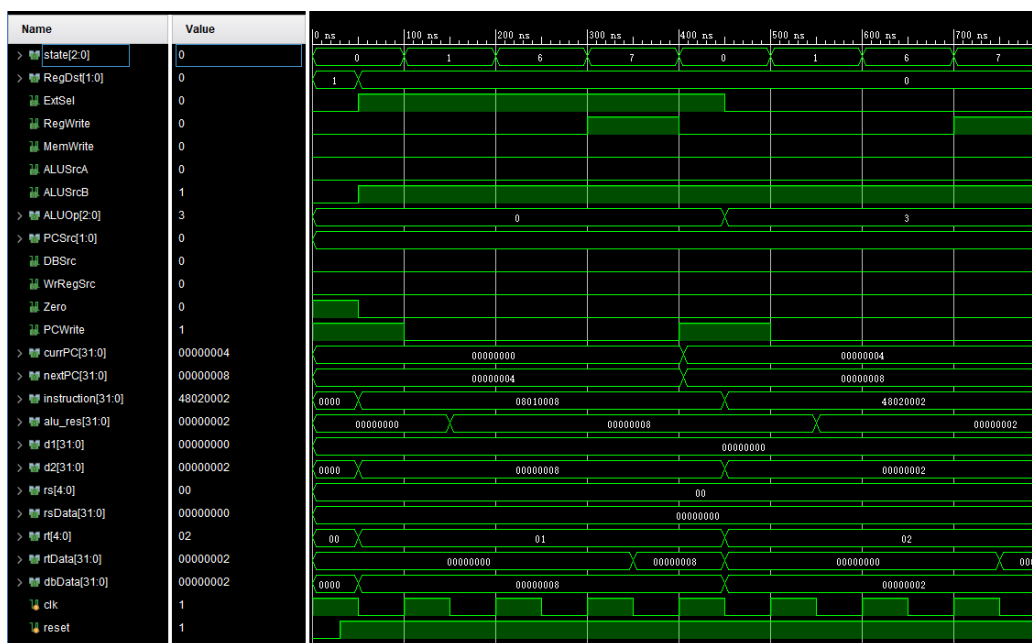


图 14: 波形图1

## 3. 0x08 xori \$3,\$2,8

ID(1)状态读入Reg[2]=2, 与立即数8异或, 即 $1000 \text{ xor } 0010 = 1010 = (10)_{10}$ ; WB(7)状态将结果 $(A)_{16}$ 写入Reg[3]

## 4. 0x0C sub \$4,\$3,\$1

WB(7)状态将结果 $\text{Reg}[3] - \text{Reg}[1] = 10 - 8 = 2$ 写入Reg[4]

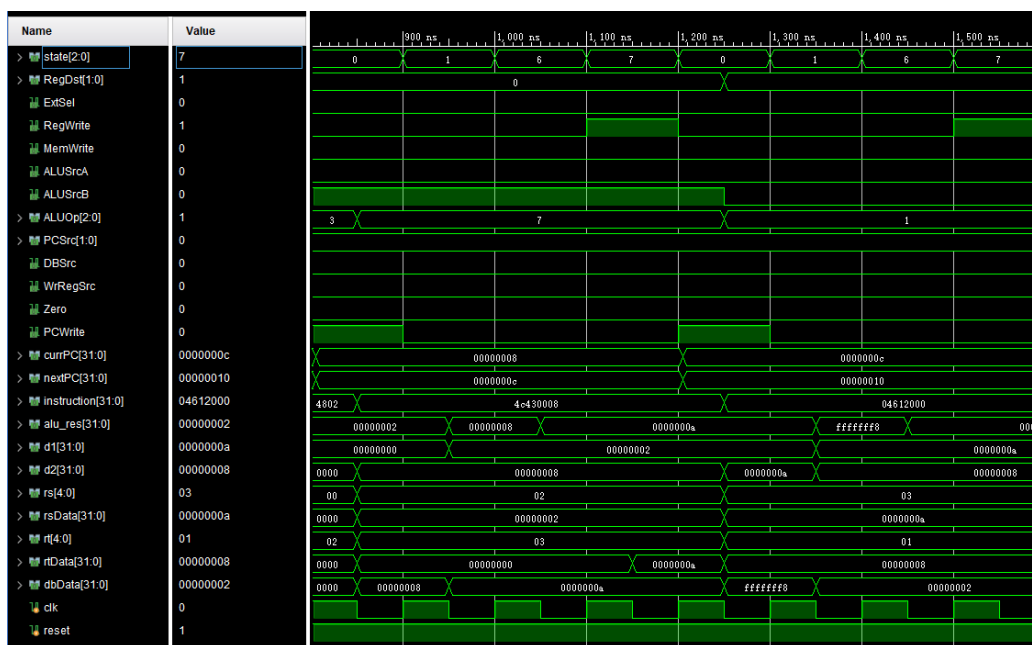


图 15: 波形图2

5. 0x10 and \$5,\$4,\$2

WB(7)状态将结果 $\text{Reg}[4] \& \text{Reg}[2] = 2 \& 2 = 2$ 写入 $\text{Reg}[5]$

6. 0x14 sll \$5,\$5,2

WB(7)状态将结果 $\text{Reg}[5] \ll 2 = 2 \ll 2 = 8$ 写入 $\text{Reg}[5]$



图 16: 波形图3

7. 0x18 beq \$5,\$1,-2

EXE(5)状态ALU结果为 $\text{Reg}[5] - \text{Reg}[1] = 8 - 8 = 0 == 0$ , 跳转回0x14

8. 0x14 sll \$5,\$5,2

WB(7)状态将结果 $\text{Reg}[5] \ll 2 = 8 \ll 2 = 32 = (20)_{16}$ 写入 $\text{Reg}[5]$

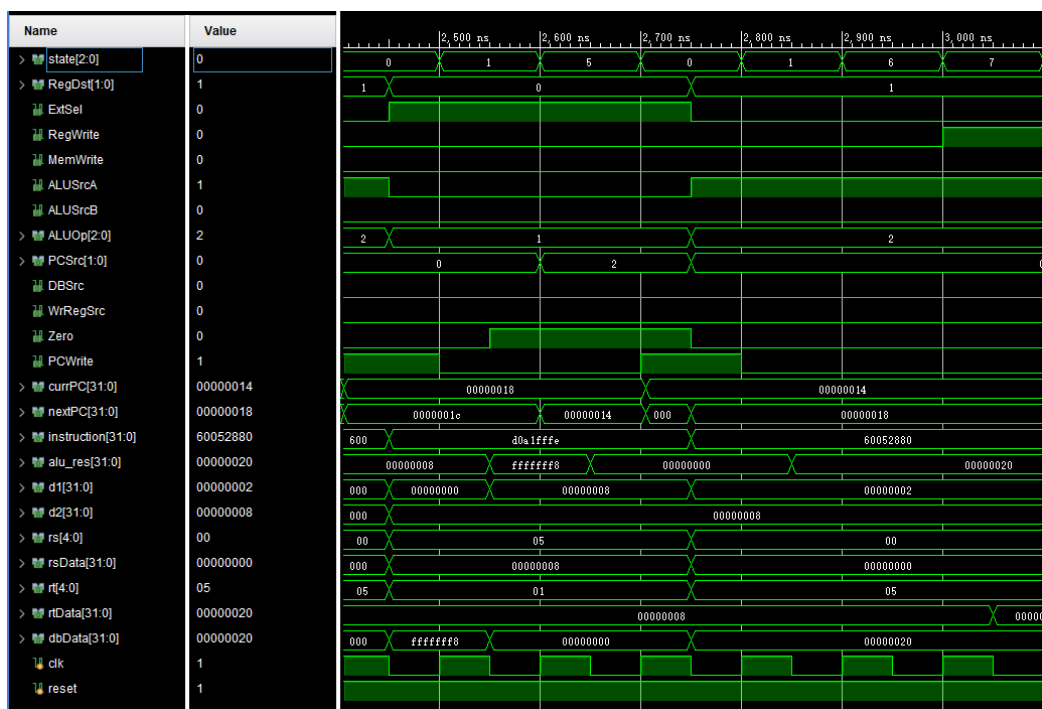


图 17: 波形图4

## 9. 0x18 beq \$5,\$1,-2

EXE(5)状态ALU结果为 $\text{Reg}[5] - \text{Reg}[1] = 32 - 8 = 24 = (18)_{16} \neq 0$ , 不跳转, 执行下一指令

## 10. 0x1C jal 0x00000050

调用子程序, IF(0)状态更新下一PC值为0x50; ID(1)状态RegDst为2, 对Reg[31]写入原来的PC+4, 即0x20, 故图中ALU在ID(1)状态的后半周期值回改变, 因为RegFile写入了新的值



将Reg[2]=2存入Mem[Reg[1] + 4] = Reg[12] = Mem[(C)<sub>16</sub>]

将Mem[12] = 2取出，在WB(4)状态存入Reg[13]

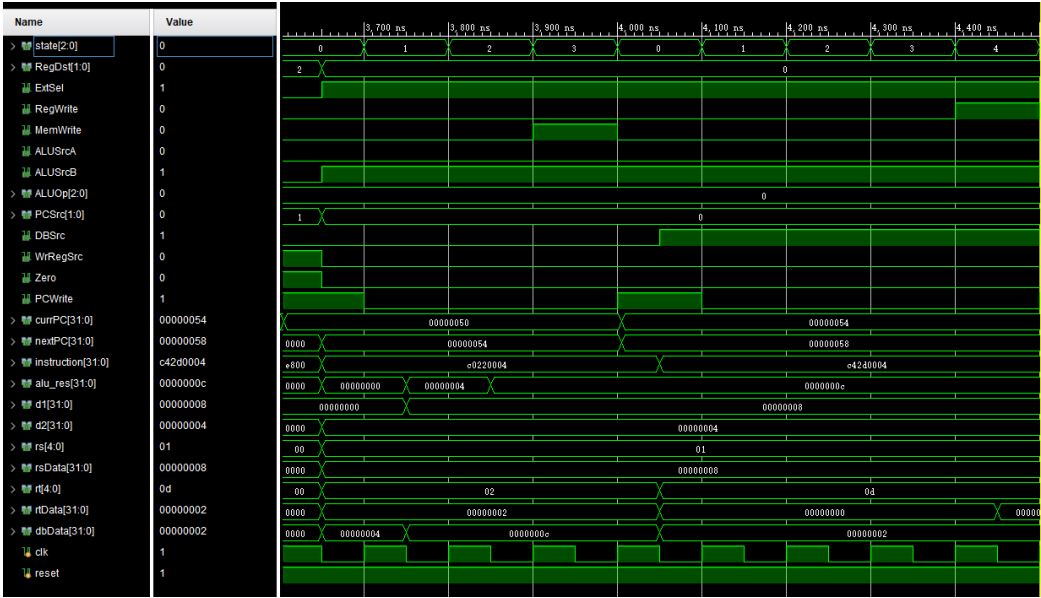


图 19: 波形图6

13. 0x58 jr \$31

IF(0)状态译码后即可取出Reg[31]=0x20, 进而更新下一PC值为0x20

```
14. 0x20    slt $8,$13,$1
```

在EXE(6)阶段算得 $\text{Reg}[13] < \text{Reg}[1] = 2 < 8 = 1$ , 在WB(7)存入 $\text{Reg}[8]$

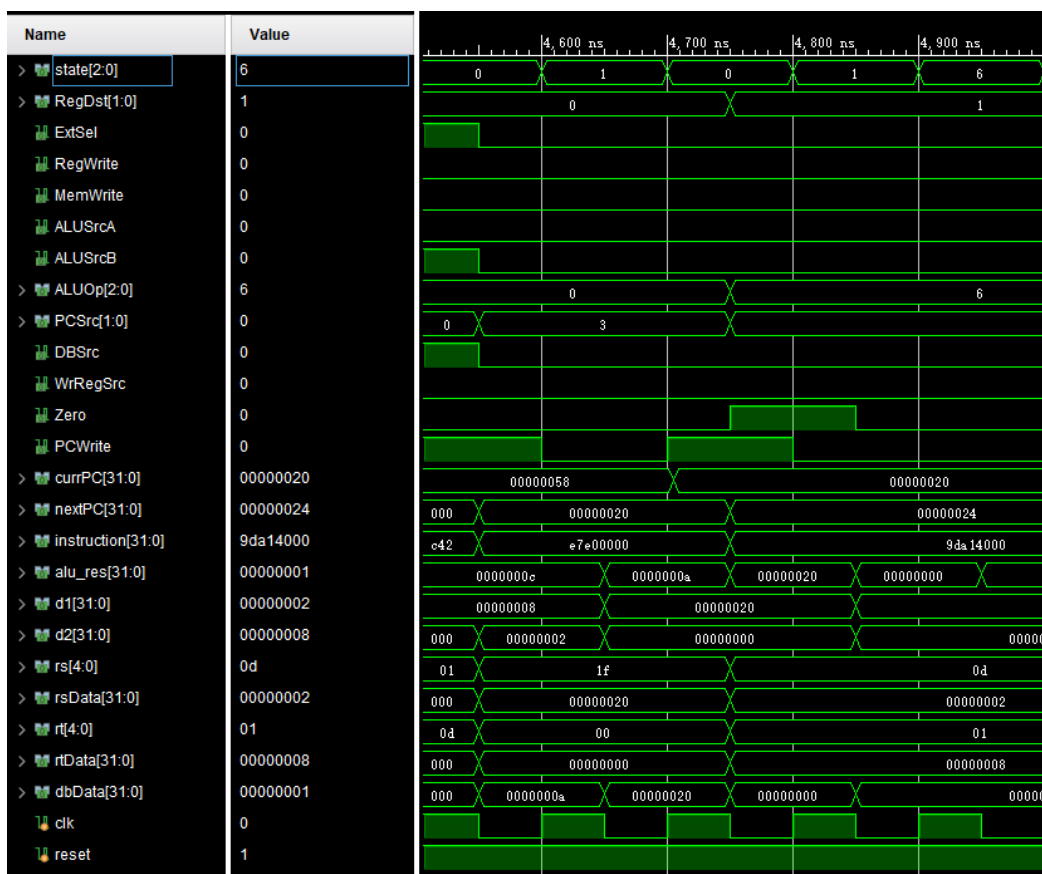


图 20: 波形图7

15. 0x24 addiu \$14,\$0,-2

在EXE(6)阶段算得 $\text{Reg}[0] + (-2) = 0\text{xFFFFFFFE}$ ，并在WB(7)存入 $\text{Reg}[14]$

16. 0x28 slt \$9,\$8,\$14

在EXE(6)阶段算得 $\text{Reg}[8] \text{ i } \text{Reg}[14] = 1 \text{ i } -2 = 0$ ，并在WB(7)存入 $\text{Reg}[9]$

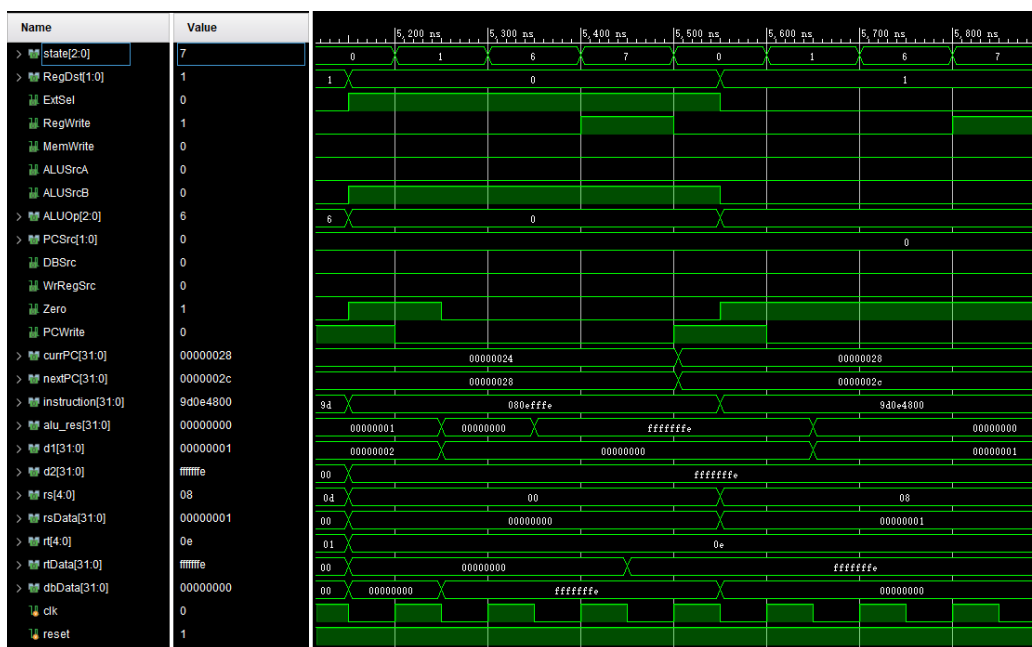


图 21: 波形图8

17. 0x2C slti \$10,\$9,2

在EXE(6)阶段算得Reg[9]i2=0i2=1, 并在WB(7)存入Reg[10]

18. 0x30 slti \$11,\$10,0

在EXE(6)阶段算得Reg[10]i0=0i0=0, 并在WB(7)存入Reg[11]

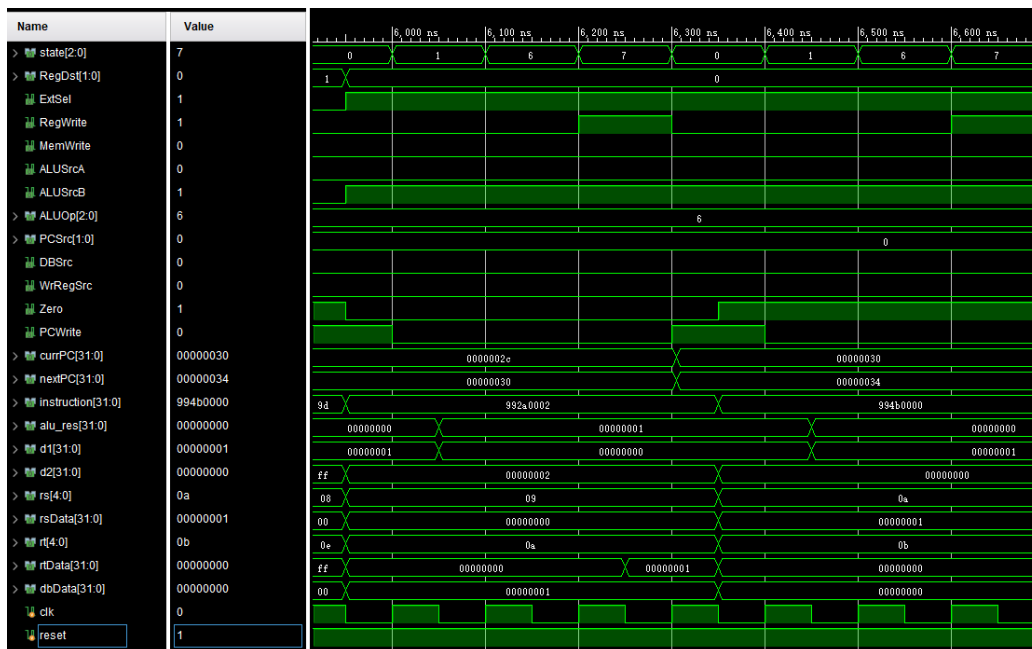


图 22: 波形图9

19. 0x34 add \$11,\$11,\$10

在EXE(6)阶段算得 $\text{Reg}[11] + \text{Reg}[10] = 0 + 1 = 1$ ，并在WB(7)存入 $\text{Reg}[11]$

20. 0x38 bne \$11,\$2,-2

在EXE(5)阶段算得 $\text{Reg}[11] - \text{Reg}[2] = 1 - 2 = -1 = 0xFFFFFFFF$ ，不等于，跳转回0x34

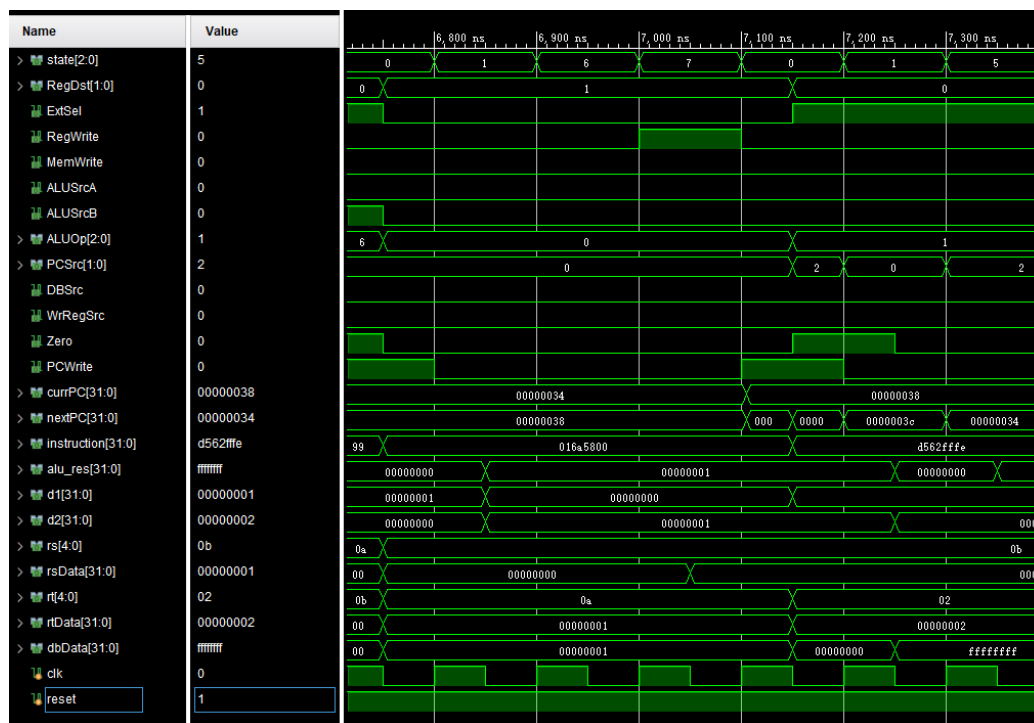


图 23: 波形图10

21. 0x34 add \$11,\$11,\$10

在EXE(6)阶段算得 $\text{Reg}[11] + \text{Reg}[10] = 1 + 1 = 2$ ，并在WB(7)存入 $\text{Reg}[11]$

22. 0x38 bne \$11,\$2,-2

在EXE(5)阶段算得 $\text{Reg}[11] - \text{Reg}[2] = 2 - 2 = 0$ ，相等，不跳转，执行下条指令



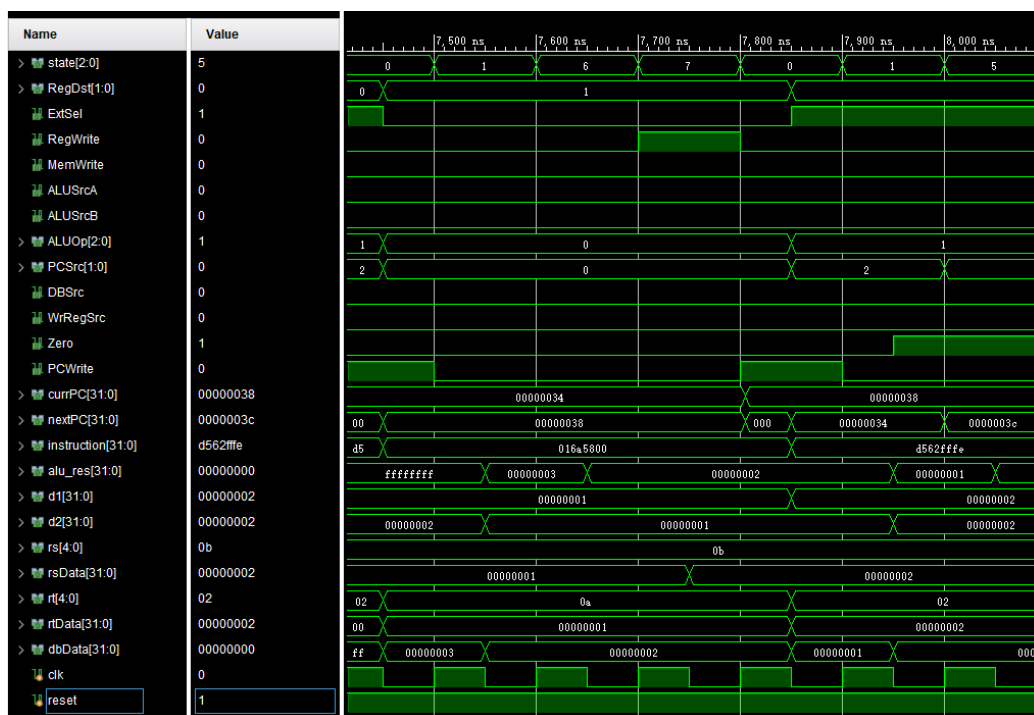


图 24: 波形图11

23. 0x3C addiu \$12,\$0,-2

在EXE(6)阶段算得 $\text{Reg}[0] + (-2) = 0xFFFFFFFFE$ , 并在WB(7)存入 $\text{Reg}[12]$

24. 0x40 addiu \$12,\$12,1

在EXE(6)阶段算得 $\text{Reg}[12] + 1 = 0xFFFFFFFFF$ , 并在WB(7)存入 $\text{Reg}[12]$

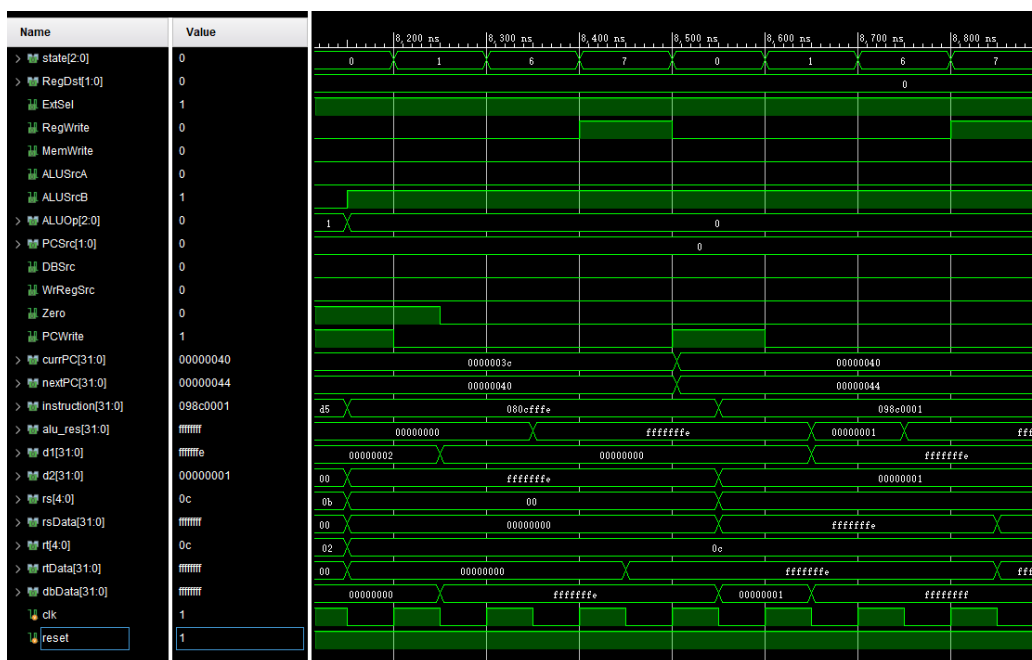


图 25: 波形图12

25. 0x44 bltz \$12,-2

在EXE(5)阶段算得 $\text{Reg}[12]_0 = -1$ ;  $0 = 1$ , 故跳转回0x40

26. 0x40 addiu \$12,\$12,1

在EXE(6)阶段算得 $\text{Reg}[12] + 1 = 0$ , 并在WB(7)存入 $\text{Reg}[12]$

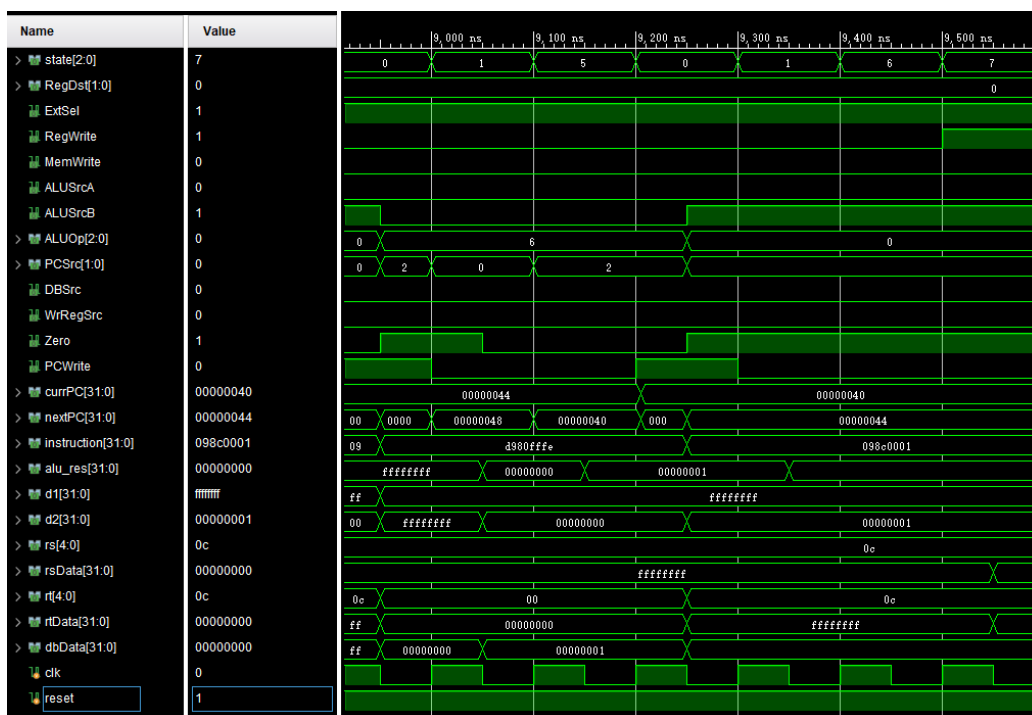


图 26: 波形图13

27. 0x44 bltz \$12,-2

在EXE(5)阶段算得 $\text{Reg}[12]_i0=0_i0=0$ ，故不跳转，继续执行下一指令

28. 0x48 andi \$12,\$2,2

在EXE(6)阶段算得 $\text{Reg}[2]\&2=2\&2=2$ ，并在WB(7)存入 $\text{Reg}[12]$

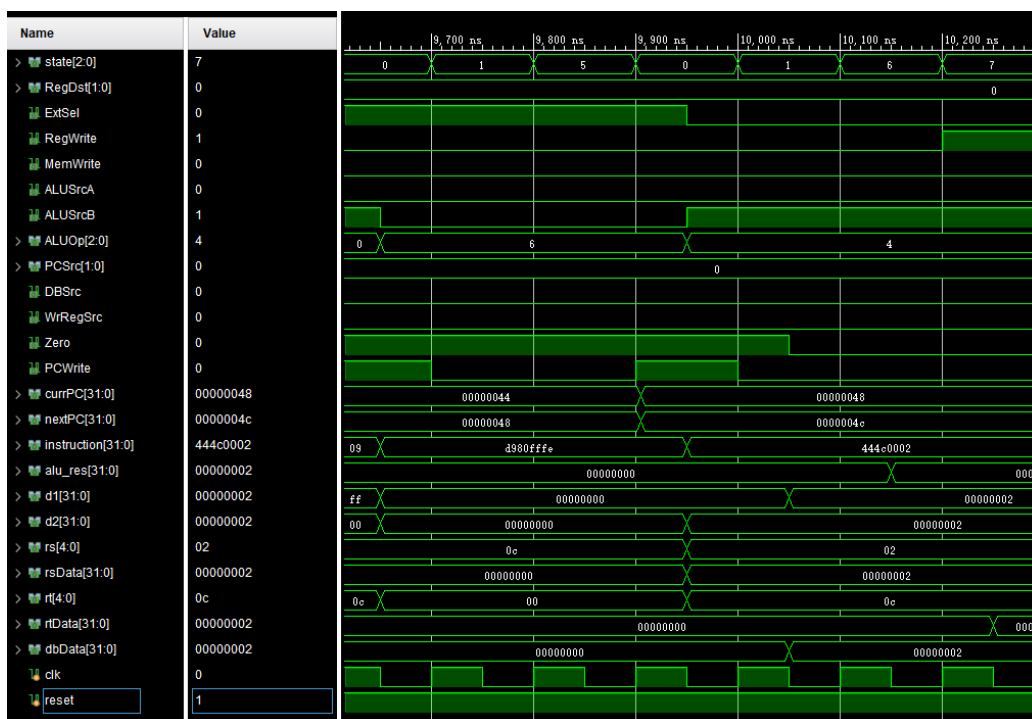


图 27: 波形图14

29. 0x50 j 0x000005C

在IF(0)后半阶段写入指令到IR，译码得出其为跳转指令，更新下一PC值为0x5C

30. halt

在ID(1)阶段求得指令为停机，不再更新PC

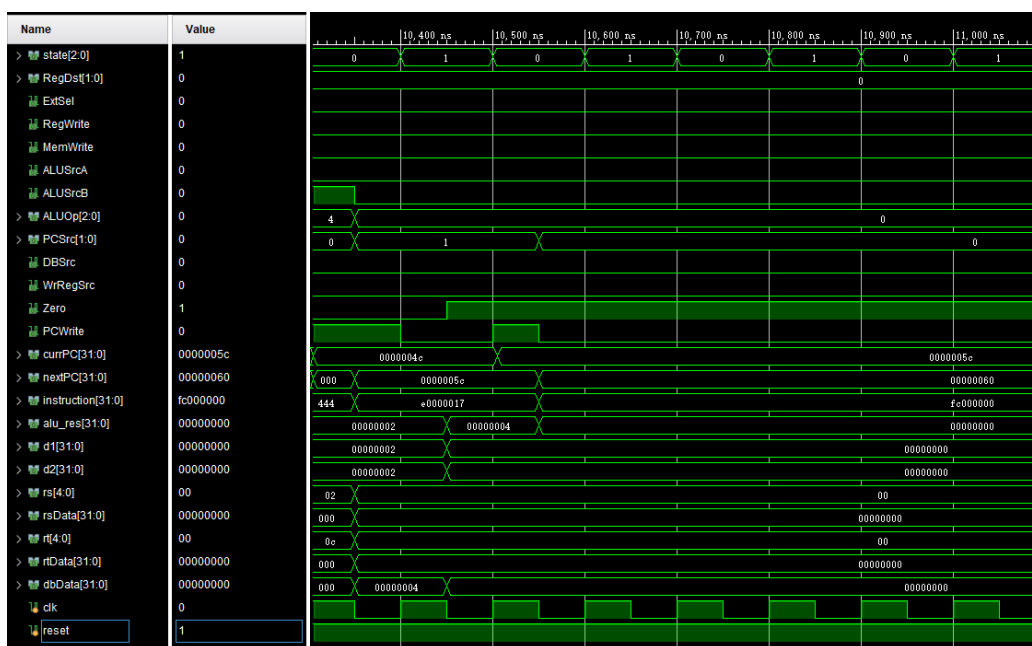


图 28: 波形图15

## 七、实验心得

本次实验在单周期CPU的基础上继续搭建，重用了代码模块，只需分析清除控制信号和状态转移即可。虽然看似比较简单，具体实施时还是遇到了不少问题。

Verilog代码编写阶段：

1. 当调整输入输出端口时，一定要记得将所有相关模块全部修改，如在控制单元中添加一个控制信号，则在CPU、CPU\_sim等模块中均需添加这个控制信号。
2. 在模块输入参数最后常常多了一个,报错(ISE port connections mix)。
3. 要判断好always @内写的内容，是时序逻辑还是组合逻辑，不能混写，不能写多，也不能写少。
4. 要在每个模块合适的位置对寄存器进行初始化initial，否则在仿真中会输出XXXX。
5. 多位的控制信号一定要记得写位宽[x:y]
6. 应在时钟下降沿才进行写入操作

Vivado模拟仿真上板阶段：

1. 要做好门延迟(clock-to-Q)的设置，否则模块还没初始化完就开始操作，会出现很多问题，即对应的状态对应不上，会导致跳转指令无法正常跳转。

总的来说，多周期CPU的设计实验让我更加熟悉了Verilog的语法，熟悉Vivado的使用，同时充分了解硬件设计与软件设计的巨大区别。硬件代码难以debug使得编写程序的效率极其低下，但这时一定不能心急，要冷静下来分析问题所在，并寻求方法解决它。同时，编写硬件程序时要拥有硬件思维，要考虑得更加周密，这些都是与编写软件程序很大的不同。

## 八、程序清单

### I. MIPS编译器(Python)

```

1 import re
2
3 opcode = {
4     "add": "000000",
5     "sub": "000001",
6     "addiu": "000010",
7     "and": "010000",
8     "andi": "010001",
9     "ori": "010010",
10    "xori": "010011",
11    "sll": "011000",
12    "slli": "100110",
13    "slt": "100111",
14    "sw": "110000",
15    "lw": "110001",
16    "beq": "110100",
17    "bne": "110101",
18    "bltz": "110110",
19    "j": "111000",
20    "jr": "111001",
21    "jal": "111010",
22    "halt": "111111"
23 }
24
25 def twos(x):
26     res = eval(x)
27     if res >= 0:
28         return str(bin(res)[2:]).zfill(16)
29     else:
30         return str(bin(2**16 + res)[2:]).zfill(16)
31
32 def parse(ins):
33     res = ""
34     elems = list(filter(bool, re.split("\t| +#. *|, +| +\n", ins)))
35     op = elems[0]
36     res += opcode[op]
37     if op in ["add", "sub", "and", "slt"]:
38         rd, rs, rt = elems[1][1:], elems[2][1:], elems[3][1:]
39         res += str(bin(eval(rs))[2:]).zfill(5)
40         res += str(bin(eval(rt))[2:]).zfill(5)
41         res += str(bin(eval(rd))[2:]).zfill(5)
42         res += ".zfill(11)"
43     elif op in ["addiu", "andi", "ori", "xori", "slli"]:
44         rt, rs, imm = elems[1][1:], elems[2][1:], elems[3]
45         res += str(bin(eval(rs))[2:]).zfill(5)
46         res += str(bin(eval(rt))[2:]).zfill(5)
47         res += twos(imm)
48     elif op in ["sw", "lw"]:
49         rt = elems[1][1:]
50         lst = list(filter(bool, re.split("\(\$|\\)", elems[2])))
51         imm, rs = lst[0], lst[1]
52         res += str(bin(eval(rs))[2:]).zfill(5)
53         res += str(bin(eval(rt))[2:]).zfill(5)
54         res += twos(imm)
55     elif op in ["beq", "bne"]:
56         rs, rt, imm = elems[1][1:], elems[2][1:], elems[3]
57         res += str(bin(eval(rs))[2:]).zfill(5)
58         res += str(bin(eval(rt))[2:]).zfill(5)
59         res += twos(imm)
60     elif op == "bltz":
61         rs, imm = elems[1][1:], elems[2]
62         res += str(bin(eval(rs))[2:]).zfill(5)
63         res += ".zfill(5)"
64         res += twos(imm)
65     elif op in ["j", "jal"]:
66         address = elems[1] # 0x...
67         res += str(bin(eval(address))[2:-2]).zfill(26)
68     elif op == "jr":
69         rs = elems[1][1:]
70         res += str(bin(eval(rs))[2:]).zfill(5)
71         res += ".zfill(21)"
72     elif op == "sll":
73         rd, rt, sa = elems[1][1:], elems[2][1:], elems[3]

```

```

[3]
74     res += ".zfill(5)"
75     res += str(bin(eval(rt))[2:]).zfill(5)
76     res += str(bin(eval(rd))[2:]).zfill(5)
77     res += str(bin(eval(sa))[2:]).zfill(5)
78     res += ".zfill(6)"
79 else: # halt
80     res += ".zfill(26)"
81     return res
82
83 instructions = []
84 infile = open("./test.asm", "r")
85 for line in infile:
86     if line[0] in [".", "#", "m", "\n"]:
87         continue
88     else:
89         instructions.append(parse(line))
90
91 for x in instructions:
92     print("0x" + hex(eval("0b" + x))[2:]).zfill(8), end="
93         ")
94     print(x[:6], end=" ")
95     print(x[6:11], end=" ")
96     print(x[11:16], end=" ")
97     print(x[16:20], end=" ")
98     print(x[20:24], end=" ")
99     print(x[24:28], end=" ")
100    print(x[28:32], end="\n")
101
102 outfile = open("./instruction.data", "w")
103 for (n, x) in enumerate(instructions):
104     # little endian!
105     outfile.write("// #d\n" % n)
106     outfile.write(x[24:32])
107     outfile.write("\n")
108     outfile.write(x[16:24])
109     outfile.write("\n")
110     outfile.write(x[8:16])
111     outfile.write("\n")
112     outfile.write(x[:8])
113     outfile.write("\n")

```

### II. CPU主模块

```

1 timescale 1ns / 1ps
2
3 module CPU (
4     input clk, reset,
5     output [2:0] state,
6     output [1:0] RegDst,
7     output ExtSel,
8     output RegWrite, MemWrite,
9     output ALUSrcA, ALUSrcB,
10    output [2:0] ALUOp,
11    output [1:0] PCSrc,
12    output DBSrc,
13    output WrRegSrc,
14    output Zero,
15    output PCWrite,
16    output [31:0] currPC, nextPC, instruction, alu_res,
17    output wire [31:0] d1, d2, rsData, rtData, dbData,
18    output wire [4:0] rs, rt, rd, sa
19 );
20
21 wire [5:0] opcode;
22 wire [15:0] imm;
23 wire [31:0] pc4;
24 wire [31:0] inst;
25
26 assign opcode = instruction[31:26];
27 assign rs = instruction[25:21];
28 assign rt = instruction[20:16];
29 assign rd = instruction[15:11];
30 assign sa = instruction[10:6];
31 assign imm = instruction[15:0];
32
33 PC pc(
34     .clk(clk),
35     .reset(reset),
36     .PCWrite(PCWrite),
37     .currPC(currPC),
38     .nextPC(nextPC)

```

```

39         );
40
41     Adder add_pc4(
42         .A(currPC),
43         .B({{29{1'b0}},3'b100}),
44         .res(pc4)
45     );
46
47     // instruction fetch (IF)
48     InstructionMemory im(
49         .address(currPC),
50         .dataOut(inst)
51     );
52
53     Register ir(
54         .clk(clk),
55         .reset(reset),
56         .in(inst),
57         .out(instruction)
58     );
59
60     // instruction decode (ID)
61     ControlUnit control(
62         .clk(clk),
63         .reset(reset),
64         // input
65         .opcode(opcode),
66         .Zero(Zero),
67         // output
68         .state(state),
69         .RegDst(RegDst),
70         .ExtSel(ExtSel),
71         .RegWrite(RegWrite),
72         .ALUSrcA(ALUSrcA),
73         .ALUSrcB(ALUSrcB),
74         .ALUOp(ALUOp),
75         .DBSrc(DBSrc),
76         .WrRegSrc(WrRegSrc),
77         .MemWrite(MemWrite),
78         .PCSrc(PCSrc),
79         .PCWrite(PCWrite)
80     );
81
82     RegFile reg_file(
83         .clk(clk),
84         .reset(reset),
85         .r1(rs),
86         .r2(rt),
87         .wr(mux_regdst.res),
88         .RegWrite(RegWrite),
89         .wd(mux_wrreg.res)
90         // d1 -> adr / mux_pc.D
91         // d2 -> bdr
92     );
93
94     Register adr(
95         .clk(clk),
96         .reset(reset),
97         .in(reg_file.d1)
98         // out -> mux_srcA.A
99     );
100
101     Register bdr(
102         .clk(clk),
103         .reset(reset),
104         .in(reg_file.d2)
105         // out -> mux_srcB.A / dm.dataIn
106     );
107
108     assign d1 = mux_srcA.res;
109     assign d2 = mux_srcB.res;
110     assign rsData = reg_file.d1;
111     assign rtData = reg_file.d2;
112
113     // execution (EXE)
114     MUX5b mux_regdst(
115         .Sel(RegDst),
116         .A(rt),
117         .B(rd),
118         .C(5'b11111)
119         // res -> reg_file.wr
120     );
121
122     MUX mux_srcA(
123         .Sel(ALUSrcA),
124         .A(adr.out),
125         .B({{27{1'b0}},sa})
126         // res -> alu.A
127     );
128
129     Extender extender(
130         .Sel(ExtSel),
131         .dataIn(imm)
132         // dataOut -> mux_srcB.B / sl_16
133     );
134
135     MUX mux_srcB(
136         .Sel(ALUSrcB),
137         .A(bdr.out),
138         .B(extender.dataOut)
139         // res -> alu.B
140     );
141
142     ALU alu(
143         .op(ALUOp),
144         .A(mux_srcA.res),
145         .B(mux_srcB.res),
146         // res -> aludr / mux_memToReg
147         .zero(Zero)
148     );
149
150     Register aludr(
151         .clk(clk),
152         .reset(reset),
153         .in(alu.res),
154         // res -> dm.address / mux_memToReg.A
155         .out(alu_res)
156     );
157
158     // access memory (MEM)
159     DataMemory dm(
160         .clk(clk),
161         .reset(reset),
162         .address(alu_res),
163         .MemWrite(MemWrite),
164         .dataIn(bdr.out)
165         // dataOut -> mux_memToReg
166     );
167
168     // write back (WB)
169     MUX mux_memToReg(
170         .Sel(DBSrc),
171         .A(alu.res), // not alu_res!
172         .B(dm.dataOut)
173         // res -> dbdr
174     );
175
176     Register dbdr(
177         .clk(clk),
178         .reset(reset),
179         .in(mux_memToReg.res)
180         // out -> mux_wrreg.B
181     );
182
183     MUX mux_wrreg(
184         .Sel(WrRegSrc),
185         .A(dbdr.out),
186         .B(pc4)
187         // res -> reg_file.wd
188     );
189
190     assign dbData = mux_memToReg.res;
191
192     // jump & branch
193     ShiftLeft sl(
194         .dataIn(extender.dataOut)
195         // dataOut -> add_target.B
196     );
197
198     Adder add_target(
199         .A(pc4),
200         .B(sl.dataOut)
201         // res -> mux_branch.B
202     );
203
204     MUX4 mux_pc(

```

```

205         .Sel(PCSrc),
206         .A(pc4),
207         .B({pc4[31:28],instruction[25:0],2'b00}),
208         .C(add_target.res),
209         .D(reg_file.d1),
210         .res(nextPC)
211     );
212
213 endmodule

```

### III. 指令存储器

```

1 module InstructionMemory (
2     input [31:0] address,
3     output [31:0] dataOut
4 );
5
6     reg [7:0] memory [0:255]; // 8 bits (bandwidth) *
7                               #256 (address)
8
9     // initialization
10    initial $readmemb("D:/instruction.data",memory);
11
12    // output data (little endian)
13    assign dataOut = {memory[address + 3],
14                      memory[address + 2],
15                      memory[address + 1],
16                      memory[address]};
17 endmodule

```

### IV. 程序计数器(PC)

```

1 module PC (
2     input clk,
3     input reset,
4     input PCWrite,
5     input [31:0] nextPC,
6     output reg [31:0] currPC
7 );
8
9     initial currPC = 0;
10
11    always @(posedge clk or negedge reset) begin
12        #5 // important!
13        if (reset == 0)
14            currPC <= 0;
15        else if (PCWrite == 1)
16            currPC <= nextPC;
17    end
18
19 endmodule

```

### V. 寄存器堆

```

1 module RegFile (
2     input clk,
3     input reset,
4     input [4:0] r1, // read reg #1 address
5     input [4:0] r2, // read reg #2 address
6     input [4:0] wr, // write reg address
7     input RegWrite,
8     input [31:0] wd, // write data
9     output [31:0] d1, // read data 1
10    output [31:0] d2 // read data 2
11 );
12
13    reg [31:0] register [0:31]; // 32 bits (bandwidth) *
14                                #32 (address)
15
16    // initialization
17    integer i;
18    initial begin
19        for (i = 0; i < 32; i = i + 1)
20            register[i] = 0;
21    end
22
23    // read data
24    assign d1 = (r1 == 0) ? 0 : register[r1];

```

```

25    assign d2 = (r2 == 0) ? 0 : register[r2];
26
27    // write data
28    always @(negedge clk) begin
29        if (reset == 0)
30            register[0] <= 0;
31        else if (wr != 0 && RegWrite == 1)
32            register[wr] <= wd;
33    end
34 endmodule

```

### VI. 单个寄存器

```

1 module Register (
2     input clk,
3     input reset,
4     input [31:0] in,
5     output [31:0] out
6 );
7
8     reg [31:0] data;
9
10    // initialization
11    initial data = 0;
12
13    // read data
14    assign out = data;
15
16    // write data
17    always @(negedge clk) begin
18        if (reset == 0)
19            data <= 0;
20        else
21            data <= in;
22    end
23
24 endmodule

```

### VII. 数据存储器

```

1 module DataMemory (
2     input clk,
3     input reset,
4     input [31:0] address,
5     input MemWrite,
6     input [31:0] dataIn, // write data
7     output [31:0] dataOut // read data
8 );
9
10    reg [7:0] memory [0:255]; // 8 bits (bandwidth) *
11                               #256 (address)
12
13    // initialization
14    integer i;
15    initial begin
16        for (i = 0; i < 256; i = i + 1)
17            memory[i] = 0;
18    end
19
20    // read data
21    assign dataOut = (address == 0) ? 0 : {memory[
22                                                address
23                                                + 2],
24                                                memory[
25                                                    address
26                                                    + 1],
27                                                memory[
28                                                    address
29                                                    ]};
30
31    // write data
32    always @(negedge clk) begin
33        if (reset == 0)
34            memory[0] <= 0;
35        else if (MemWrite == 1 && address != 0) begin
36            // do not use <=255!!!
37            // little endian
38            memory[address + 3] <= dataIn[31:24];

```



```

32     memory[address + 2] <= dataIn[23:16];
33     memory[address + 1] <= dataIn[15:8];
34     memory[address] <= dataIn[7:0];
35 end
36 end
37
38 endmodule

```

## VIII. 控制单元

```

1 module ControlUnit (
2     input clk,
3     input reset,
4     input [5:0] opcode,
5     input Zero,
6     output reg [2:0] state,
7     output reg [1:0] RegDst,
8     output reg ExtSel,
9     output reg ALUSrcA,
10    output reg ALUSrcB,
11    output reg [2:0] ALUOp,
12    output reg [1:0] PCSrc,
13    output reg DBSrc,
14    output reg WrRegSrc,
15    output reg RegWrite,
16    output reg MemWrite,
17    output reg PCWrite
18 );
19
20 initial state = 3'b000;
21
22 // Finite State Machine (FSM)
23 always @ (posedge clk) begin
24     if (reset == 0)
25         state <= 3'b000;
26     else case (state)
27         3'b000: begin // IF
28             state <= 3'b001;
29         end
30         3'b001: begin // ID
31             if (opcode == 6'b110100 || opcode == 6'b110101 || opcode == 6'b110110)
32                 state <= 3'b101;
33             else if (opcode == 6'b110000 || opcode == 6'b110001) // sw & lw
34                 state <= 3'b010;
35             else if (opcode == 6'b111000 || opcode == 6'b111001 || opcode == 6'b111010 || opcode == 6'b111111)
36                 state <= 3'b000;
37             else
38                 state <= 3'b110;
39         end
40         3'b110: begin // EXE
41             state <= 3'b111;
42         end
43         3'b111: begin // WB
44             state <= 3'b000;
45         end
46         3'b101: begin // EXE
47             state <= 3'b000;
48         end
49         3'b010: begin // EXE
50             state <= 3'b011;
51         end
52         3'b011: begin // MEM
53             if (opcode == 6'b110001) // lw
54                 state <= 3'b100;
55             else // sw
56                 state <= 3'b000;
57         end
58         3'b100: begin // WB
59             state <= 3'b000;
60         end
61     endcase
62 end
63
64 // always @ (opcode or state or Zero) begin // Zero
65     !
66     always @ (state or opcode) begin

```

```

66     RegDst <= 2'b00;
67     ExtSel <= 0;
68     if (state == 3'b111 || state == 3'b100)
69         RegWrite <= 1;
70     else
71         RegWrite <= 0;
72     ALUSrcA <= 0;
73     ALUSrcB <= 0;
74     ALUOp <= 3'b000;
75     DBSrc <= 0;
76     MemWrite <= 0;
77     PCSrc <= 2'b00;
78     WrRegSrc <= 0;
79     if (state == 3'b000)
80         PCWrite <= 1;
81     else
82         PCWrite <= 0; // donot update PC if the state is not IF!
83     case (opcode)
84         6'b000000: begin // add rd, rs, rt
85             RegDst <= 2'b01;
86         end
87         6'b000001: begin // sub rd, rs, rt
88             RegDst <= 2'b01;
89             ALUOp <= 3'b001;
90         end
91         6'b000010: begin // addiu rt, rs, imm
92             ExtSel <= 1; // ???
93             ALUSrcB <= 1;
94         end
95         6'b010000: begin // and rd, rs, rt
96             RegDst <= 2'b01;
97             ALUOp <= 3'b100;
98         end
99         6'b010001: begin // andi rt, rs, imm
100            ALUSrcB <= 1;
101            ALUOp <= 3'b100;
102        end
103        6'b010010: begin // ori rt, rs, imm
104            ALUSrcB <= 1;
105            ALUOp <= 3'b011;
106        end
107        6'b010011: begin // xori rt, rs, imm
108            ALUSrcB <= 1;
109            ALUOp <= 3'b111;
110        end
111        6'b011000: begin // sll rd, rt, sa
112            RegDst <= 2'b01;
113            ALUSrcA <= 1;
114            ALUOp <= 3'b010;
115        end
116        6'b100110: begin // slti rt, rs, imm
117            ExtSel <= 1;
118            ALUSrcB <= 1; // remember!
119            ALUOp <= 3'b110;
120        end
121        6'b100111: begin // slt rd, rs, rt
122            RegDst <= 2'b01;
123            ALUOp <= 3'b110;
124        end
125        6'b110000: begin // sw rt, imm(rs)
126            ExtSel <= 1;
127            RegWrite <= 0;
128            ALUSrcB <= 1;
129            if (state == 3'b011)
130                MemWrite <= 1;
131            else
132                MemWrite <= 0;
133        end
134        6'b110001: begin // lw rt, imm(rs)
135            ExtSel <= 1;
136            ALUSrcB <= 1;
137            DBSrc <= 1;
138        end
139        6'b110100: begin // beq rs, rt, imm
140            ExtSel <= 1;
141            RegWrite <= 0;
142            ALUOp <= 3'b001;
143            if (Zero == 1)
144                PCSrc <= 2'b10;
145            else
146                PCSrc <= 2'b00;
147        end

```

```

148         6'b110101: begin // bne rs, rt, imm      3
149             ExtSel <= 1;                          4
150             RegWrite <= 0;                          5
151             ALUOp <= 3'b001;                        6
152             if (Zero == 0) // (rs - rt == 0) ? 7
153                 1 : 0 Not equal!                    8
154                 PCSrc <= 2'b10;                      9
155             else                                    10
156                 PCSrc <= 2'b00;                      11
157             end                                     12
158         6'b110110: begin // bltz rs, imm          13
159             ExtSel <= 1;                          14
160             RegWrite <= 0;                          15
161             ALUOp <= 3'b110; // compare sign      16
162             if (Zero == 0) // a < 0 ? 1 : 0        17
163                 PCSrc <= 2'b10;                      18
164             else                                    19
165                 PCSrc <= 2'b00;                      20
166             end                                     21
167         6'b111000: begin // j addr                22
168             RegWrite <= 0;                          23
169             PCSrc <= 2'b01;                          24
170             end                                     25
171         6'b111001: begin // jr rs                 26
172             RegWrite <= 0;                          27
173             PCSrc <= 2'b11;                          28
174             end                                     29
175         6'b111010: begin // jal addr              30
176             if (state == 3'b001)                    31
177                 RegWrite <= 1;                      32
178                 RegDst <= 2'b10;                    33
179                 WrRegSrc <= 1;                      34
180                 PCSrc <= 2'b01;                      35
181             end                                     36
182         6'b111111: begin // halt                  37
183             PCWrite <= 0;                          38
184             end                                     39
185         endcase                                    40
186     end                                             41
187 endmodule                                         42

```

## IX. 算术逻辑单元(ALU)

```

1 module ALU (
2     input [2:0] op,
3     input [31:0] A,
4     input [31:0] B,
5     output reg [31:0] res,
6     output zero
7 );
8
9     initial begin
10         res = 0;
11     end
12
13     always @(op or A or B) begin
14         case (op)
15             3'b000: res = A + B;
16             3'b001: res = A - B;
17             3'b010: res = B << A; // B first!
18             3'b011: res = A | B;
19             3'b100: res = A & B;
20             3'b101: res = (A < B) ? 1 : 0;
21             3'b110: res = ((A < B && A[31] == B[31]) />
22                 both pos/neg num
23                 || (A[31] == 1 && B[31] == 0) &
24                 // A neg B pos
25                 ? 1 : 0; // not 8'h00000001 !!!
26             3'b111: res = A ^ B;
27         endcase
28
29         assign zero = (res == 0) ? 1 : 0;
30     endmodule

```

## X. 多路选择器(MUX)

```

1 module MUX (
2     input Sel,

```

```

3     input [31:0] A,
4     input [31:0] B,
5     output reg [31:0] res
6 );
7
8     always @(Sel or A or B) begin
9         res <= (Sel == 0) ? A : B;
10    end
11 endmodule
12
13 module MUX5b (
14     input [1:0] Sel,
15     input [4:0] A,
16     input [4:0] B,
17     input [4:0] C,
18     output reg [4:0] res
19 );
20
21     always @(Sel or A or B or C) begin
22         case (Sel)
23             2'b00: res <= A;
24             2'b01: res <= B;
25             2'b10: res <= C;
26         endcase
27     end
28 endmodule
29
30 module MUX4 (
31     input [1:0] Sel,
32     input [31:0] A,
33     input [31:0] B,
34     input [31:0] C,
35     input [31:0] D,
36     output reg [31:0] res
37 );
38
39     always @(Sel or A or B or C or D) begin
40         case (Sel)
41             2'b00: res <= A;
42             2'b01: res <= B;
43             2'b10: res <= C;
44             2'b11: res <= D;
45         endcase
46     end
47 endmodule
48
49 endmodule
50

```

## XI. 数据扩展器

```

1 module Extender (
2     input Sel,
3     input [15:0] dataIn,
4     output reg [31:0] dataOut
5 );
6
7     initial dataOut = 0;
8
9     always @(Sel or dataIn) begin // dataIn!!!
10         if (Sel == 0) // ZeroExt
11             dataOut = {{16{1'b0}}, dataIn[15:0]};
12         else // SignExt
13             dataOut = {{16{dataIn[15]}}, dataIn[15:0]};
14     end
15 endmodule

```

## XII. 仿真代码

```

1 module CPU_sim (
2     output [2:0] state,
3     output [1:0] RegDst,
4     output ExtSel,
5     output RegWrite, MemWrite,
6     output ALUSrcA, ALUSrcB,
7     output [2:0] ALUOp,
8     output [1:0] PCSrc,
9     output DBSrc,
10    output WrRegSrc,
11    output Zero,

```

```

12 output PCWrite,
13 output [31:0] currPC, nextPC, instruction, alu_res;
14 output [4:0] rs, rt,
15 output [31:0] d1, d2, rsData, rtData, dbData
16 );
17
18 reg clk;
19 reg reset;
20
21 CPU cpu(
22     .clk(clk),
23     .reset(reset),
24     .state(state),
25     .RegDst(RegDst),
26     .ExtSel(ExtSel),
27     .RegWrite(RegWrite),
28     .MemWrite(MemWrite),
29     .ALUSrcA(ALUSrcA),
30     .ALUSrcB(ALUSrcB),
31     .ALUOp(ALUOp),
32     .DBSrc(DBSrc),
33     .PCSrc(PCSrc),
34     .WrRegSrc(WrRegSrc),
35     .Zero(Zero),
36     .PCWrite(PCWrite),
37     .currPC(currPC),
38     .nextPC(nextPC),
39     .instruction(instruction),
40     .alu_res(alu_res),
41     .rs(rs),
42     .rt(rt),
43     .d1(d1),
44     .d2(d2),
45     .rsData(rsData),
46     .rtData(rtData),
47     .dbData(dbData)
48 );
49
50 initial begin
51     clk = 1;
52     reset = 0;
53     // wait for initialization
54     #30;
55     reset = 1;
56 end
57
58 always #50 clk = ~clk;
59
60 endmodule

```

### XIII. 分频计数器

```

1 module Counter(
2     input clr, // clear, say reset
3     input clk, // original clock
4     output reg [1:0] count_4,
5     output reg clk_seg
6 );
7
8 // display 10kHz
9 reg [16:0] count_dis; // 26 bits to store count:
10 // 2^17 > 10^5
11 always @ (posedge clk or posedge clr)
12 begin
13     if (clr == 1) // reset
14     begin
15         clk_seg <= 0;
16         count_dis <= 0;
17     end
18     else if (count_dis == 50_000 - 1) // return 0
19     begin
20         clk_seg <= ~clk_seg;
21         count_dis <= 0;
22     end
23     else
24     begin
25         clk_seg <= clk_seg;
26         count_dis <= count_dis + 1;
27     end
28 end
29
30 always @ (posedge clk_seg or posedge clr)

```

```

30 begin
31     if (clr == 1 || count_4 == 4)
32         count_4 <= 0;
33     else
34         count_4 <= count_4 + 1;
35 end
36
37 endmodule

```

### XIV. 七段数码管

```

1 module SegDisplay (
2     input [3:0] data,
3     output reg [6:0] dispcode
4 );
5
6 always @(data)
7     case(data)
8         // 0: on 1: off
9         0: dispcode = 7'b000_0001; // remember!
10        1: dispcode = 7'b100_1111;
11        2: dispcode = 7'b001_0010;
12        3: dispcode = 7'b000_0110;
13        4: dispcode = 7'b100_1100;
14        5: dispcode = 7'b010_0100;
15        6: dispcode = 7'b010_0000;
16        7: dispcode = 7'b000_1111;
17        8: dispcode = 7'b000_0000;
18        9: dispcode = 7'b000_0100;
19        10: dispcode = 7'b000_1000; // A
20        11: dispcode = 7'b110_0000; // b
21        12: dispcode = 7'b011_0001; // C
22        13: dispcode = 7'b100_0010; // d
23        14: dispcode = 7'b001_0000; // e
24        15: dispcode = 7'b011_1000; // F
25    endcase
26
27 endmodule

```

### XV. 写板电路

```

1 module Show(
2     input clk,
3     input clk_cpu, // button
4     input reset,
5     input [1:0] SW_in,
6     output reg [6:0] dispcode,
7     output reg [3:0] out
8 );
9
10 // synchronize and reduce jitter
11 reg in_detected = 1'b0;
12 reg [15:0] inhistory = 16'h0000;
13 always @(posedge clk) begin
14     inhistory = {inhistory[15:0], clk_cpu};
15     if (inhistory == 16'b0011111111111111)
16         in_detected <= 1'b1;
17     else
18         in_detected <= 1'b0;
19 end
20
21 wire [1:0] seg_num; // not reg!
22
23 Counter counter(
24     .clk(clk),
25     // output clock/counter
26     .count_4(seg_num)
27 );
28
29 reg [31:0] firstNum;
30 reg [31:0] secondNum;
31
32 initial firstNum = 0;
33 initial secondNum = 0;
34
35 wire [31:0] currPC, nextPC, rsData, rtData, dbData,
36     alu_res;
37 wire [4:0] rs, rt;
38
39 CPU cpu(
40     // input

```

```

40     .clk(in_detected),
41     .reset(reset),
42     // output
43     .currPC(currPC),
44     .nextPC(nextPC),
45     .rs(rs),
46     .rt(rt),
47     .rsData(rsData),
48     .rtData(rtData),
49     .dbData(dbData),
50     .alu_res(alu_res)
51 );
52
53 always @(SW_in) begin
54     case (SW_in)
55     2'b00: begin
56         firstNum <= currPC;
57         secondNum <= nextPC;
58     end
59     2'b01: begin
60         firstNum <= {{27{1'b0}},rs};
61         secondNum <= rsData;
62     end
63     2'b10: begin
64         firstNum <= {{27{1'b0}},rt};
65         secondNum <= rtData;
66     end
67     2'b11: begin
68         firstNum <= alu_res;
69         secondNum <= dbData;
70     end
71 endcase
72 end
73
74 SegDisplay seg1(
75     .data(firstNum[7:4])
76     // .dispcode
77 );
78
79 SegDisplay seg2(
80     .data(firstNum[3:0])
81     // .dispcode
82 );
83
84 SegDisplay seg3(
85     .data(secondNum[7:4])
86     // .dispcode
87 );
88
89 SegDisplay seg4(
90     .data(secondNum[3:0])
91     // .dispcode
92 );
93
94 always @ (seg_num or firstNum or secondNum)
95     case (seg_num)
96     0: begin
97         out = 4'b1110;
98         dispcode = seg4.dispcode;
99     end

```

```

100     1: begin
101         out = 4'b1101;
102         dispcode = seg3.dispcode;
103     end
104     2: begin
105         out = 4'b1011;
106         dispcode = seg2.dispcode;
107     end
108     3: begin
109         out = 4'b0111;
110         dispcode = seg1.dispcode;
111     end
112 endcase
113
114 endmodule

```

## XVI. 限制文件(constraints.xdc)

```

1 set_property PACKAGE_PIN W5 [get_ports clk]
2 set_property PACKAGE_PIN T17 [get_ports clk_cpu]
3 set_property PACKAGE_PIN V17 [get_ports reset]
4 set_property PACKAGE_PIN R2 [get_ports {SW_in[1]}]
5 set_property PACKAGE_PIN T1 [get_ports {SW_in[0]}]
6 set_property PACKAGE_PIN W4 [get_ports {out[3]}]
7 set_property PACKAGE_PIN V4 [get_ports {out[2]}]
8 set_property PACKAGE_PIN U4 [get_ports {out[1]}]
9 set_property PACKAGE_PIN U2 [get_ports {out[0]}]
10 set_property PACKAGE_PIN W7 [get_ports {dispcode[6]}]
11 set_property PACKAGE_PIN W6 [get_ports {dispcode[5]}]
12 set_property PACKAGE_PIN U8 [get_ports {dispcode[4]}]
13 set_property PACKAGE_PIN V8 [get_ports {dispcode[3]}]
14 set_property PACKAGE_PIN U5 [get_ports {dispcode[2]}]
15 set_property PACKAGE_PIN V5 [get_ports {dispcode[1]}]
16 set_property PACKAGE_PIN U7 [get_ports {dispcode[0]}]
17
18 set_property IOSTANDARD LVCMOS33 [get_ports clk]
19 set_property IOSTANDARD LVCMOS33 [get_ports clk_cpu]
20 set_property IOSTANDARD LVCMOS33 [get_ports reset]
21 set_property IOSTANDARD LVCMOS33 [get_ports {SW_in[1]}]
22 set_property IOSTANDARD LVCMOS33 [get_ports {SW_in[0]}]
23 set_property IOSTANDARD LVCMOS33 [get_ports {out[3]}]
24 set_property IOSTANDARD LVCMOS33 [get_ports {out[2]}]
25 set_property IOSTANDARD LVCMOS33 [get_ports {out[1]}]
26 set_property IOSTANDARD LVCMOS33 [get_ports {out[0]}]
27 set_property IOSTANDARD LVCMOS33 [get_ports {dispcode
    [6]}]
28 set_property IOSTANDARD LVCMOS33 [get_ports {dispcode
    [5]}]
29 set_property IOSTANDARD LVCMOS33 [get_ports {dispcode
    [4]}]
30 set_property IOSTANDARD LVCMOS33 [get_ports {dispcode
    [3]}]
31 set_property IOSTANDARD LVCMOS33 [get_ports {dispcode
    [2]}]
32 set_property IOSTANDARD LVCMOS33 [get_ports {dispcode
    [1]}]
33 set_property IOSTANDARD LVCMOS33 [get_ports {dispcode
    [0]}]

```