

数电实验6报告

17341015 数据科学与计算机学院

计科一班 陈鸿峥

1 内容一

1.1 实验目的

实现数据分配器的电路

1.2 实验原理

译码器的 $\overline{G2A}, \overline{G2B}$ 接低电平，当 $G1$ 为低电平时， $Y0 \sim Y7$ 均输出高电平；当 $G1$ 为高电平时， $Y0 \sim Y7$ 根据地址输入选择相应的输出端输出低电平。真值表如下所示

S2	S1	S0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	$\overline{G1}$	1	1	1	1	1	1	1
0	0	1	1	$\overline{G1}$	1	1	1	1	1	1
0	1	0	1	1	$\overline{G1}$	1	1	1	1	1
0	1	1	1	1	1	$\overline{G1}$	1	1	1	1
1	0	0	1	1	1	1	$\overline{G1}$	1	1	1
1	0	1	1	1	1	1	1	$\overline{G1}$	1	1
1	1	0	1	1	1	1	1	1	$\overline{G1}$	1
1	1	1	1	1	1	1	1	1	1	$\overline{G1}$

由表中可直接得到逻辑表达式，并得出连线，故不再画卡诺图化简

$$Y0 = \overline{S2S1S0G1} \quad Y1 = \overline{S2S1S0G1}$$

$$Y2 = \overline{S2S1S0G1} \quad Y3 = \overline{S2S1S0G1}$$

$$Y4 = \overline{S2S1S0G1} \quad Y5 = \overline{S2S1S0G1}$$

$$Y6 = \overline{S2S1S0G1} \quad Y7 = \overline{S2S1S0G1}$$

1.3 实验细节

1.3.1 实验仪器及器件

1. 数字电路实验箱、示波器、导线若干
2. 74LS138*1, 74LS197*1

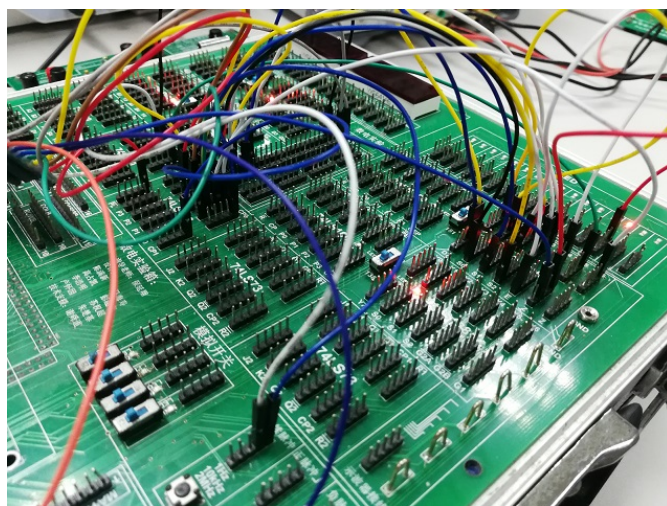
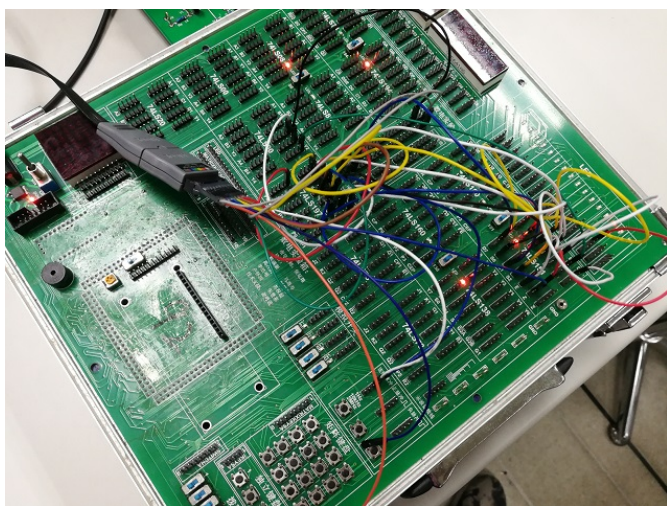
1.3.2 实验流程

1. 将74LS197连接成十六进制作为电路的输入信号源： $\overline{PL}, \overline{MR}$ 接高电平，CP0接时钟输入(10kHz)，Q3,Q2,Q1,Q0分别接译码器的G1,S2,S1,S0，用示波器观察并记录CP0,G1,S2,S1,S0和Y0~Y7的波形
2. 将74LS138的G1接高电平， $\overline{G2A}, \overline{G2B}$ 均与74LS197输出端Q3相连，Q2,Q1,Q0依次与S2,S1,S0相连，用示波器观测并记录CP0,G1,S2,S1,S0和Y0~Y7的波形

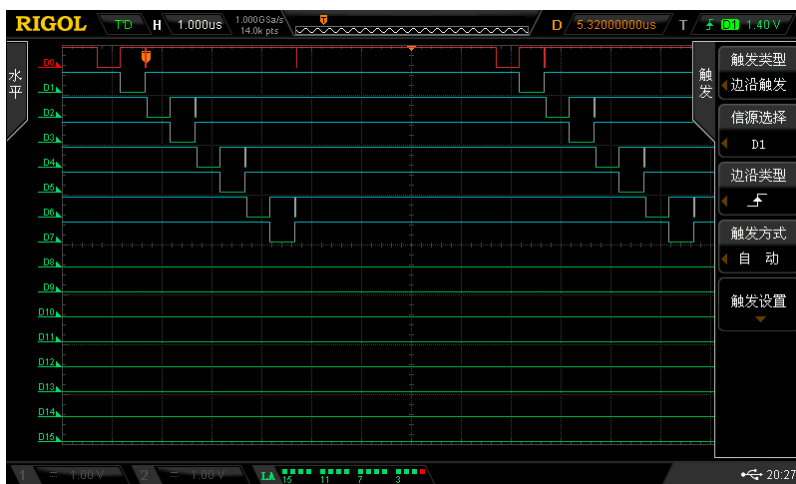
1.4 结果分析及结论

静态测试：接01显示器显示正常

动态测试：实验箱连线如下



波形图如下



可以明显看出当输入S2,S1,S0每八个一循环时， $\overline{G1}$ 也依次在不同的位置输出

2 内容二

2.1 实验目的

实现一个逻辑单元(LU, Logic Unit)

2.2 实验原理

逻辑单元功能如下

M1	M0	Y
0	0	AB
0	1	$A+B$
1	0	$A\oplus B$
1	1	\overline{A}

真值表如下

M1	M0	A	B	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1

M1	M0	A	B	Y
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

将S2,S1,S0分别与输入Q3,Q2,Q1相连, 作为M1,M0,A; Q0依据一定规则与数据输入端相连, 作为B; 即输出是通过比较B与Y的异同决定.

分析表格, 并由数字选择器的原理可知 $D0, D7 = 0$, $D1, D2, D4 = Q0$, $D3, D6 = 1$, $D5 = \overline{Q0}$

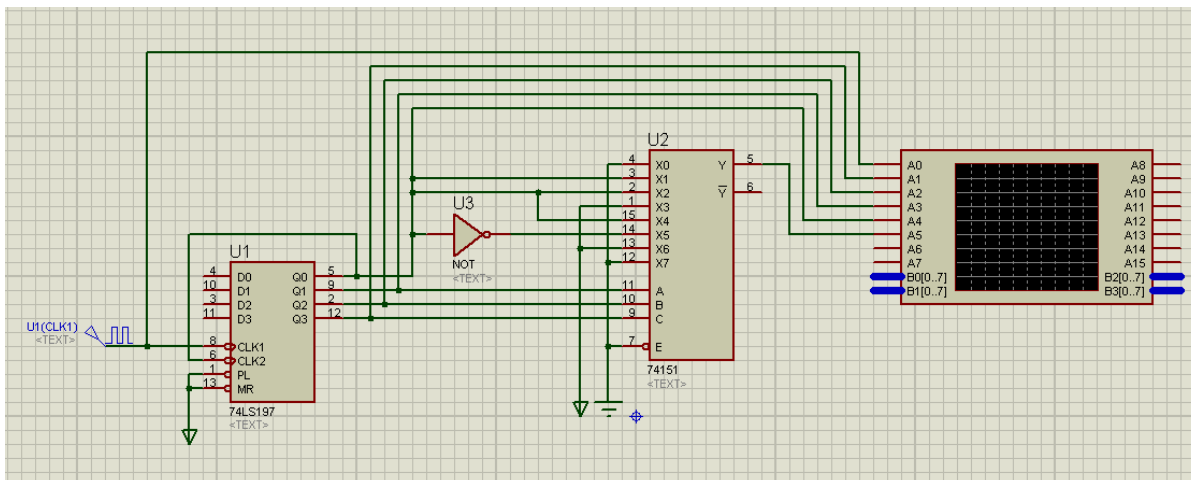
2.3 实验细节

2.3.1 实验仪器及器件

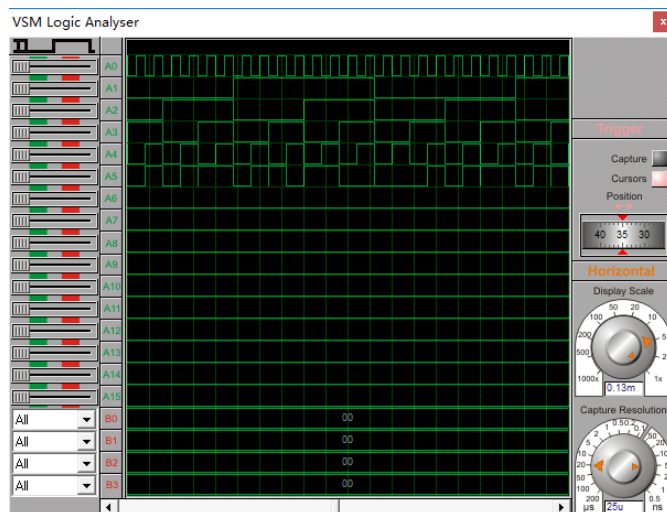
1. 数字电路实验箱、示波器、导线若干
2. 74LS151*1, 74LS197*1

2.3.2 Protues电路设计及仿真

设计电路如下



示波器的A0,A1,A2,A3,A4,A5分别对应CP,M1,M0,A,B,Y，结果波形图如下



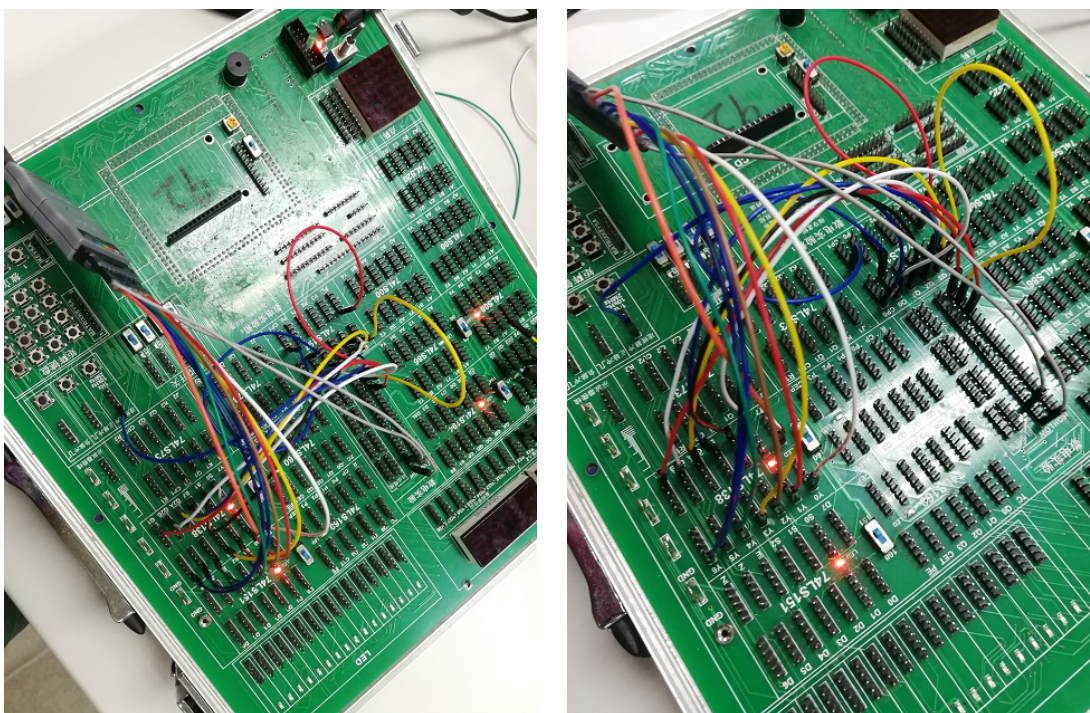
2.3.3 实验流程

1. 将74LS197连接成十六进制作为电路的输入信号源： $\overline{PL}, \overline{MR}$ 接高电平，CP0接时钟输入
2. 74LS151的连线与Protues仿真示例相同
3. 用示波器观测并记录CP,M1,M0,A,B,Y的波形

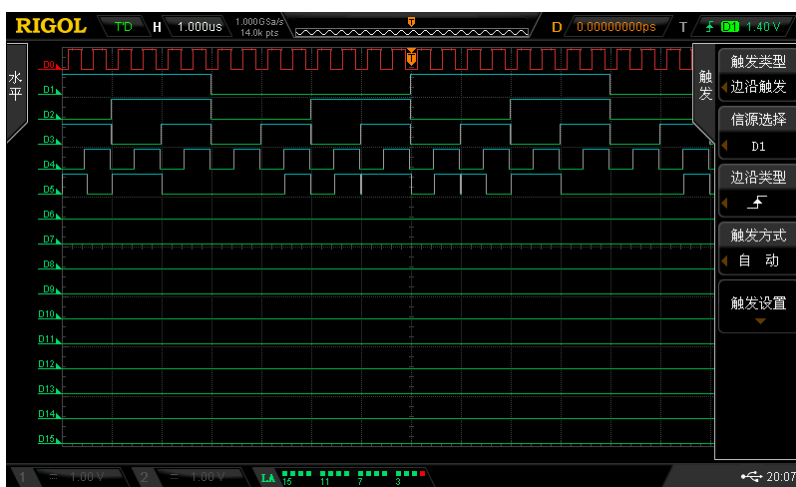
2.4 结果分析及结论

静态测试：接01显示器显示正常

动态测试：实验箱连线如下



波形图如下



由波形图可见，符合逻辑单元的要求输出

2.5 Bayse板电路实现

Verilog程序如下，LU单元

```
module LU (
    input wire [1:0] op,
    input wire A,
    input wire B,
    output reg res
);
```



```

always @(*) begin
case (op)
    2'b00: res <= A & B;
    2'b01: res <= A | B;
    2'b10: res <= A^B;
    2'b11: res <= ~A;
endcase
end

```

endmodule

16进制分频计数器

// 100MHz → 1Hz

```

module Counter(
    input wire clr, // clear, say reset
    input wire clk, // clock
    output reg [3:0] out // 4 bits output
);

// time counter
localparam MAXCOUNT = 50_000_000; // 0.5s
reg [25:0] count; // 26 bits to store count: 2^26 > 5*10^7
always @ (posedge clk or posedge clr)
begin
    if (clr == 1) // reset
        count <= 0;
    else if (count == MAXCOUNT - 1) // return 0
        count <= 0;
    else
        count <= count + 1;
end

// frequency divisor (flip-flop)
reg clk_div;
always @ (posedge clk, posedge clr)
begin
    if (clr == 1)
        clk_div <= 0;
    else if (count == MAXCOUNT - 1) // reset
        clk_div <= ~clk_div;
    else // set
        clk_div <= clk_div;
end

```

```
// hex counter
always @ (posedge clk_div , posedge clr)
begin
    if (clr == 1)
        out <= 0;
    else if (clk_div == 1)
        out <= out + 1;
    else
        out <= out;
end
```

endmodule

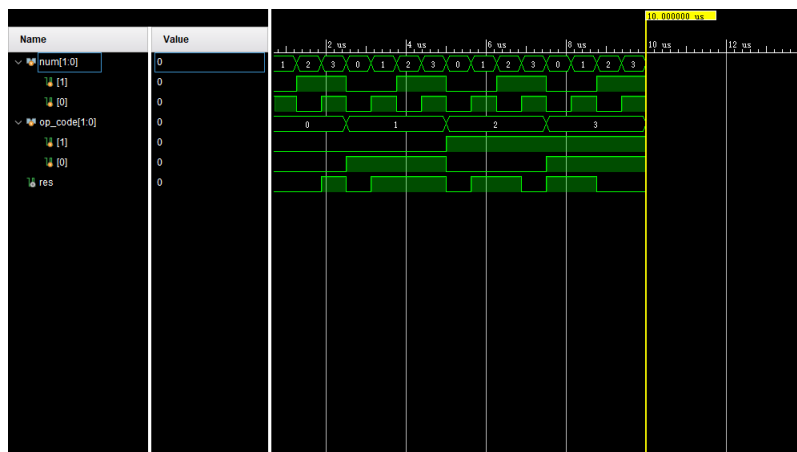
顶层封装

```
module wrapper (
    input clk ,
    output wire A,
    output wire B,
    output wire [1:0] op_code ,
    output wire res
);

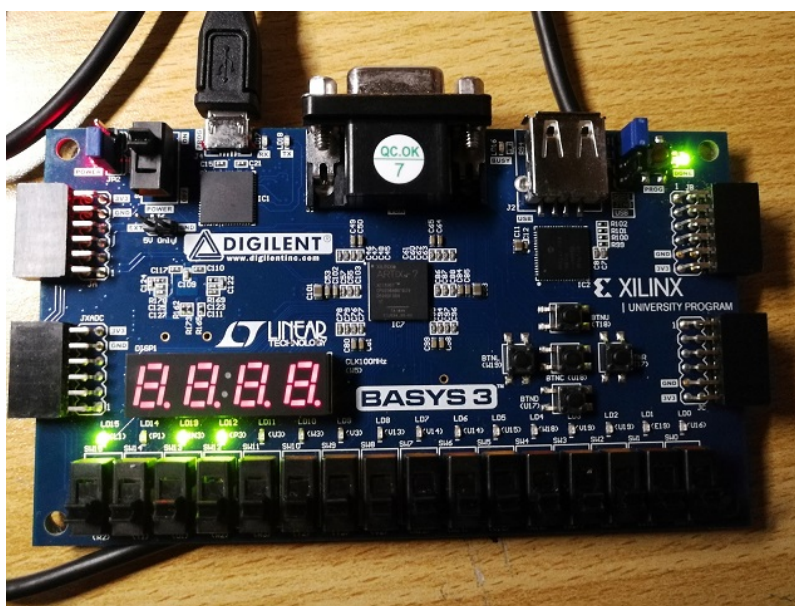
    wire [2:0] out;
    Counter Counter(.clr(clr), .clk(clk), .out({op_code, A, B}));
    LU LU(.op(op_code), .A(A), .B(B), .res(res));

endmodule
```

Vivado内模拟仿真如下



由于无法放入动态图，故只放一张静态图，如下，LD15,LD14,LD13,LD12,LD11分别为M1,M0,A,B,Y



3 内容三

3.1 实验目的

实现一个算术单元(AU, Arithmetic Unit)—半加半减器

3.2 实验原理

真值表如下所示

M	A	B	Y	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

由表可立得Y和C的表达式，以乘积之和(SOP)的形式表示

$$Y = m_{1,2,5,6}, C = m_{3,5}$$

由于这种形式可直接得到数据选择器或数据分配器的连线方式，故不需卡诺图进行构造化简

3.3 实验细节

3.3.1 实验仪器及器件

1. 数字电路实验箱、示波器、导线若干
2. 74LS197*1
3. 74LS151*2或74LS138*1+74LS20*2

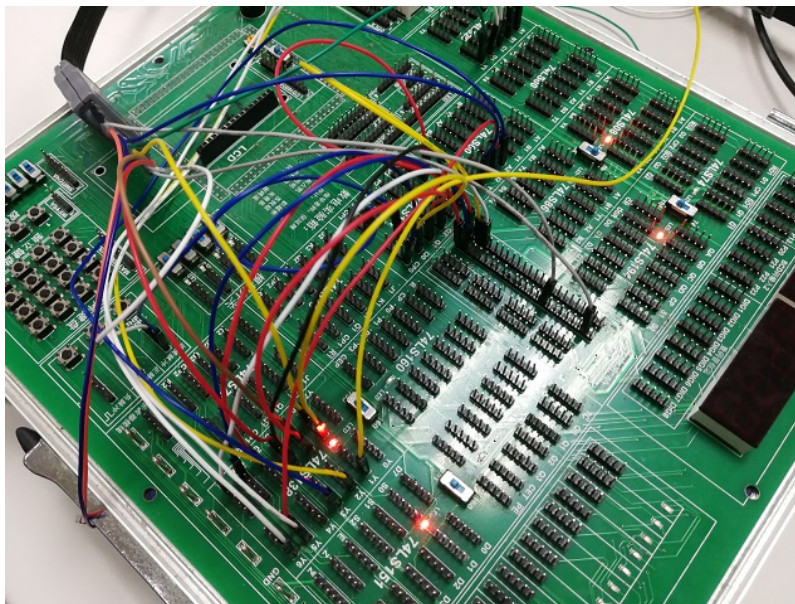
3.3.2 实验流程

1. 将74LS197连接成十六进制作为电路的输入信号源： $\overline{PL}, \overline{MR}$ 接高电平，CP0接时钟输入
2. 第一个74LS151的S2,S1,S0分别接Q2,Q1,Q0，D1,D2,D5,D6接高电平，其余接低电平；
第二个74LS151的S2,S1,S0分别接Q2,Q1,Q0，D3,D5接高电平，其余接低电平
3. 或者74LS138的 $\overline{G2A}, \overline{G2B}$ 接低电平，G1接高电平，Y1,Y2,Y5,Y6接第一个与非门(74LS20)输出Y，
Y3,Y5接第二个与非门输出C
4. 用示波器观测并记录CP,M,A,B,Y,C的波形

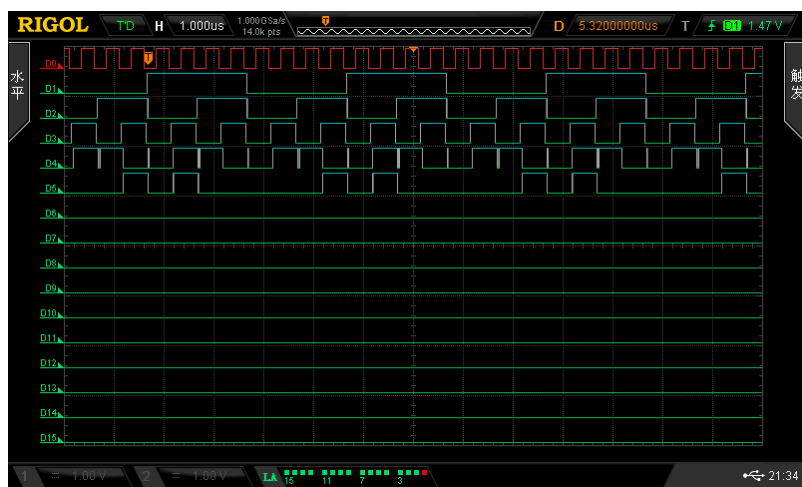
3.4 结果分析及结论

静态测试：接01显示器显示正常

动态测试：实验箱连线如下



波形图如下



由波形图可见，符合算术单元的要求输出