

（深圳）

实验报告

开课学期： 2019秋季

课程名称：数字逻辑设计（实验）

实验名称： 快递柜设计

实验性质： 综合设计型

实验学时： 6 地点： T2614

学生班级： 1801107

学生学号： 180110710

学生姓名： 陈妮娜

评阅教师：

报告成绩：

实验与创新实践教育中心制

2019年12月

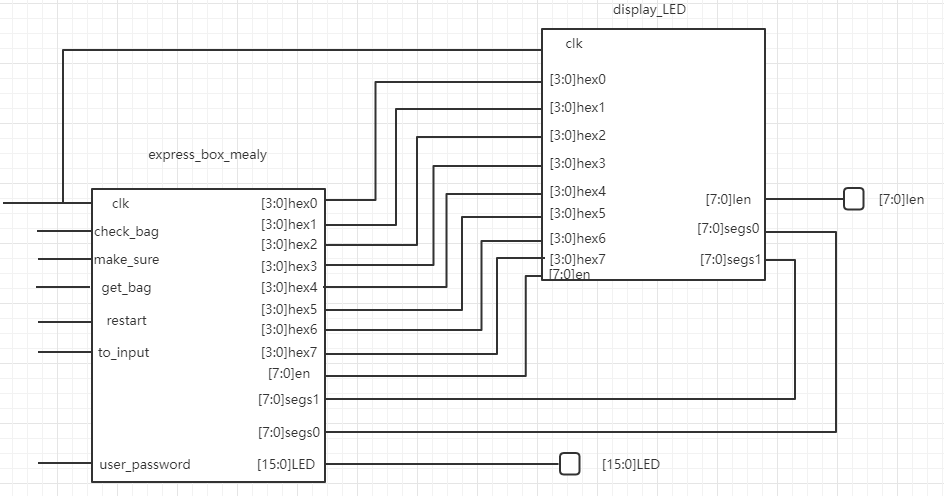
1. **实验项目**

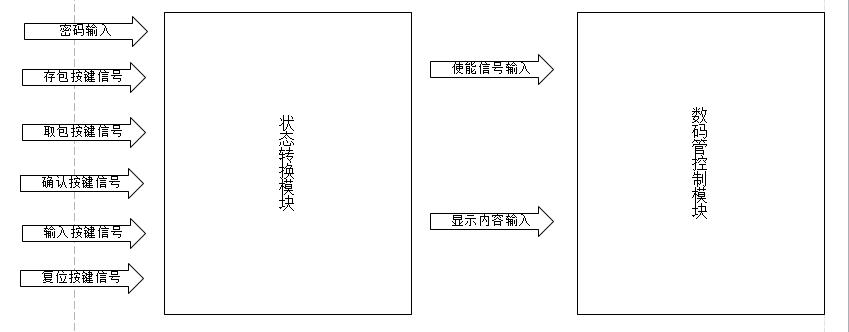
**快递柜设计**

1. **系统功能详细设计及实现**
2. **对系统进行详细设计描述**，用硬件框图描述系统主要功能及各模块之间的相互关系；（此部分内容为本报告重点内容，需详细描述）
3. 设计描述

程序主要由两个模块组成，一个是状态转换模块，另一个是数码管显示模块。状态转移express\_box\_mealy模块接收按键信号输入以及拨码开关密码输入，转化为所需的数值后进入状态转换。总共分为十一种状态，在下一部分详细介绍，此处不再赘述。显示模块根据接收到的hex0~7和条件使能信号en和len，通过扫描在相应的数码管显示相应的数字。

1. 模块关系





1. 给出状态描述及状态转换图；

状态描述：

S0:欢迎界面状态

S1：存包第一步：生成随机包数

S2：存包第二步：根据生成的包数x，找到第x个空箱子，提供给用户

S3：生成存包界面后，等待按键的状态

S4：取包界面状态并且等待用户输入密码

S5：用户按下“输入”键后的状态

S6：用户输入正确密码后LED灯闪烁的状态

S7：用户输入密码错误后数码管显示八个8的状态

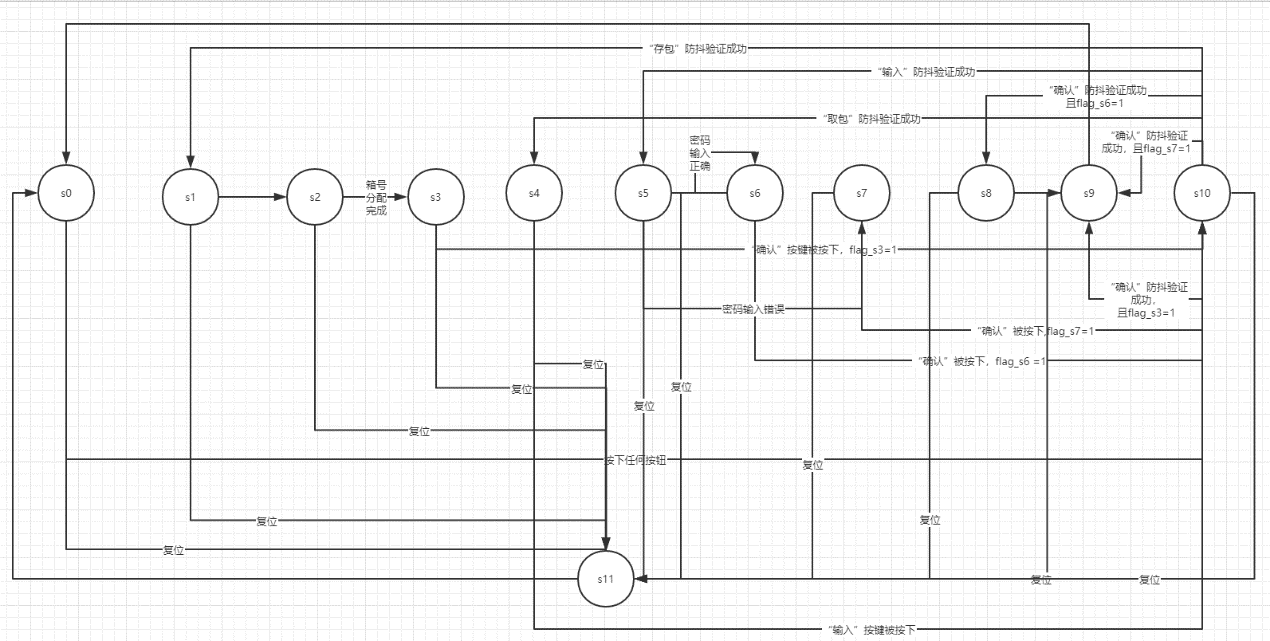
S8：取物成功后空箱数+1的状态

S9：返回欢迎界面之前，将LED灯改回欢迎界面的LED灯状态

S10：按键消抖状态

S11：复位状态

状态转换图：



1. 模块描述：包括模块功能，输入、输出端口及变量含义。

主模块：

express\_box\_mealy(clk,check\_bag,make\_sure,get\_bag,user\_password,restart,to\_input,LED,segs0,segs1,len);

模块功能：进行快递柜的各种功能状态转换

输入端口：

input clk;//输入时钟信号

input check\_bag;//"存包"按键信号

input make\_sure;//"确认"按键信号

input get\_bag;//"取包"按键信号

input [15:0]user\_password;//用户输入密码

input restart;//"复位"信号输入

input to\_input;//输入按键信号

output reg [15:0]LED = 16'hffff;//显示LED灯

output wire[7:0] segs0;//左四数码管图案

output wire[7:0] segs1;//右四数码管图案

output wire[7:0] len;//数码管使能

子模块：

display\_LED d(clk,en,hex0,hex1,hex2,hex3,hex4,hex5,hex6,hex7,segs0,segs1,len);

模块功能：控制八位数码管的显示内容，以及是否显示

输入端口：

input clk;//时钟信号

input [7:0] en;//控制8个数码管的亮灭

input [3:0] hex0;//控制右边四位数码管中的内容

input [3:0] hex1;

input [3:0] hex2;

input [3:0] hex3;

input [3:0] hex4;//控制左四位数码管中的内容

input [3:0] hex5;

input [3:0] hex6;

input [3:0] hex7;

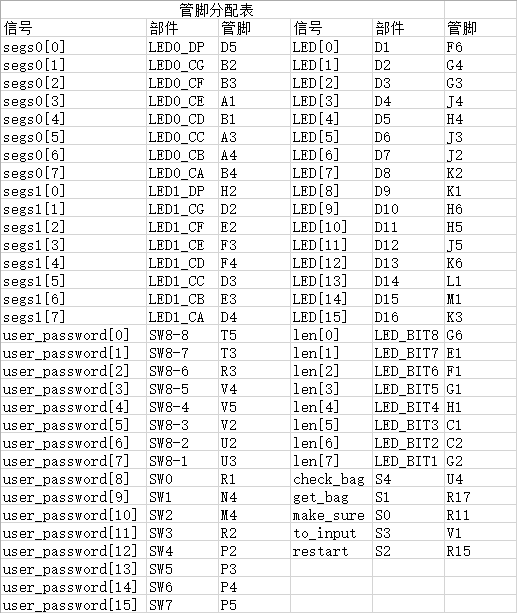
输出端口：

output reg[7:0] len = 8'b00010001;//亮灯位

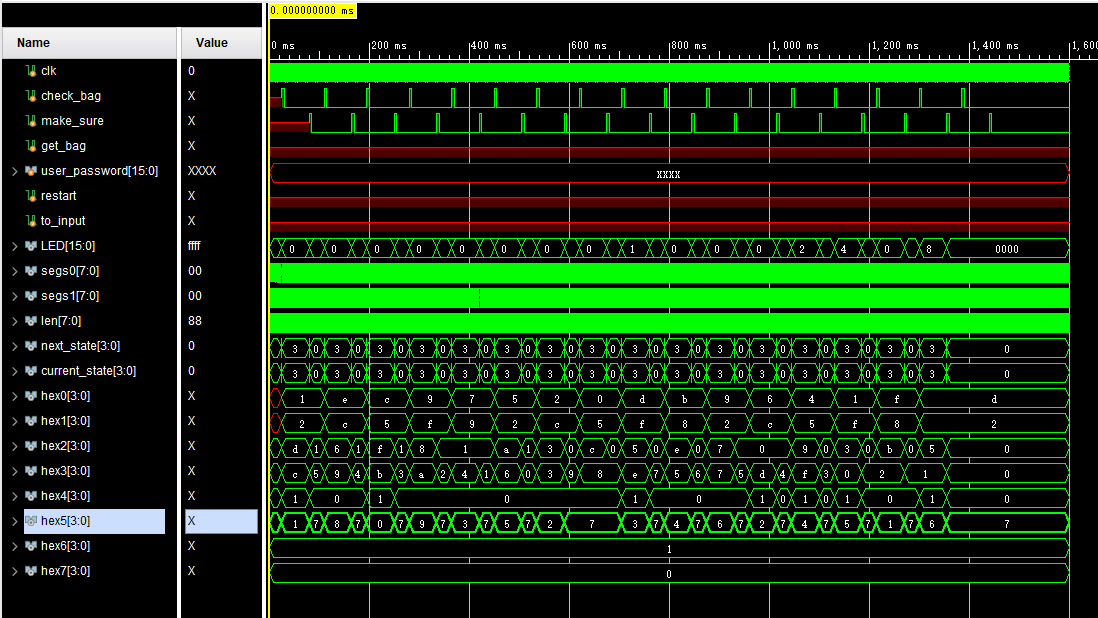
output reg[7:0] segs0;//左四数码管图案

output reg[7:0] segs1;//右四数码管图案

1. 管脚分配表。



1. **调试报告**
2. 仿真界面截图及仿真数据分析



check\_bag表示存包按键，1表示按下，0表示松开；

make\_sure表示确认按键，1表示按下，0表示松开；

current\_state表示现在的状态，0是欢迎状态，3是存包状态；

next\_state表示次态，0是欢迎状态，3是存包状态，由于在100MHz的clk上升沿中将curren\_state 用 next\_state赋值，因此仿真图中两者几乎是相等的，但实际有一个clk的延时。

图中按了17次存包键，最后一次按下仍然保持为欢迎界面状态，与要求一致；hex0~hex3表示右边四个数码管显示的数字，在状态0时（欢迎界面）显示为空箱数：15、14、13……到最后显示为0；hex4~hex7为左边四位数码管显示的内容，在状态0时（欢迎界面）显示班级学号（0710），其中hex6和hex7始终为10，在状态3时hex6和hex7对应的数码管不亮，hex4和hex5显示随机箱号。

1. 出现的问题、分析原因及解决方案

* 问题：在下板子的时候快递柜状态直接进入15个空箱的状态，且按键经常失灵、不够灵敏。
* 分析原因：可能是因为没有防抖模块，下板子时各个按键存在抖动的情况造成的状态错乱。
* 解决方案：在主程序状态机中加入了一个防抖验证状态，顺利解决了问题，并且按键也变得“顺滑”。

1. **总结及实验课程感想**

自己解决问题的过程和收获

经过六次实验课，从最初对verilog一无所知、一窍不通，在前三次实验课中按部就班的跟着指导书做，只对语法等知识略微了解了一些，但也为之后的实验打下了坚实的基础；到实验四的八段数码管，难度直接上升了几个台阶，不过在努力克服之后，收获到了很多知识，之后的实验五和实验六更是收货颇丰，尤其是实验六的大作业，是之前所有实验内容的综合考察，锻炼了我的综合代码能力，对FPGA的开发又加深了一层认识。

经过几次的实验，深深感受到硬件语言和软件语言之间的区别，不可否认的是，Verilog和C语言极大的相似度给我们的学习带来了便利，但当我们带着C语言的思路编写Verilog程序时，却也吃了不少亏，例如阻塞赋值和非阻塞赋值混用，导致赋值混乱，但作为软件的仿真步骤有时能得到正确的结果，但一下板子就发现事情并没有那么简单，硬件的思路和软件有很多不同，在实验中不断摸索前进，最终终于写出了硬件能理解的、逻辑较为简单的语句，成功实现了功能。

最后感谢实验课的所有老师和助教，在实验课上给了我们很大的帮助，让我们少走了很多弯路。