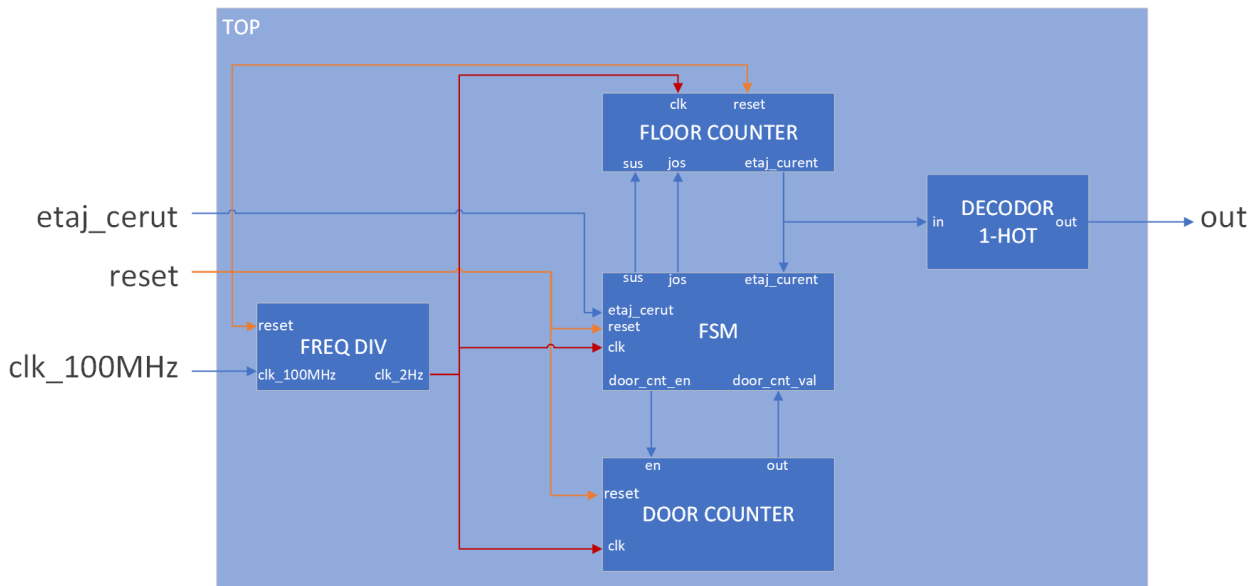
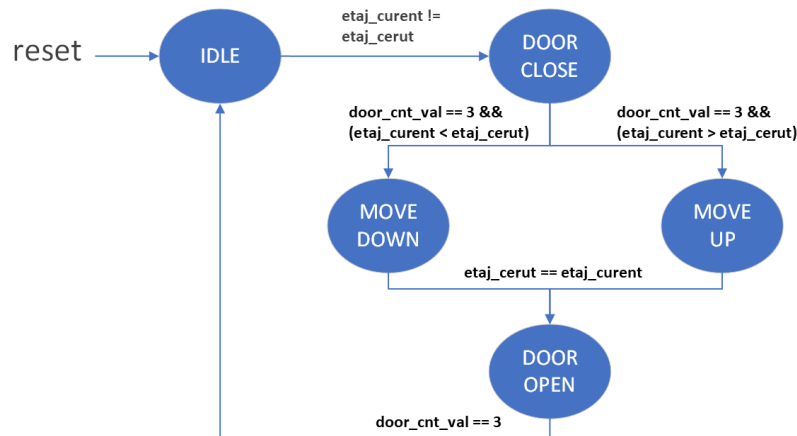


Rezolvati cerintele de mai jos avand in vedere urmatorul circuit:



- (20p) Implementati urmatoarele module
  - (3p) **FREQ\_DIV**: divizor de frecventa al carui ceas de intrare are frecventa 100MHz. Ceasul de la iesire trebuie sa aiba frecventa 2Hz.
  - (3p) **FLOOR\_COUNTER**: numarator pe 3 biti care va numara crescator daca intrarea 'sus' este 1 si descrescator daca intrarea 'jos' este 1
  - (3p) **DOOR\_COUNTER**: numarator pe 2 biti care va numara crescator daca intrarea 'en' are valoarea 1. Cand intrarea 'en' este 0, iesirea va deveni 0
  - (5p) **FSM**: automat care implementeaza urmatoarea diagrama:



Iesirile depind de starea curenta astfel:

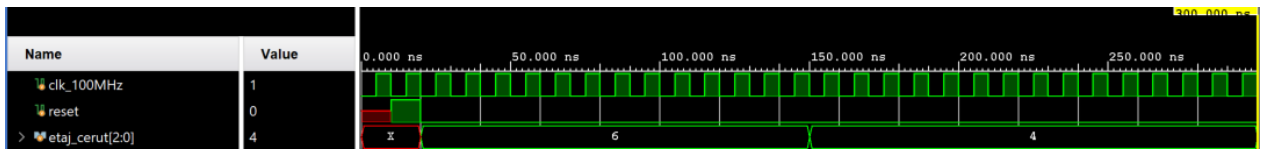
'door\_cnt\_en' este 1 cand starea curenta este DOOR\_OPEN sau DOOR\_CLOSE

'sus' este 1 cand starea curenta este MOVE\_UP si etaj\_cerut != etaj\_curent

'jos' este 1 cand starea curenta este MOVE\_DOWN si etaj\_cerut != etaj\_curent

- (3p) **DECODOR\_1HOT**: decodor 1-hot cu intrare pe 3 biti si iesire pe 8 biti. Iesirea va avea 1 doar pe bitul de la indexul egal cu intrarea, 0 in rest
- (3p) **TOP**, conform figurii. Intrarea etaj\_cerut este pe 3 biti.

- **(5p) Simulare:**



- **(5p)** Implementare pe FPGA:
  - etaj\_cerut: SW2-SW0
  - reset: BTN0
  - out: LED7-LED0

Observatii:

- Toate circuitele care folosesc reset vor fi implementate cu **reset asincron**