

Міністерство освіти і науки України
Національний університет “Львівська політехніка”

Кафедра ЕОМ



Звіт

З лабораторної роботи №1

З дисципліни: «Моделювання комп'ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA»

Варіант 25

Виконав: ст. гр. КІ-21

Фундальська Д. І.

Прийняв:

Козак Н. Б.

Львів 2024

Мета роботи:

Інсталиювати та ознайомитися з середовищем розробки Xilinx ISE.
Ознайомитися зі стендом Elbert V2 – Spartan 3A FPGA.

Етапи роботи:

1. Інсталяція Xilinx ISE та додавання ліцензії. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACKTM
2. Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файала та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Варіант виконання роботи:

Мій номер в списку – 25. Нижче наведена таблиця вхідних та вихідних сигналів для мого варіанту.

Табл.1.1. Вхідні та вихідні сигнали.

in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
0	0	0	0	1	0	0	1	1	1
0	0	0	1	1	0	0	0	0	1
0	0	1	0	0	0	0	0	1	1
0	0	1	1	1	0	0	0	0	1
0	1	0	0	0	0	1	0	0	1
0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	0	0	0	0	1
0	1	1	1	0	0	0	0	0	1
1	0	0	0	0	1	0	0	0	0
1	0	0	1	0	1	0	0	0	0
1	0	1	0	1	1	0	0	0	0
1	0	1	1	1	1	0	1	1	0
1	1	0	0	1	1	0	0	0	0
1	1	0	1	0	1	0	1	1	0
1	1	1	0	0	1	0	0	1	0
1	1	1	1	0	1	0	1	1	0

Мінімізація формул вихідних сигналів:

OUT_0 =

SUM of PRODUCTS

Map

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	1	0	0	1
$\overline{A}B$	0	0	0	0
$A\overline{B}$	0	1	1	1
AB	0	0	1	0

Map Layout

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	0	1	3	2
$\overline{A}B$	4	5	7	6
$A\overline{B}$	12	13	15	14
AB	8	9	11	10

Groups

(0,2)	$\overline{A}\overline{B}\overline{D}$
(11,15)	$A\overline{C}D$
(13,15)	$A\overline{B}D$
(14,15)	$A\overline{B}C$

$$y = A'B'D' + ACD + ABD + ABC$$

OUT_1 =

SUM of PRODUCTS

Map

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A}.\overline{B}$	1	1	1	1
$\overline{A}.B$	1	1	1	1
$A.\overline{B}$	0	0	0	0
$A.B$	0	0	0	0

Map Layout

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A}.\overline{B}$	0	1	3	2
$\overline{A}.B$	4	5	7	6
$A.\overline{B}$	12	13	15	14
$A.B$	8	9	11	10

Groups

$(0,1,2,3,4,5,6,7)$	\overline{A}
---------------------	----------------

$y = A'$

OUT_2 =

Map

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	1	1	1	0
$\overline{A}B$	0	1	0	0
$A\overline{B}$	1	0	0	0
AB	0	0	1	1

Map Layout

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	0	1	3	2
$\overline{A}B$	4	5	7	6
$A\overline{B}$	12	13	15	14
AB	8	9	11	10

Groups

(0,1)	$\overline{A}\overline{B}\overline{C}$
(1,3)	$\overline{A}\overline{B}D$
(1,5)	$A\overline{C}\overline{D}$
(10,11)	$A\overline{B}C$
(12)	$A\overline{B}\overline{C}\overline{D}$

$$y = A'B'C' + A'B'D + A'C'D + AB'C + ABC'D'$$

OUT_3 =

SUM of PRODUCTS

Map

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A.B}$	0	0	0	0
$\overline{A}.B$	0	0	0	0
$A.B$	1	1	1	1
$A.\overline{B}$	1	1	1	1

Map Layout

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A.B}$	0	1	3	2
$\overline{A}.B$	4	5	7	6
$A.B$	12	13	15	14
$A.\overline{B}$	8	9	11	10

Groups

(8,9,10,11,12,13,14,15)	A
-------------------------	---

y = A

OUT_4 =

Map

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	1	0	0	0
$\overline{A}B$	0	0	0	0
$A\overline{B}$	0	1	1	0
AB	0	0	1	0

Map Layout

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	0	1	3	2
$\overline{A}B$	4	5	7	6
$A\overline{B}$	12	13	15	14
AB	8	9	11	10

Groups

(11,15)	$A.C.D$
(13,15)	$A.B.D$
(0)	$\overline{A}\overline{B}.\overline{C}\overline{D}$

$$y = ACD + ABD + A'B'C'D'$$

OUT_5 =

SUM of PRODUCTS

Map

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	0	0	0	0
$\overline{A}B$	1	0	0	0
AB	0	0	0	0
$A\overline{B}$	0	0	0	0

Map Layout

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	0	1	3	2
$\overline{A}B$	4	5	7	6
AB	12	13	15	14
$A\overline{B}$	8	9	11	10

Groups

(4)	$\overline{A}B\overline{C}\overline{D}$
-----	---

Виконання роботи:

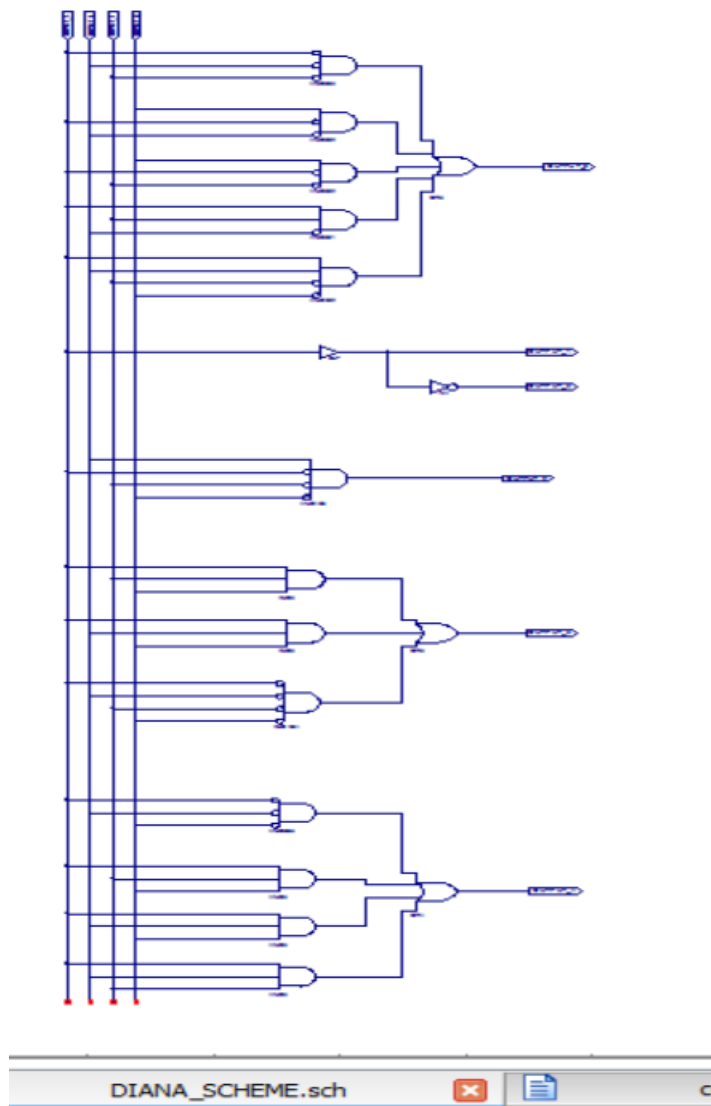


Рис 1.1. Схема.

```

1  CONFIG VCCAUX = "3.3" ;
2
3  ##### LED #####
4  #
5  #####
6
7  NET "OUTPUT_0"      LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
8  NET "OUTPUT_1"      LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
9  NET "OUTPUT_2"      LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
10 NET "OUTPUT_3"      LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
11 NET "OUTPUT_4"      LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
12 NET "OUTPUT_5"      LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
13
14 ##### DP Switches #####
15 #
16 #####
17
18 NET "INPUT_0"        LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
19 NET "INPUT_1"        LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
20 NET "INPUT_2"        LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
21 NET "INPUT_3"        LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

```

Рис 1.2. Файл з призначенням фізичних входів та виходів для сигналів.

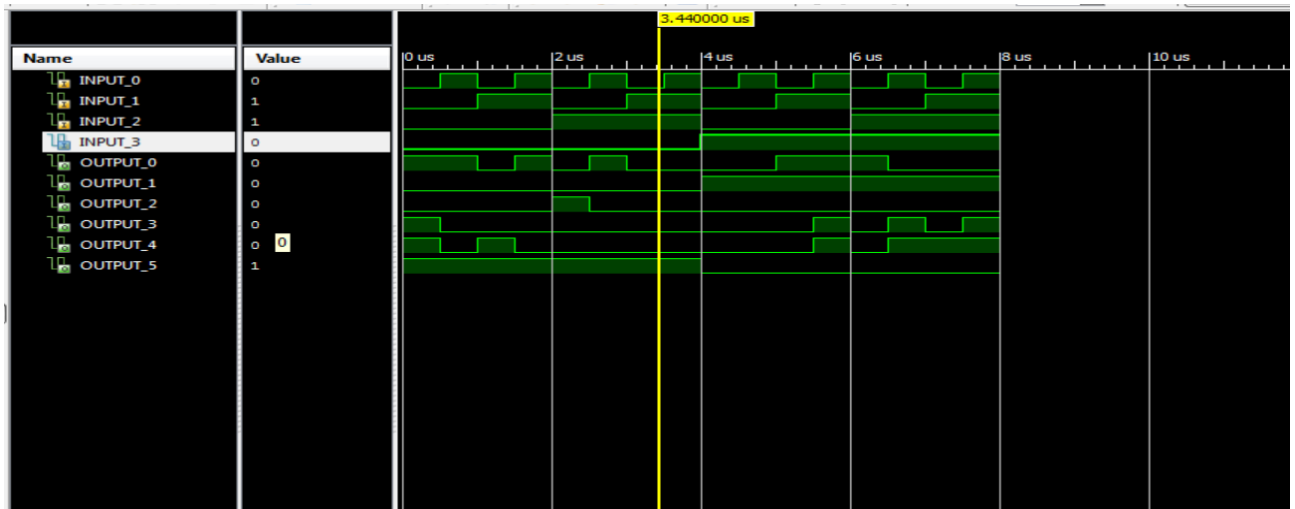
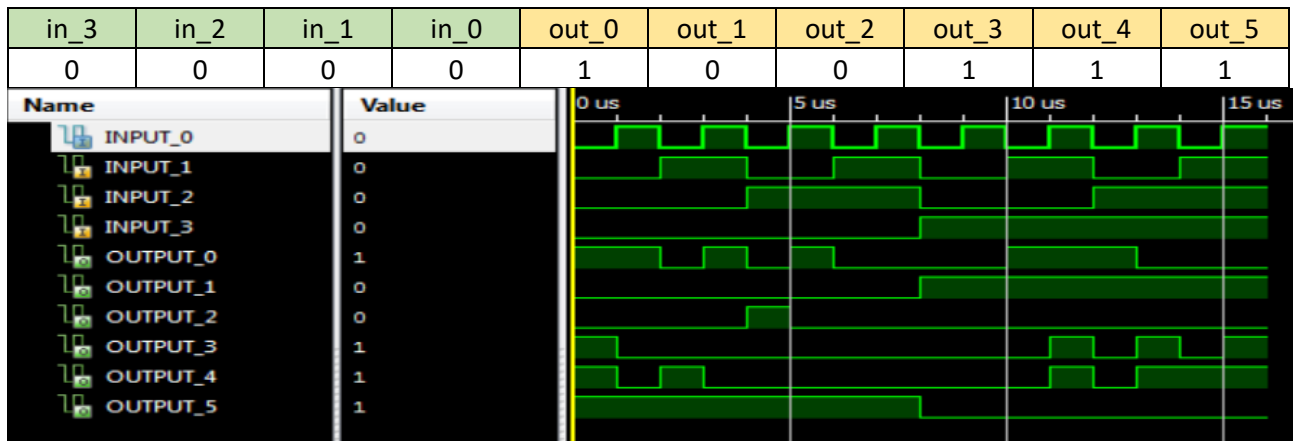
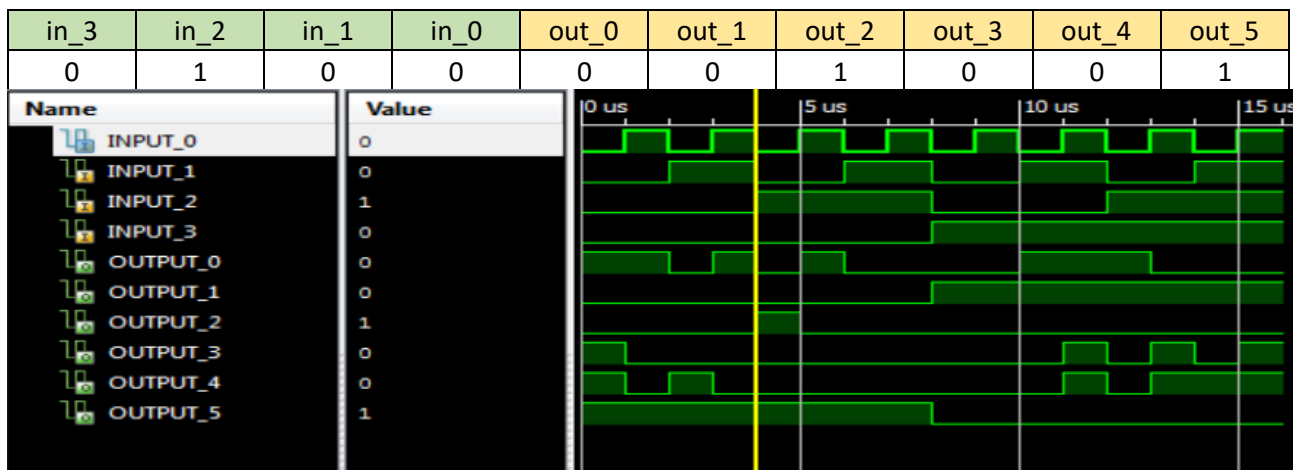
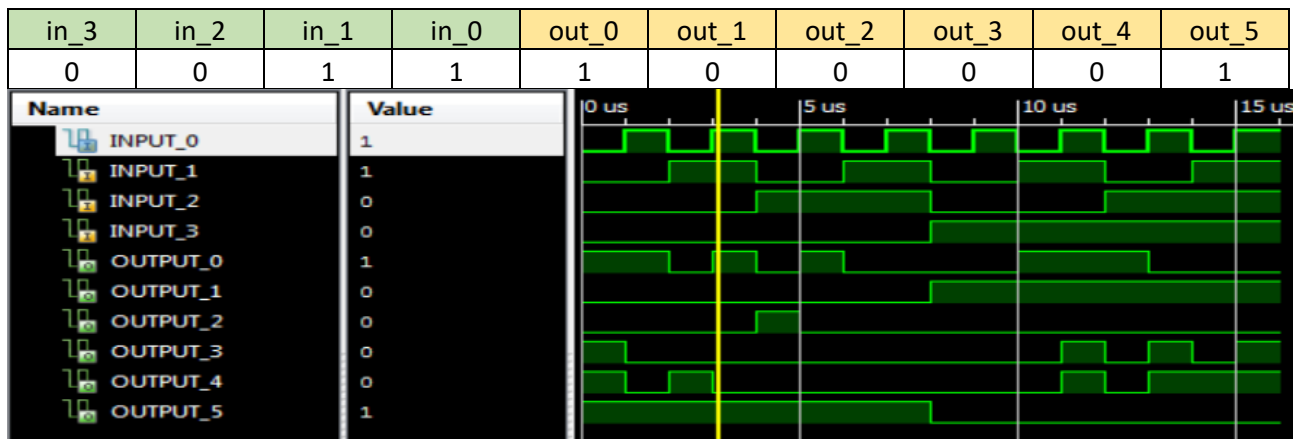
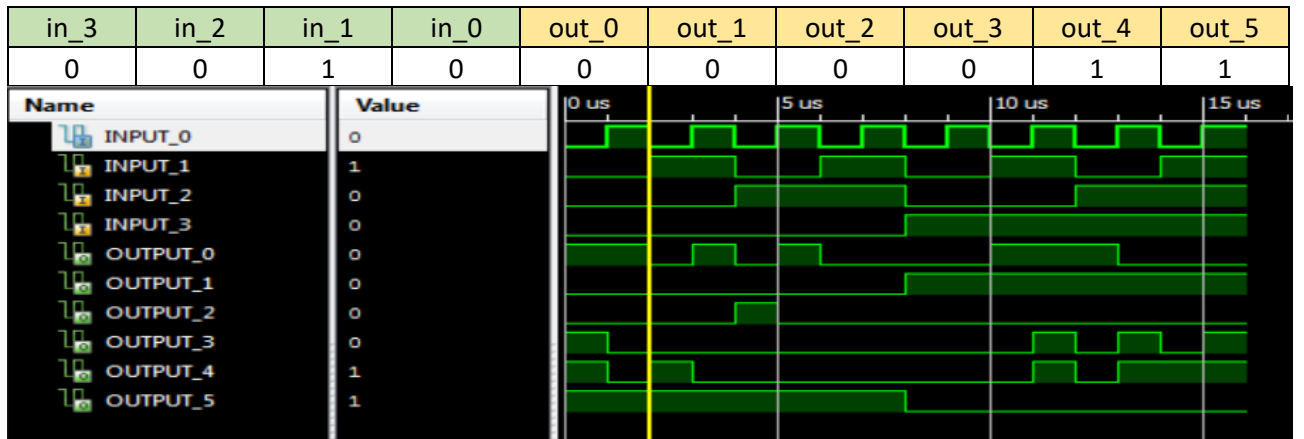
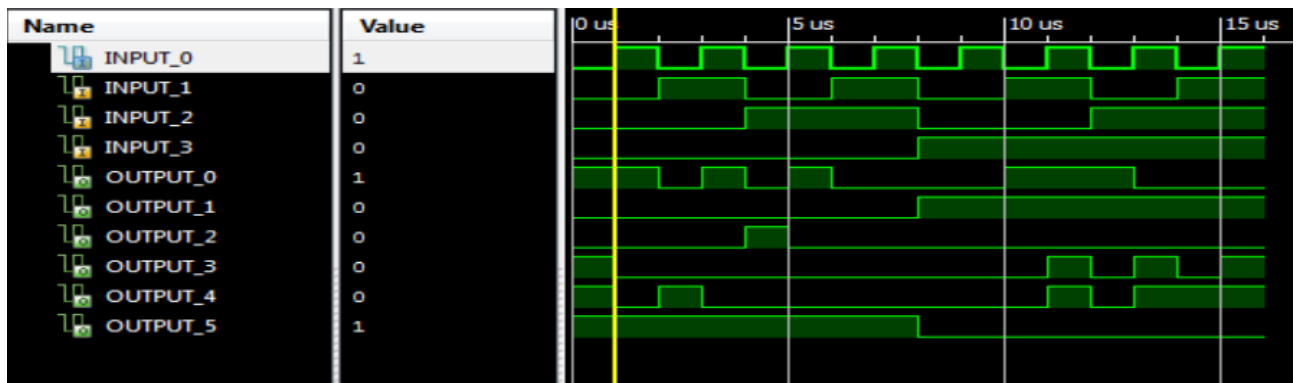


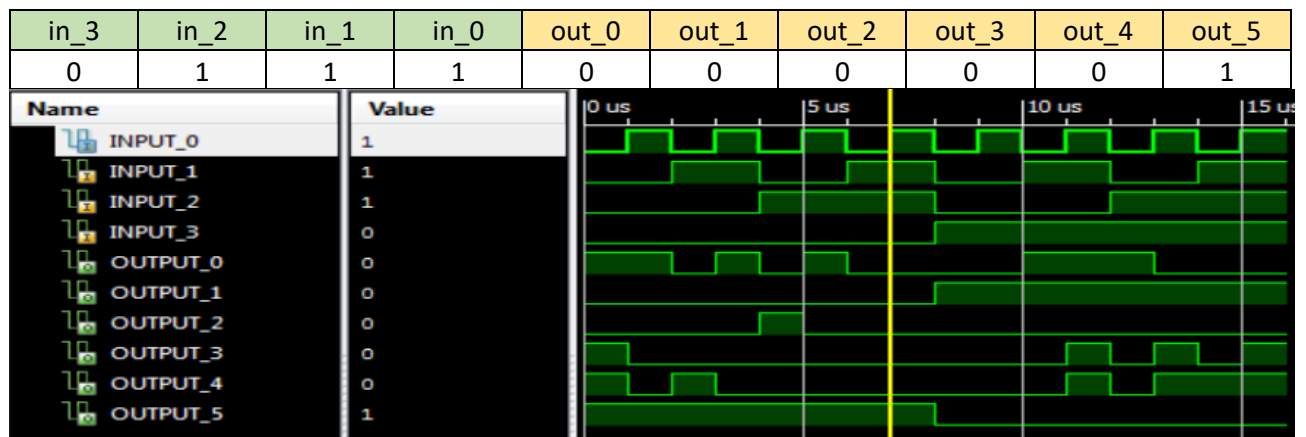
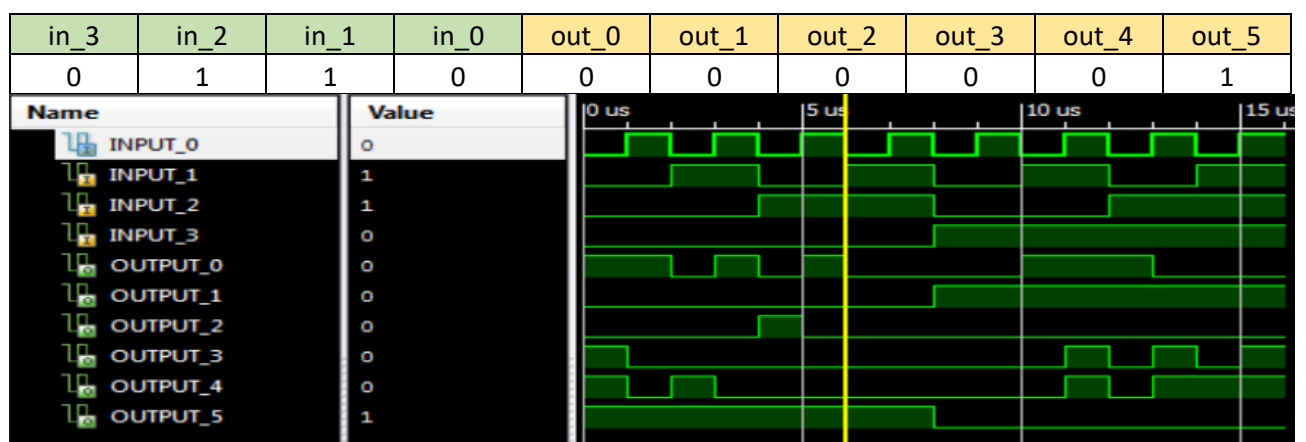
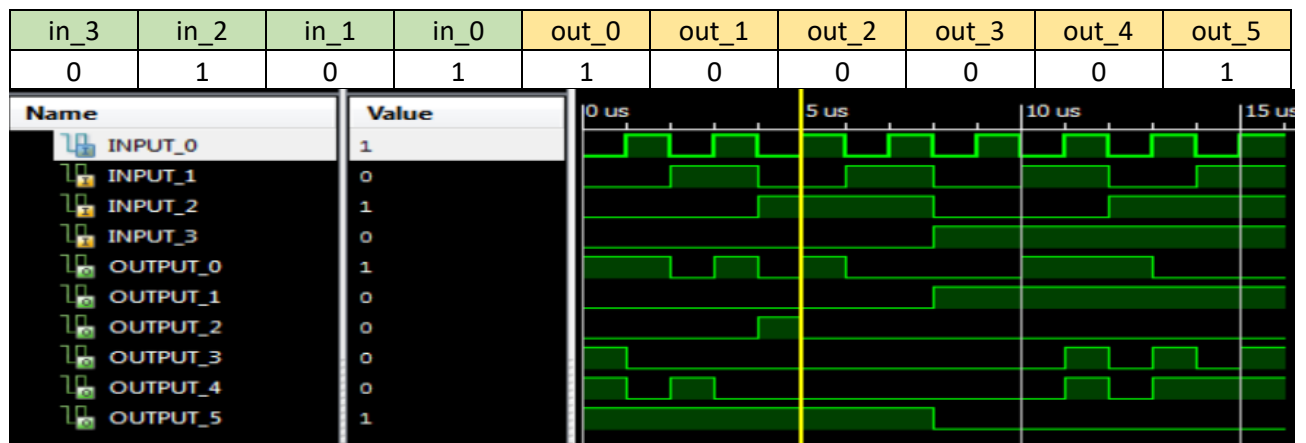
Рис 1.3. Повна симуляція роботи схеми в ISim.

Порівняння сигналів:

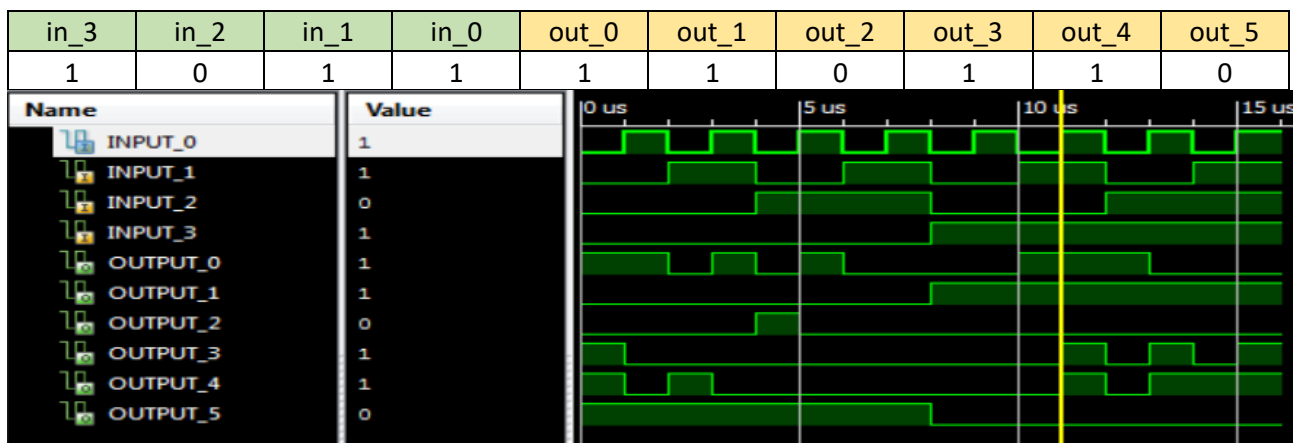
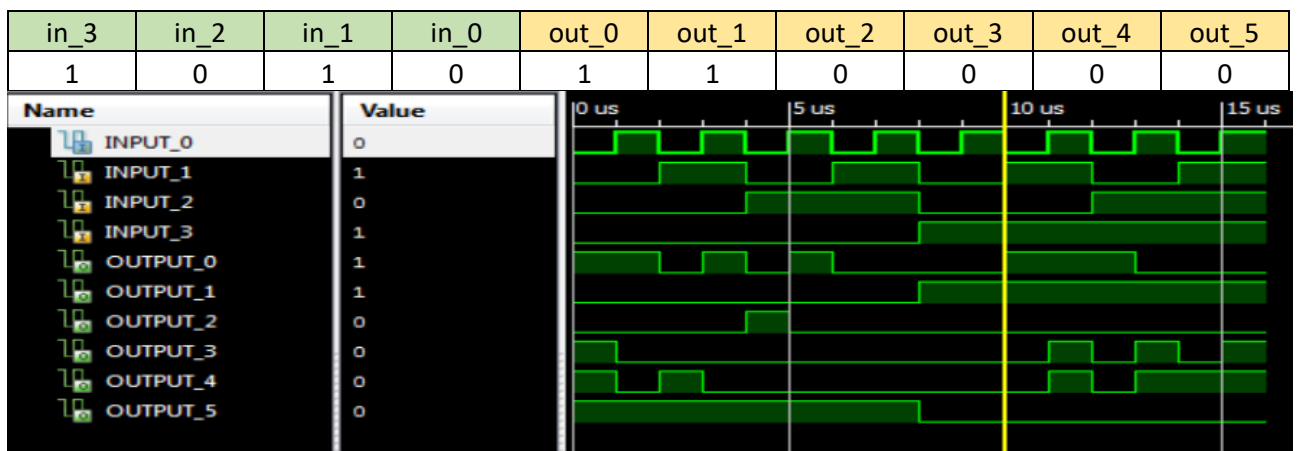
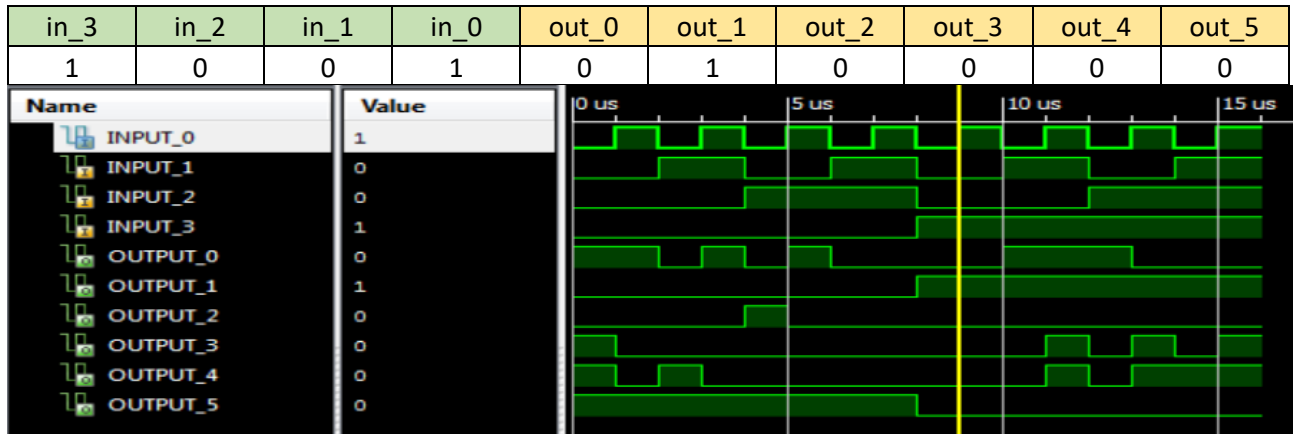
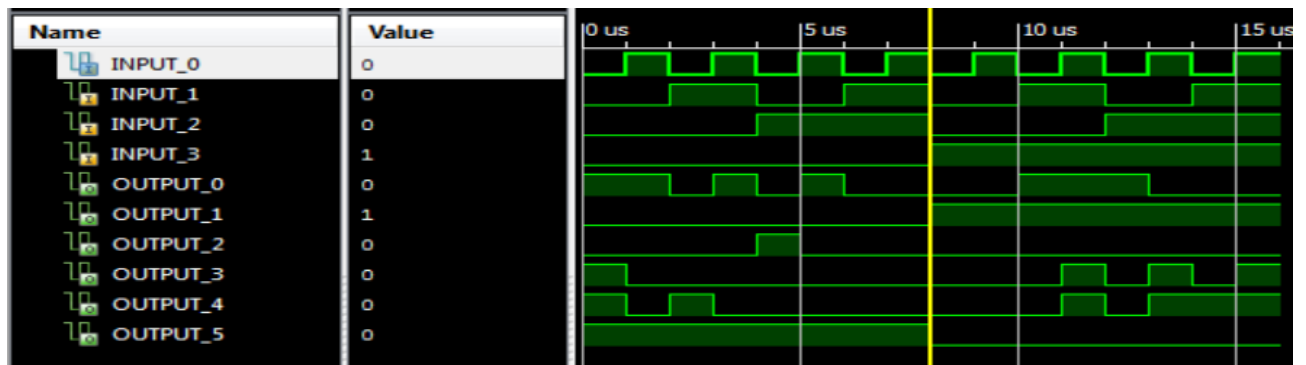


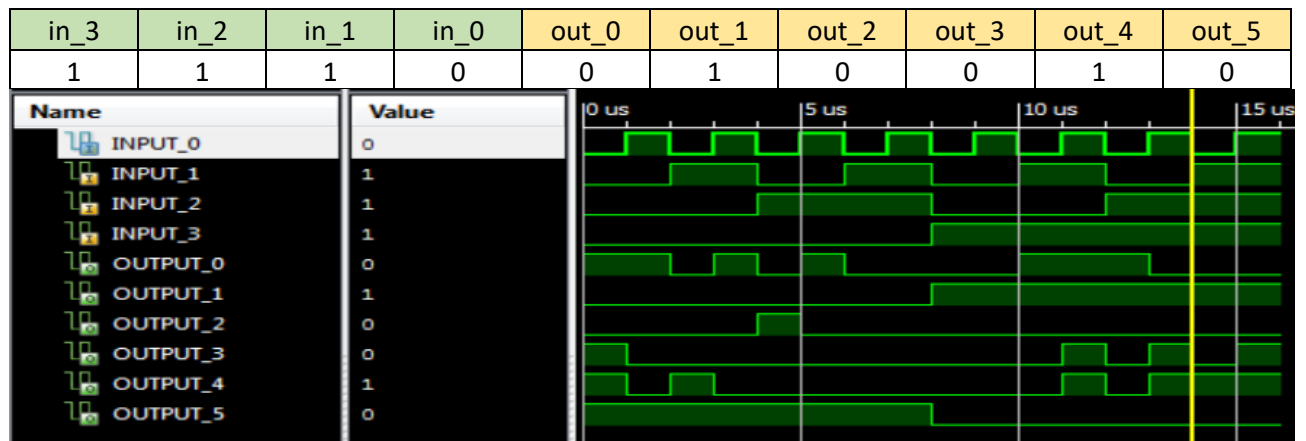
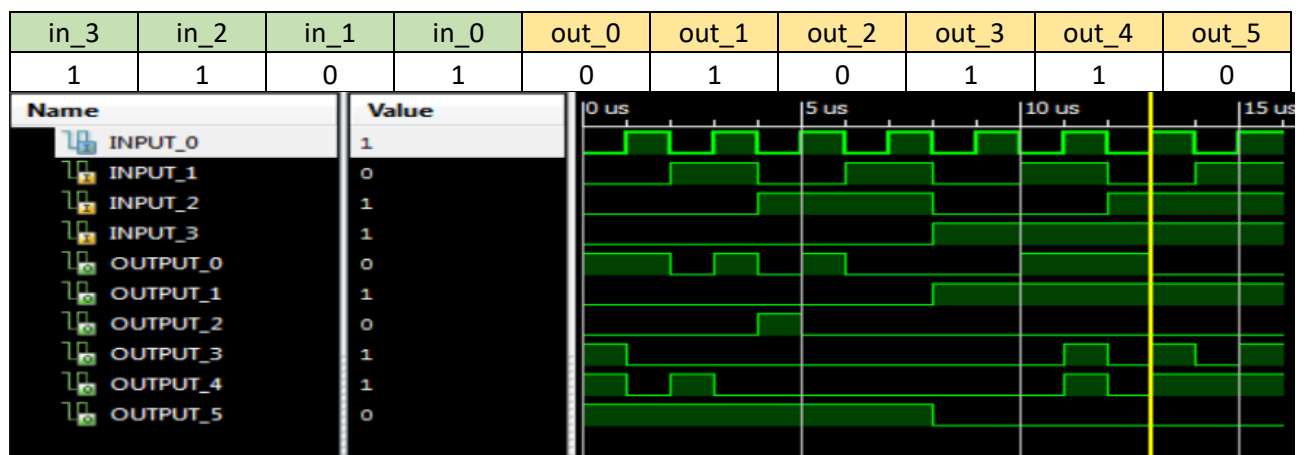
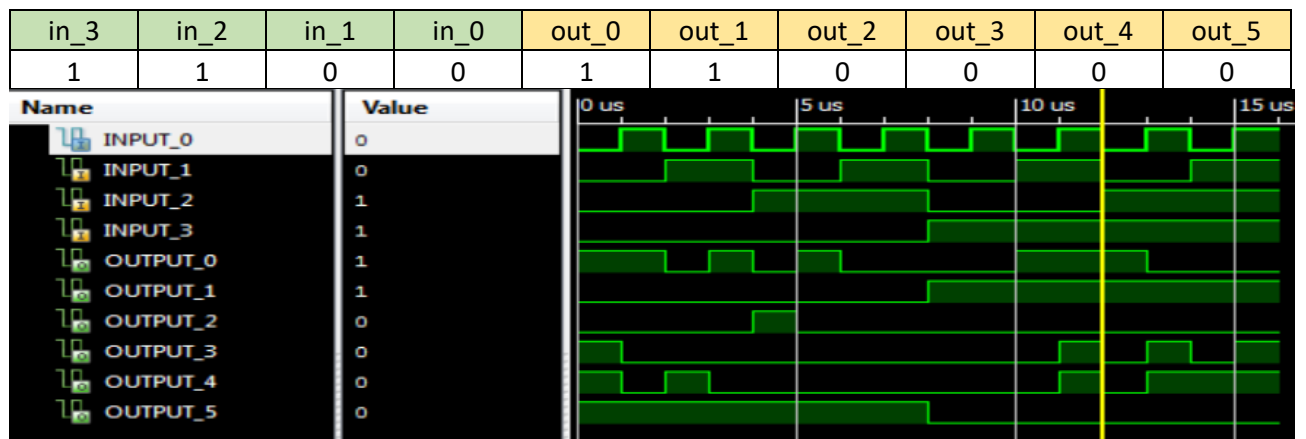
in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
0	0	0	1	1	0	0	0	0	1





in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
1	0	0	0	0	1	0	0	0	0





in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
1	1	1	1	0	1	0	1	1	0

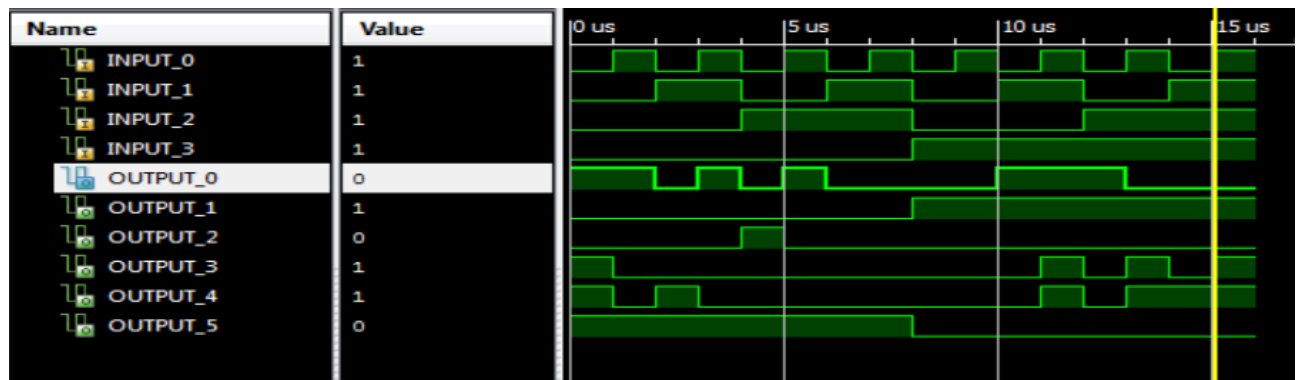


Рис 1.4.1 – 1.4.16. Порівняння сигналів з Табл.1.1 та симуляції ISim.

Висновок:

В ході виконання цієї лабораторної роботи я ознайомилася з середовищем розробки Xilinx ISE. В цьому середовищі я розробила схему, згідно з таблицею істинності для мого варіанту. Я протестувала усі можливі комбінації вхідних сигналів в ISim та порівняла вихідні сигнали з таблицею істинності. Також я ознайомилася зі стендом Elbert V2 – Spartan 3A FPGA.