Міністерство освіти і науки України

Національний університет “Львівська політехніка”

Кафедра ЕОМ



**Звіт**

З лабораторної роботи №1

З дисципліни: «Моделювання комп’ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA»

***Варіант 25***

Виконав: ст. гр. КІ-21

Фундальська Д. І.

Прийняв:

Козак Н. Б.

**Львів 2024**

**Мета роботи:**

Інсталювати та ознайомитися з середовищем розробки Xilinx ISE. Ознайомитися зі стендом Elbert V2 – Spartan 3A FPGA.

**Етапи роботи:**

1. Інсталяція Xilinx ISE та додавання ліцензії. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACKTM
2. Schematic Capture та моделювання його роботи за допомогою симулятора

ISim.

1. Генерування Bit файала та тестування за допомогою стенда Elbert V2 –

Spartan 3A FPGA.

**Варіант виконання роботи:**

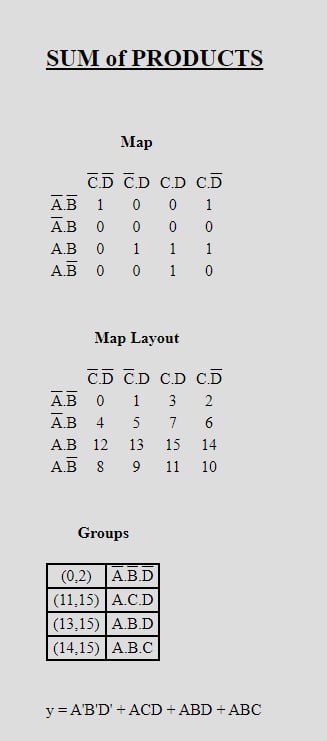
Мій номер в списку – 25. Нижче наведена таблиця вхідних та вихідних сигналів для мого варіанту.

*Табл.1.1. Вхідні та вихідні сигнали.*

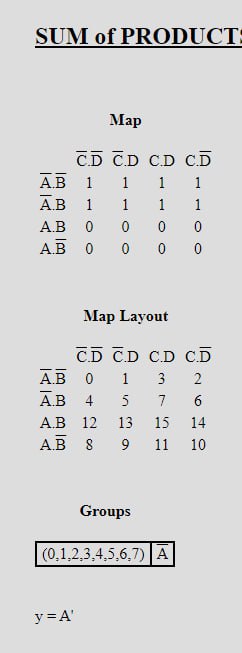
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
|  |  |  |  |  |  |  |  |  |  |

**Мінімізація формул вихідних сигналів:**

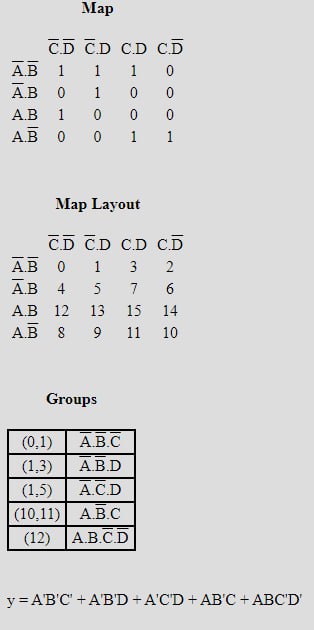
OUT\_0 =



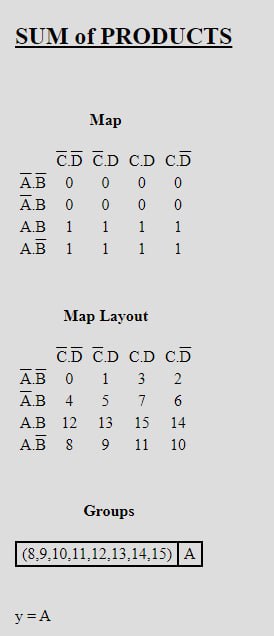
OUT\_1 =



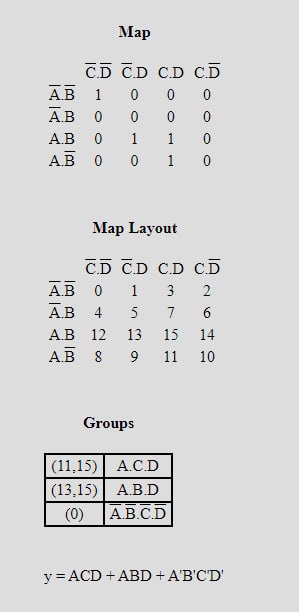
OUT\_2 =



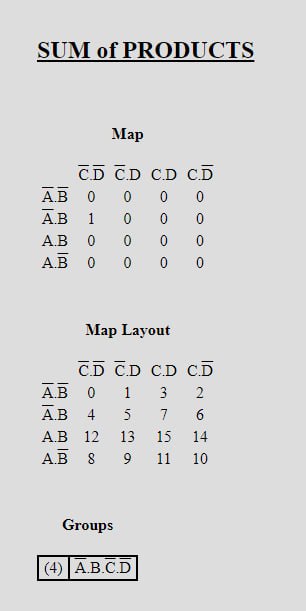
OUT\_3 =



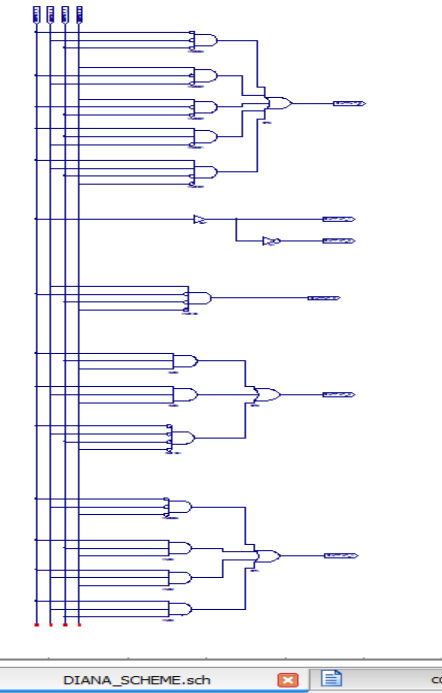
OUT\_4 =



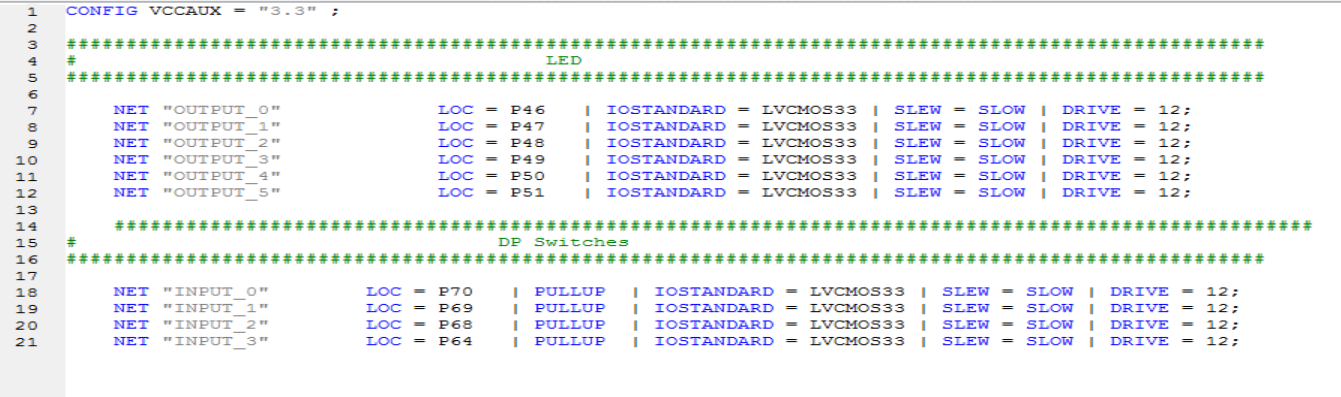
OUT\_5 =



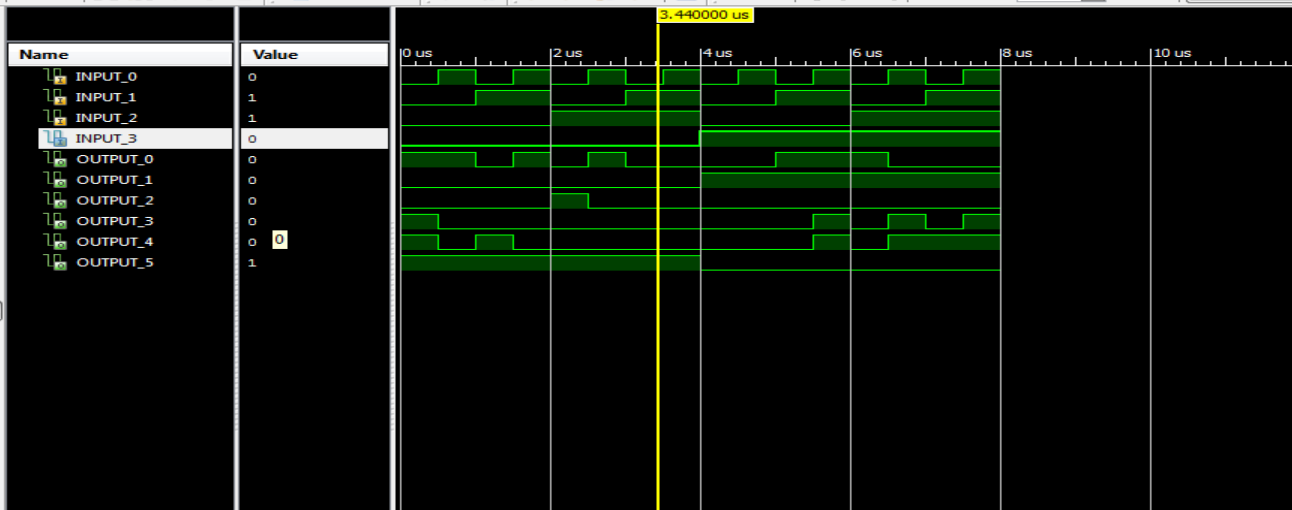
**Виконання роботи:**

****

*Рис 1.1. Схема.*



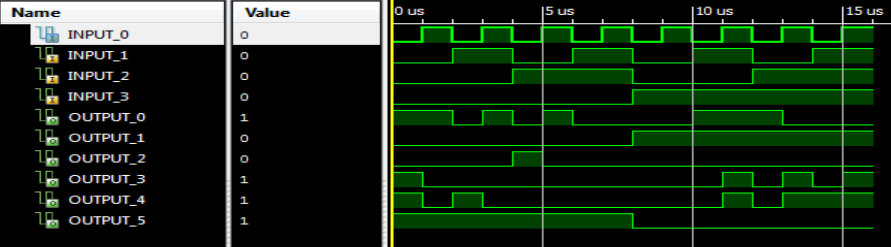
*Рис 1.2. Файл з призначенням фізичних входів та виходів для сигналів.*



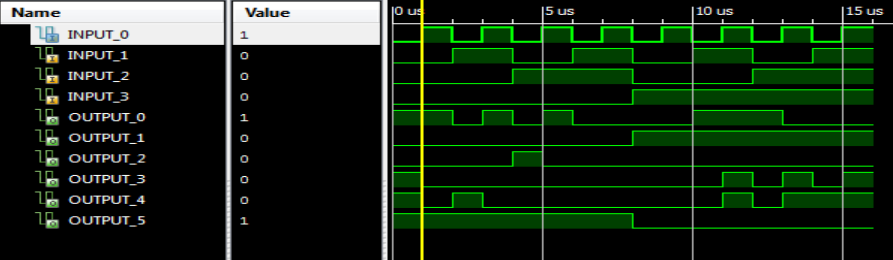
*Рис 1.3. Повна симуляція роботи схеми в ISim.*

**Порівняння сигналів:**

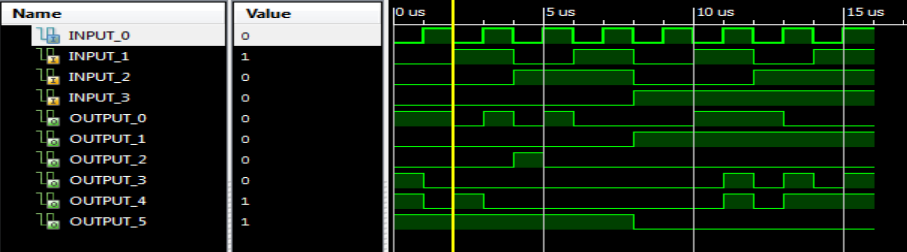
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 |



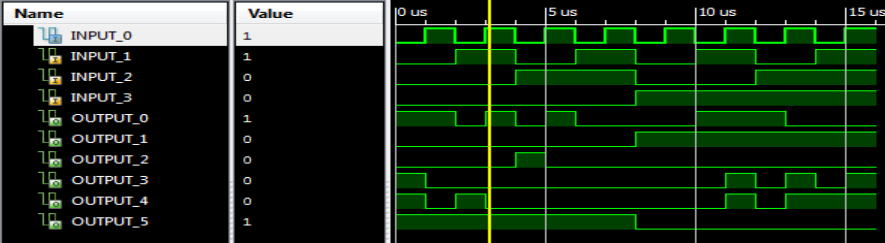
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |

****

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |

****

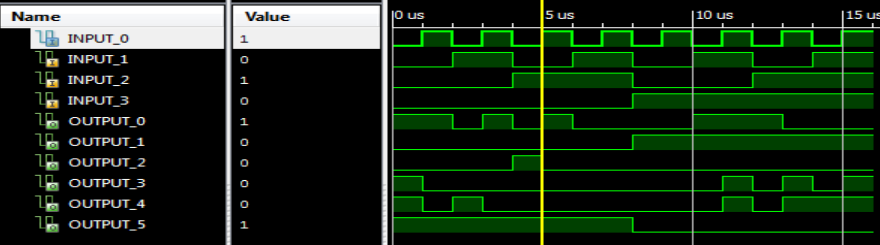
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |

****

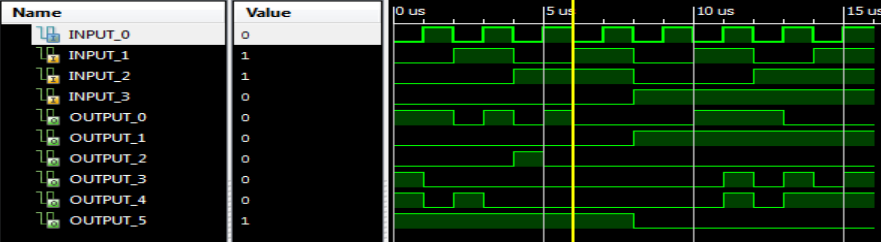
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |

****

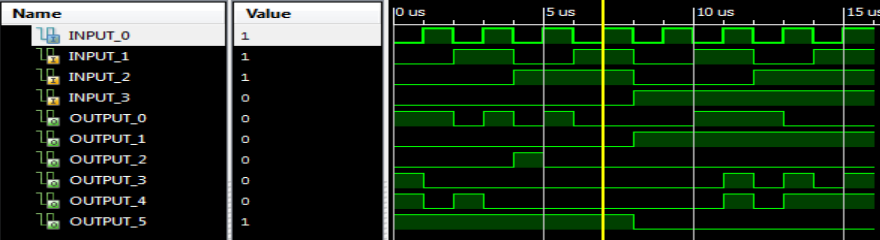
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |

****

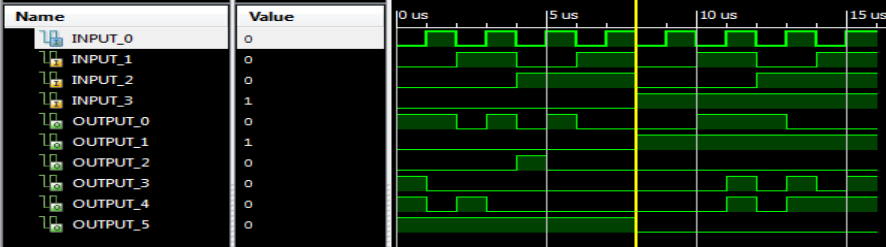
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

****

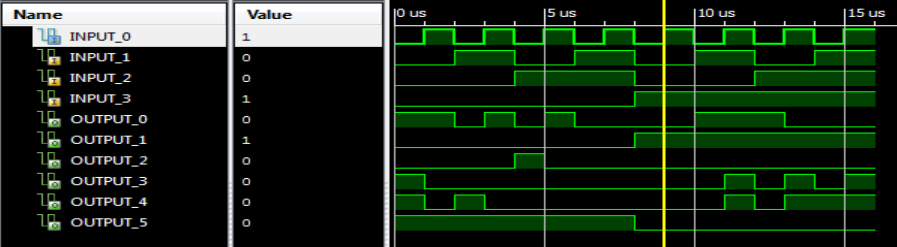
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |

****

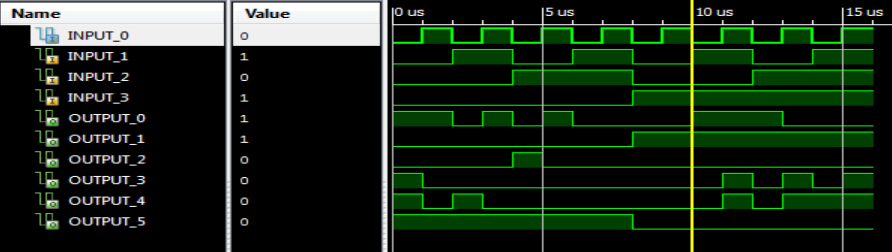
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |

****

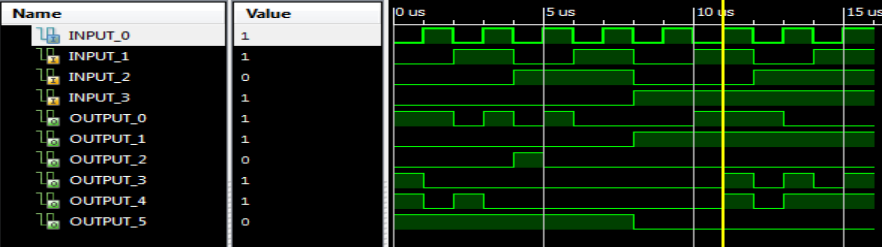
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |

****

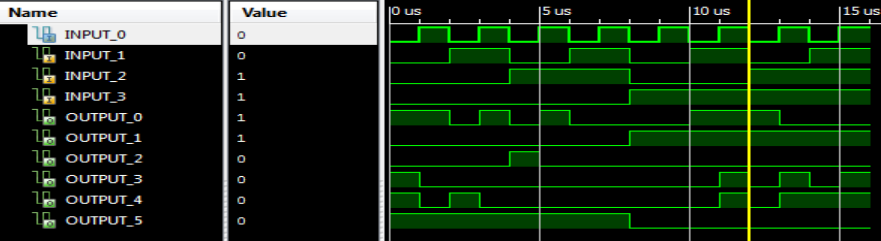
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |

****

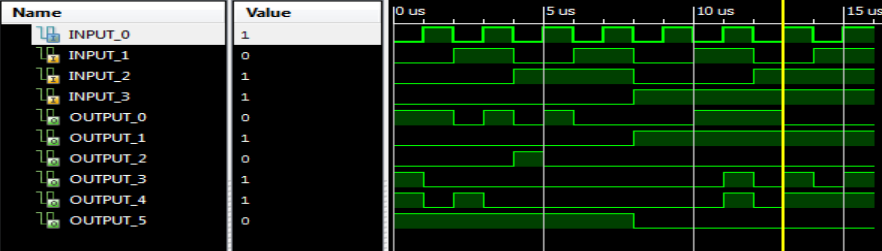
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |

****

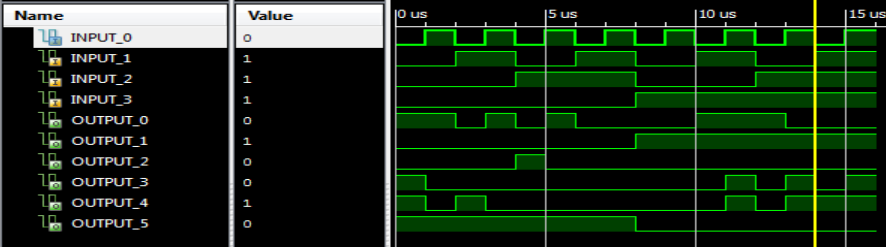
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |

****

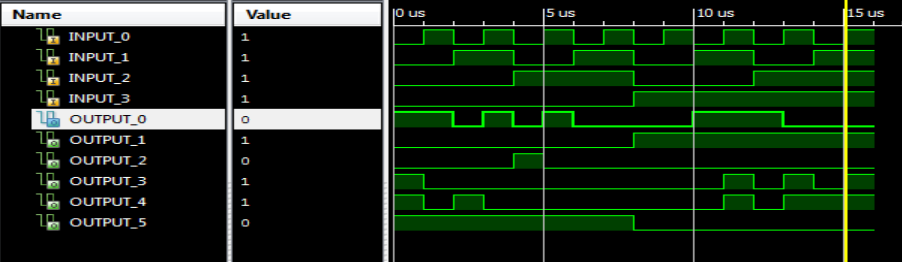
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |

****

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |

****

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| in\_3 | in\_2 | in\_1 | in\_0 | out\_0 | out\_1 | out\_2 | out\_3 | out\_4 | out\_5 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |

****

*Рис 1.4.1 – 1.4.16. Порівняння сигналів з Табл.1.1 та симуляції ISim.*

**Висновок:**

В ході виконання цієї лабораторної роботи я ознайомилася з середовищем розробки Xilinx ISE. В цьому середовищі я розробила схему, згідно з таблицею істинності для мого варіанту. Я протестувала усі можливі комбінації вхідних сигналів в ІSim та порівняла вихідні сигнали з таблицею істиності. Також я ознайомилася зі стендом Elbert V2 – Spartan 3A FPGA.