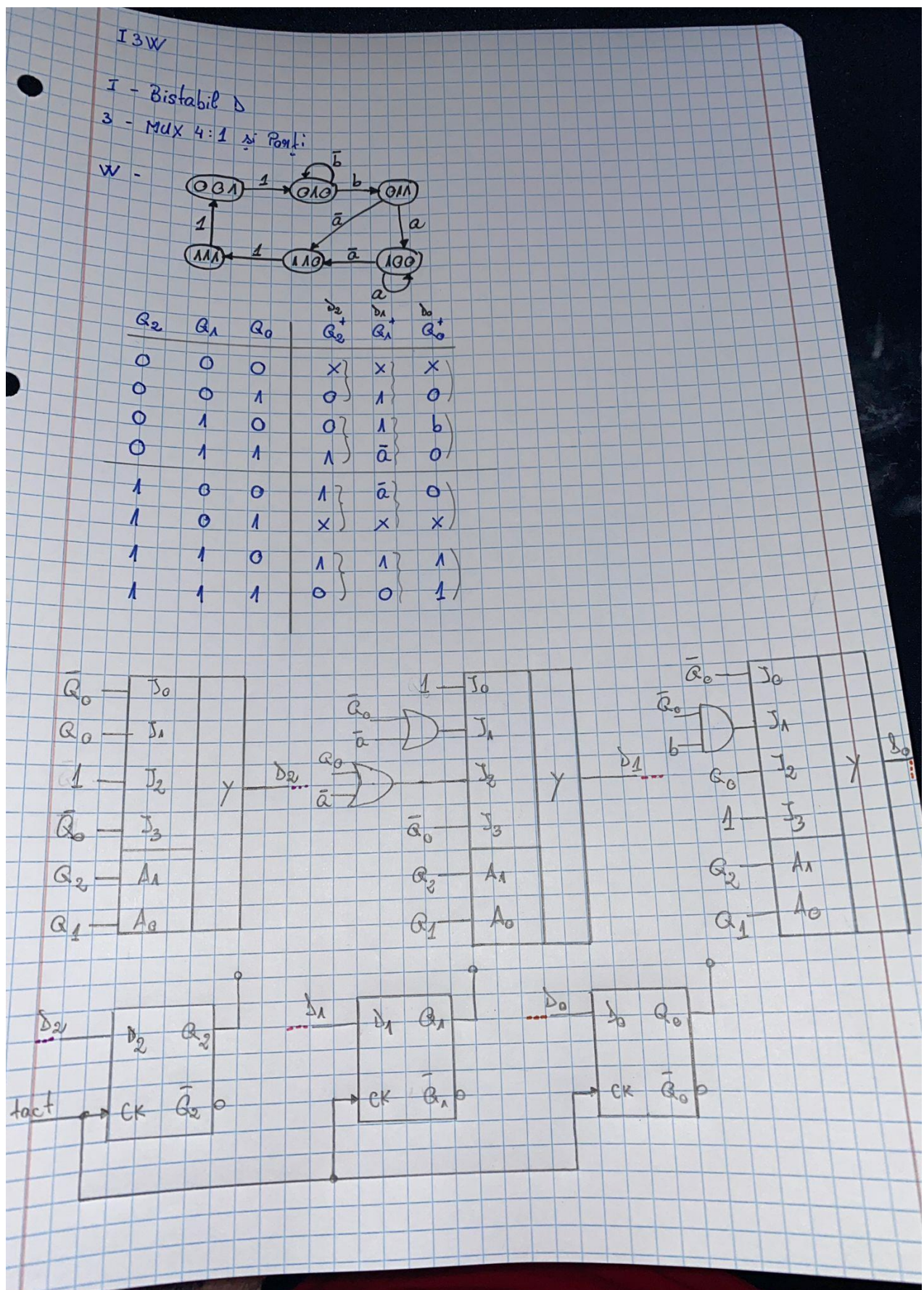


# **Proiect SCID**

**Plesa Diana Simona**

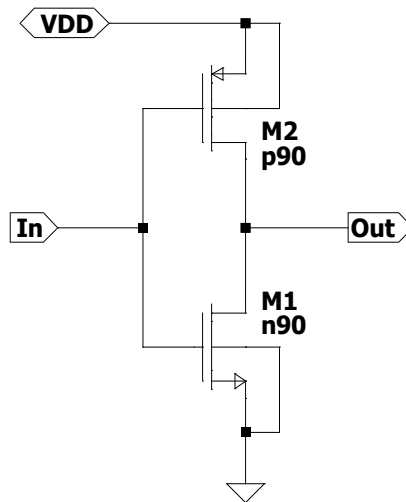
**Grupa: 2127**

# 1. Rezolvarea temei de proiect pe hartie.



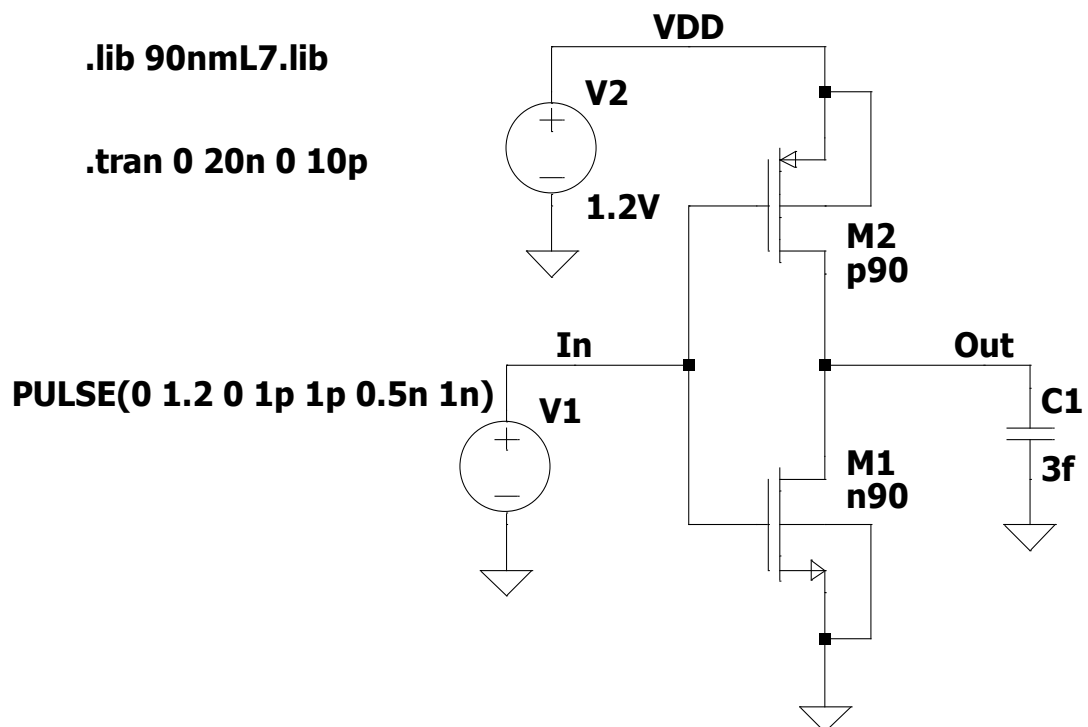
## 2. Implementarea inversorului CMOS

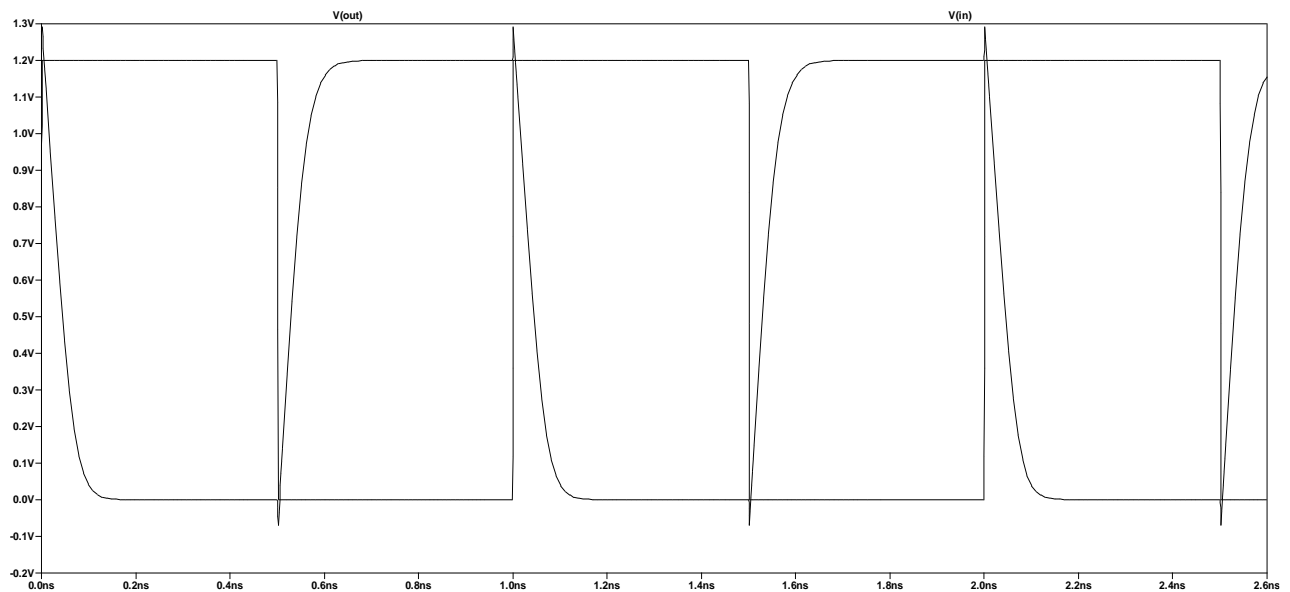
### a) Schema electrica la nivel de tranzistor



Pentru ca timpul de crestere sa fie egal cu timpul de descrestere =>  
 $(W/L)_p = 3(W/L)_n$

### b) Circuitul de test cu verificarea funcționării



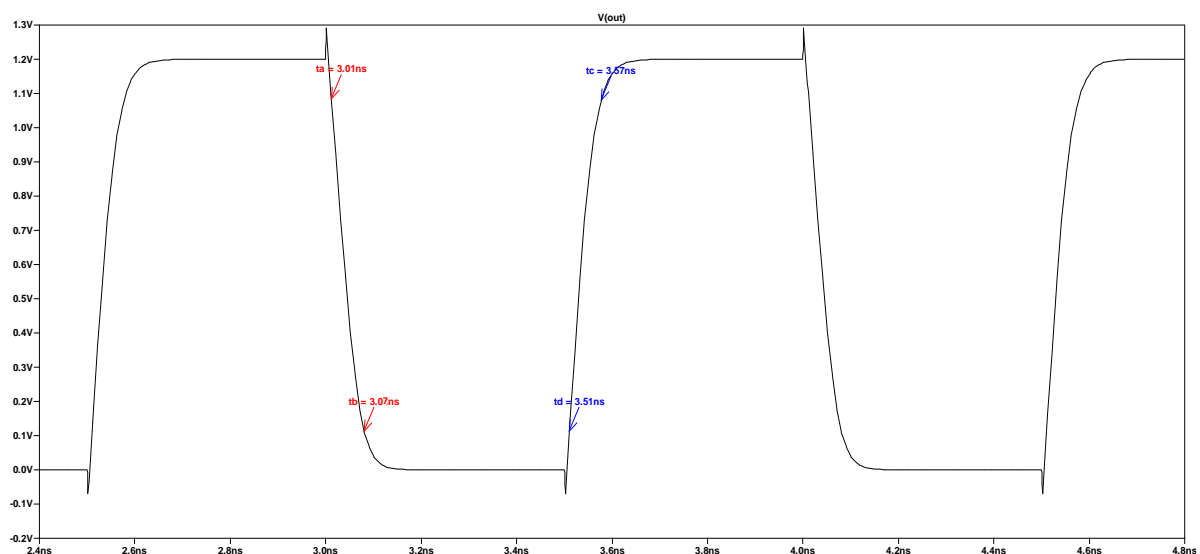


Atunci cand semnalul de intrare este 1 logic semnalul de iesire este 0 logic.

Atunci cand semnalul de intrare este 0 logic semnalul de iesire este 1 logic.

### c) Măsurarea timpilor de tranziție și a timpului de propagare

#### ➤ Timpii de tranziție

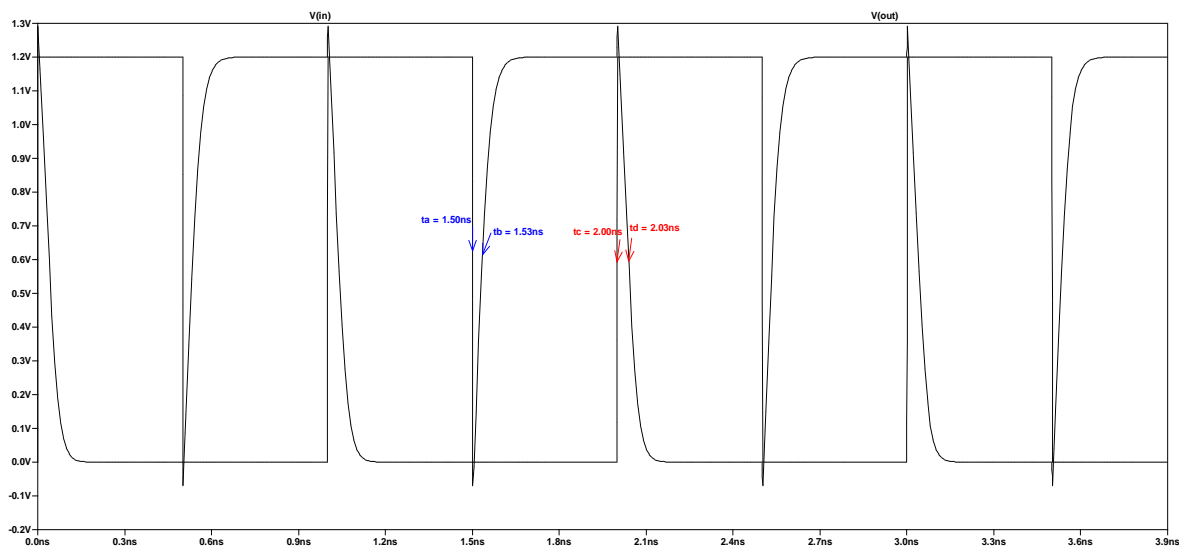


$$\left. \begin{array}{l} 10\% \\ 90\% \end{array} \right\} V_{DD} \Rightarrow \left\{ \begin{array}{l} \frac{10}{100} * 1,2V = 0,12V \\ \frac{90}{100} * 1,2V = 1,08V \end{array} \right.$$

$$\tau_{fall} = t_b - t_a = 60 \text{ ps}$$

$$\tau_{\text{rise}} = t_c - t_b = 60 \text{ ps}$$

### ➤ Timpul de propagare



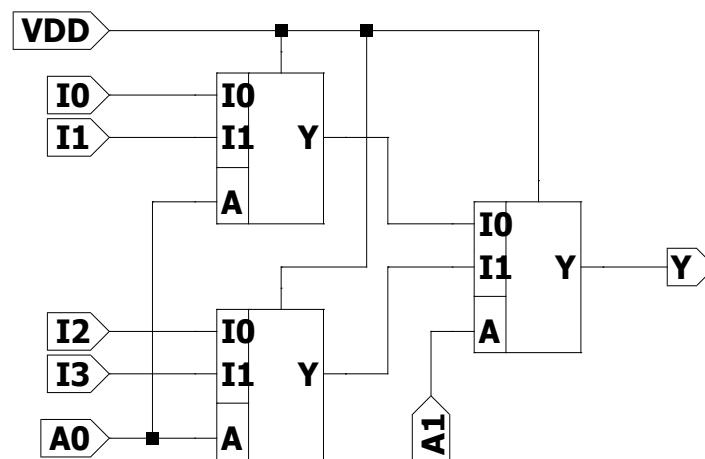
$$50\% \rightarrow V_{DD} \Rightarrow \frac{50}{100} * 1,2V = 0,6V$$

$$\tau_{\text{PHL}} = t_d - t_c = 30 \text{ ps}$$

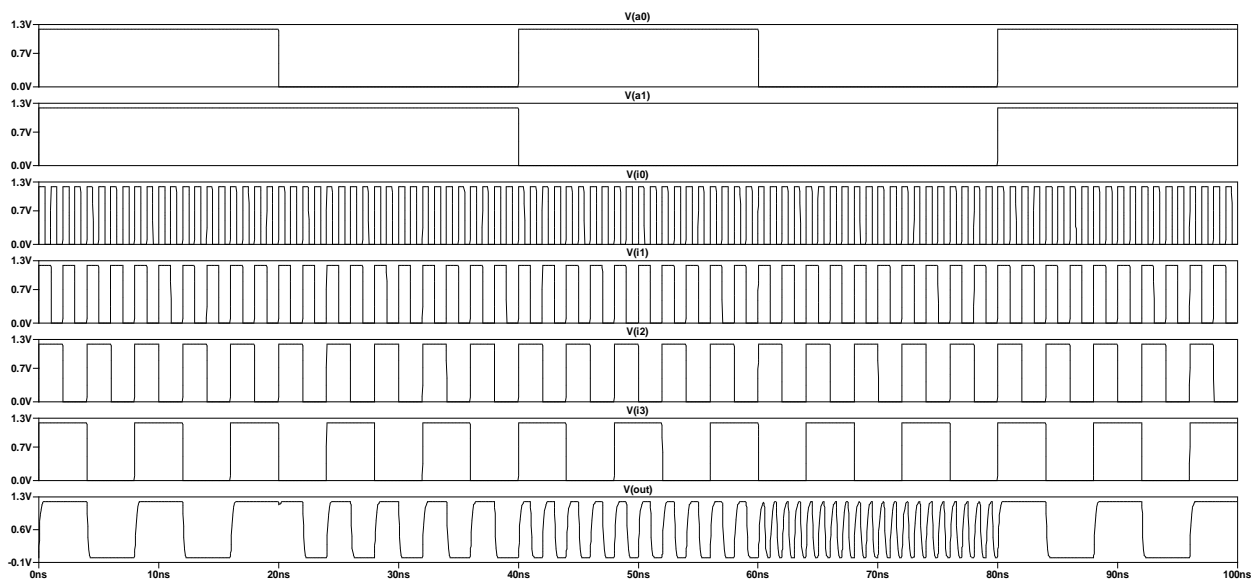
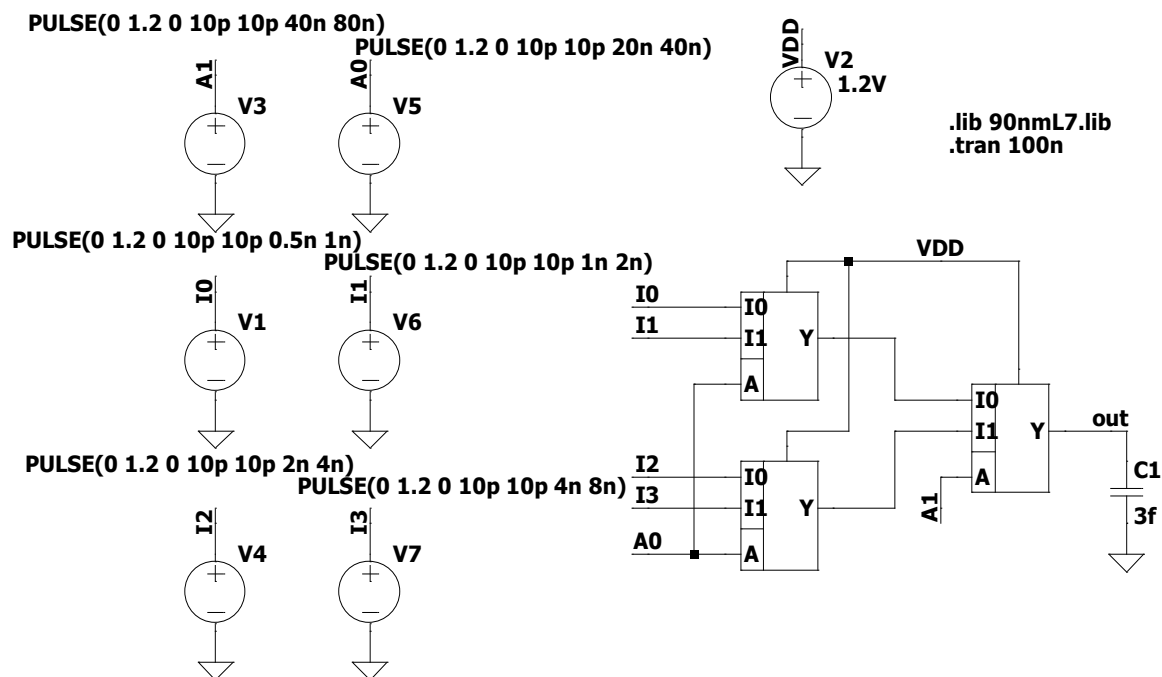
$$\tau_{\text{PLH}} = t_b - t_a = 30 \text{ ps}$$

## 3. Circuitul combinațional

### a) Schema electrica



## b) Circuitul de test cu verificarea funcționării



Cand  $A0 = 1$  si  $A1 = 1$  se transmite la iesire semnalul I3.

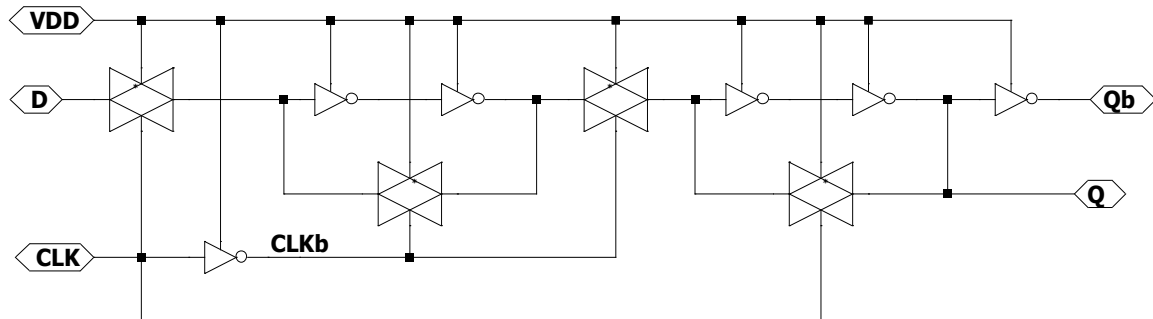
Cand  $A0 = 0$  si  $A1 = 1$  se transmite la iesire semnalul I2.

Cand  $A0 = 1$  si  $A1 = 0$  se transmite la iesire semnalul I1.

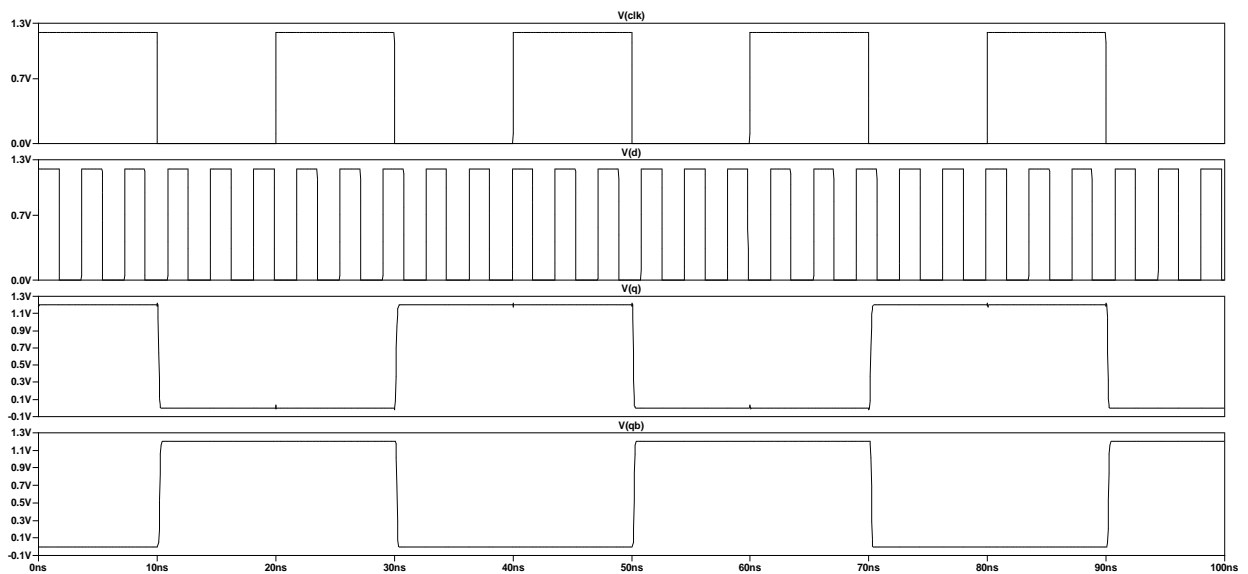
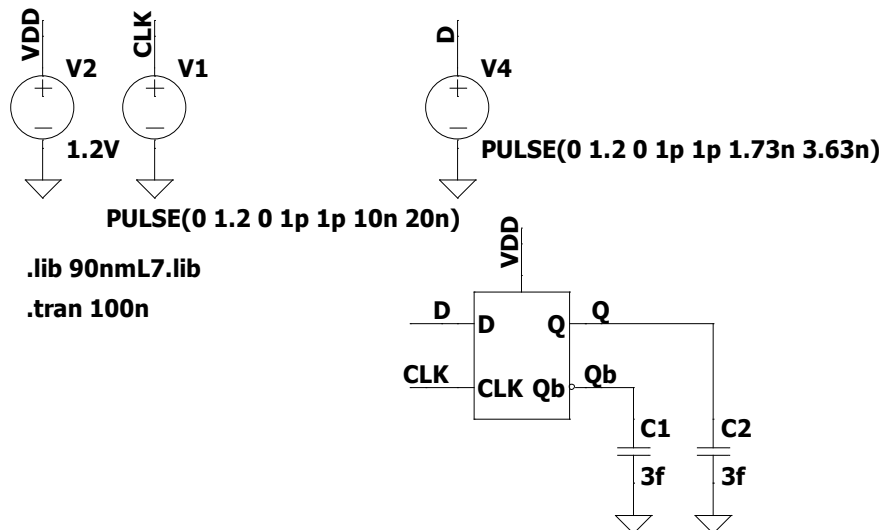
Cand  $A0 = 0$  si  $A1 = 0$  se transmite la iesire semnalul I0.

## 4. Circuitul secvențial

### a) Schema electrica



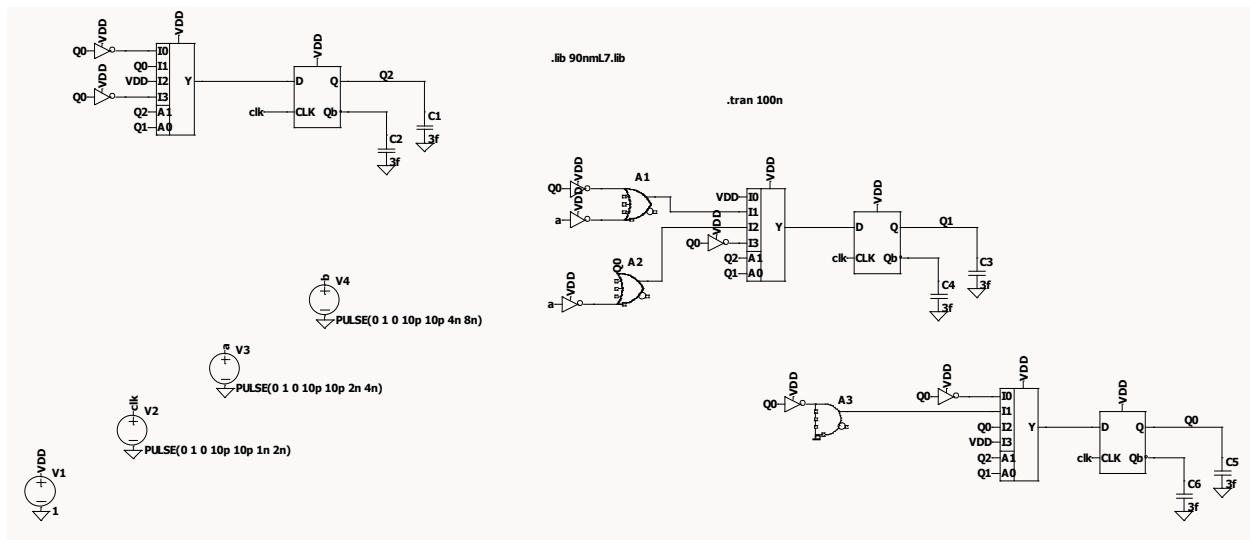
### b) Circuitul de test cu verificarea funcționării



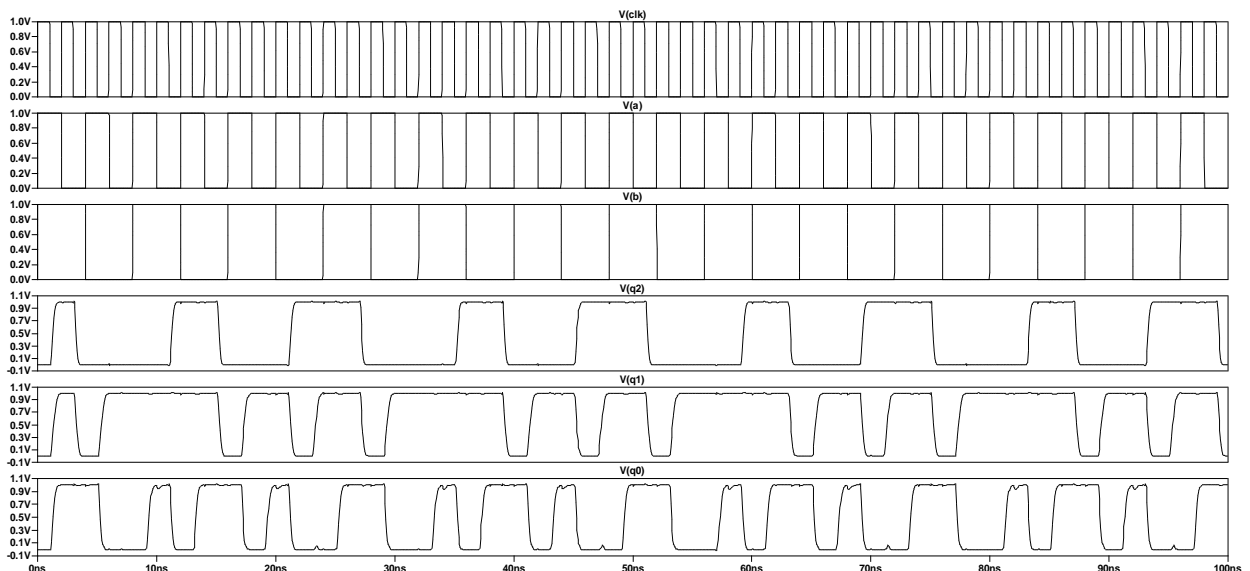
Bistabilul D este un circuit logic secvențial activ pe frontul semnalului de tact (ascendent sau descendent în funcție de implementare). Circuitul are două intrări, o intrare de date (D) și o intrare de tact (ck) și două ieșiri, Q respectiv Qb. Funcționarea circuitului poate fi analizată dependent de semnalul de tact după cum urmează: la apariția frontului de tact ieșirea Q preia nivelul logic de la intrarea de date D, iar pe durata palierelor de 0 și de 1 bistabilul memorează starea actuală. În fiecare caz, ieșirea Qb este varianta negată a ieșirii Q.

## 5) Implementarea finala

### a) Schema finală a automatului



### b) Verificarea funcționalității circuitului



Din starea 001 automatul trece in starea 010.

Din starea 010 daca b=0 -> 010



daca b=1 -> 011

Din starea 011 daca a=1 -> 100

daca a=0 -> 110

Din starea 100 daca a=1 -> 100

daca a=0 -> 110

Din starea 110 -> 111

Din starea 111 -> 001

Automatul incepe din starea 111. Trece in starea 001 -> 010. Din starea 010 pentru ca b=0 trece in starea 010. Din 010 -> 011. Din 011, a=0, trece in starea 110. Din 110 -> 111 -> 001 -> 010. Din starea 010, b=1, trece in starea 011. Din starea 011, a=1, trece in starea 100. Din starea 100, a=0, trece in starea 110. Din starea 110 -> 111.