

# Rapport de Travaux Pratiques

## Architecture des Microprocesseurs

### TD/TP4 : Évaluation de performances

Votre Nom Ici

8 février 2026

## 1 Introduction

Ce rapport présente les résultats obtenus lors du TP4, portant sur l'analyse de l'impact des configurations de mémoire cache et des fenêtres d'instruction sur les performances des processeurs.

## 2 Exercice 3 : Évaluation de configurations de mémoires caches

### 2.1 Configurations de simulation

Nous avons comparé deux configurations (C1 et C2) pour analyser l'impact de l'associativité sur le taux de défaut (miss rate).

TABLE 1 – Paramètres des configurations C1 et C2.

Paramètre	Configuration C1	Configuration C2
L1-i (Taille/Assoc.)	4KB / Direct Mapped	4KB / Direct Mapped
L1-d (Tamanho/Assoc.)	4KB / Direct Mapped	4KB / 2-way
L2 (Tamanho/Assoc.)	32KB / Direct Mapped	32KB / 4-way
Taille de bloc	32 Bytes	32 Bytes

### 2.2 Résultats et Analyse

L'analyse porte sur les différentes variantes de l'algorithme de multiplication de matrices (*normal*, *pointer*, *tempo*, *unrol*).

- **Localité** : L'augmentation de l'associativité en C2 permet de réduire les conflits dans la cache de données.
- **Miss Rate** : [Insérez ici vos observations sur les résultats du simulateur].

### 3 Exercice 4 : Analyse de performance (Cortex A7 vs A15)

#### 3.1 Variation de la taille de cache L1

Nous avons fait varier la taille de la cache L1 pour observer l'évolution de l'IPC (Instructions Per Cycle).

#### 3.2 Efficacité Surfactive et Énergétique

En utilisant l'outil CACTI, nous avons calculé l'efficacité en fonction de la surface occupée.

$$\text{Efficacité Surfactive} = \frac{\text{IPC}}{\text{Surface (mm}^2\text{)}} \quad (1)$$

### 4 Conclusion

Les simulations démontrent que le choix de la configuration de cache est un compromis entre performance (IPC) et coût matériel (surface/consommation). Pour le système *big.LITTLE*, la configuration optimale serait...