

Final Arquitectura de Computadoras - Febrero 2012

1. Describir el mecanismo de interrupción. Mencionar cuales son las fuentes de interrupción (tipos de interrupción). Describir el tratamiento de múltiples interrupciones.
2. ¿Cómo es la estructura de un módulo de E/S? (Diagrama). Describir la función del DMA.
3. Mencionar los tipos de correspondencia de la memoria caché. Describir las políticas de escritura (en acierto y en fallo).
4. ¿Qué es la segmentación de instrucciones? ¿Cómo mejora el rendimiento? Describir tipos de dependencia que afectan el funcionamiento de los cauces.
5. ¿Qué características posee un procesador superescalar?

Final Arquitectura de Computadoras - Marzo 2012 - 1er llamado

1. Que es un bus? Describa los tipos, arbitraje y técnicas de sincronización. Mencione diferencias entre bus PCI y bus SCSI.
2. Como es la estructura de un modulo E/S? Describa las posibles técnicas que puede utilizar una CPU para realizar operaciones E/S.
3. Describa algoritmos de ubicación y política de escritura en cache.
4. Que es la segmentación del cauce? Describa tipos de dependencias que afectan el funcionamiento de los cauces y las posibles soluciones para evitarlos.
5. Describa las características que diferencian a los procesadores RISC respecto de los CISC.

Final Arquitectura de Computadoras - Marzo 2012 - 2do llamado

1. Metodos de Pasaje de argumentos a las funciones/procedimientos. Que sucede cuando tenemos varias subrutinas anidadas?
2. Estructura de un modulo E/S. Describa el funcionamiento de un controlador DMA(las etapas de transferencia).
3. Describa que se debe tener en cuenta para diseñar una cache(TODO).
4. Segmentación de cauce. Describir atascos por dependencia de datos y su solución.
5. Procesadores superescalares - características.

Final Arquitectura de Computadoras - Marzo 2013

1. Explique los métodos de pasaje de argumentos a procedimientos o funciones. Describa el comportamiento con anidamiento de múltiples procedimientos/funciones.
2. ¿Cómo es la estructura de un módulo de E/S? Describa las características funcionales del controlador de interrupciones PIC.
3. Describa los elementos a tener en cuenta en el diseño de una memoria caché. Analice ventajas y desventajas de poseer varios niveles de caché.
4. ¿Qué es la segmentación del cauce de instrucción? ¿Cuánto mejora el rendimiento? Describa las dependencias de los datos que puedan afectar un cauce segmentado.
5. ¿Qué características posee un procesador supersegmentado frente a un superescalar?

Final Arquitectura de Computadoras - Febrero 2014 - 1do llamado

1. Que es un Bus, tipos de buses, temporización y metodos de arbitraje
2. Como es la estructura de un modulo de E/S.Describa las posibles técnicas que pueden utilizarse para realizar las operaciones de E/S
3. Describa las técnicas de reemplazo de bloque, correspondencia y políticas de escritura en memoria cache.
4. Que es la segmentación de cauce. Describa los metodos y técnicas utilizadas para disminuir o evitar las paradas que afectaran al funcionamiento de los cauces.
5. Describa las características que diferencian los SMTP respecto a los clusters

Final Arquitectura de Computadoras - Febrero 2014 - 2do llamado

1. Mecanismo de interrupción. Fuentes de interrupción y tratamiento de interrupciones múltiples.
2. Estructura interna del modulo de E/S. Características funcionales de DMA.
3. Funciones de correspondencia entre memoria y memoria cache. Políticas de escritura desde el punto de vista de la coherencia de datos.
4. Que es la segmentación de cauce. Tres motivos de retardo de cauce.
5. Características de los clusters.

Final Arquitectura de Computadoras - Septiembre 2014

1. En un cauce segmentado, con secuencia de instrucciones independientes ¿Qué consecuencias trae el paso de una instrucción de salto? Analice los casos de salto incondicional y condicional. Mencione que posibles soluciones se pueden aplicar para evitar o disminuir las consecuencias.
2. Describa cómo se debe implementar la estructura de pila en un procesador de tipo RISC cuyos registros son genéricos (basarse en MIPS) ¿Cómo se deberá trabajar el anidamiento de procesos / funciones?
3. Describa las funciones que se utilizan en la política de ubicación de bloques en memoria cache. Analice las políticas de escritura de datos desde el punto de vista de la coherencia de los mismos en la jerarquía.
4. ¿Qué características definen un procesador como superescalar? Describa las políticas de emisión de instrucciones en un cauce segmentado.
5. ¿Cuáles son las arquitecturas que pueden encontrarse en la configuración MIMD de la taxonomía de Flynn?

Final Arquitectura de Computadoras - Octubre 2014

1. ¿Que es un Bus? Describa los diferentes tipos, métodos de arbitraje y técnicas de sincronización. Mencione las principales diferencias entre PCI y SCSI.
2. ¿Como es la estructura de un módulo de E/S? Describa las posibles técnicas que puede utilizar una CPU para realizar operaciones de E/S.
3. Describa las técnicas de ubicación de bloques y las políticas de escritura en Cache.
4. ¿Que es la segmentación del cauce de instrucciones? Describa los métodos y técnicas para disminuir o evitar las paradas (stalls) que afectan el funcionamiento de los cauces.
5. Describa las características que diferencian los procesadores RISC de los CISC.

Final Arquitectura de Computadoras - Noviembre 2014

1. Explique los métodos de pasaje de argumentos a procedimientos o funciones. Describa el funcionamiento y uso de la pila.
2. Qué es una interrupcion? Describa como funcionan. Como se utiliza un controlador de interrupcion?
3. Por qué funciona una jerarquía de memoria? Describa las políticas de ubicación y de reemplazo , de bloques en memoria cache.
4. Que ventajas nos brinda un cauce segmentado? Describa las diferentes formas que pueden mejorar el funcionamiento de un cauce cuando ejecuta instrucciones de transferencia de control.
5. Que características posee un multiprocesador simetrico (SMP)?