

10/2022

1) A qué método de atención lo conocemos como de interrupciones vectorizadas? ¿cuándo, por qué y cómo utiliza una de las denominadas interrupciones por software?

Interrupciones vectorizadas es un método de atención utilizado en sistemas informáticos para manejar múltiples dispositivos de entrada/salida (E/S) que generan interrupciones. Este método utiliza una tabla de vectores de interrupción para asociar cada dispositivo de E/S con la dirección de la rutina de manejo de interrupción correspondiente.

Las interrupciones por software son utilizadas para simular interrupciones de hardware en situaciones en las que no hay un dispositivo de E/S físico presente. Se pueden utilizar para permitir que los programas realicen tareas en segundo plano mientras se espera que ocurra una interrupción de hardware.

En resumen, las interrupciones vectorizadas permiten manejar múltiples dispositivos de E/S y las interrupciones por software se utilizan para simular interrupciones de hardware. Ambos métodos son utilizados en sistemas informáticos para mejorar la eficiencia y la capacidad de respuesta en el manejo de interrupciones.

2) Esquematice y describa la estructura interna de un módulo de entrada/salida

Un módulo de entrada/salida (E/S) es un componente de hardware de un sistema informático que se utiliza para controlar y administrar las operaciones de E/S. A continuación se describe la estructura interna de un módulo de E/S:

- **Controlador de E/S:** es el componente principal del módulo de E/S que se encarga de controlar y administrar las operaciones de E/S. El controlador se comunica con el procesador a través de un bus de control de E/S.
- **Interfaz de dispositivo:** es el componente que permite la conexión física del dispositivo de E/S con el controlador. El tipo de interfaz varía según el tipo de dispositivo de E/S que se esté utilizando (por ejemplo, USB, SATA, Ethernet, etc.).
- **Buffer de E/S:** es un área de memoria temporal utilizada para almacenar datos que se están transfiriendo entre el dispositivo de E/S y el procesador. El buffer se utiliza para evitar la pérdida de datos en caso de que el dispositivo de E/S sea más lento que el procesador.
- **Controlador DMA (Direct Memory Access):** es un componente opcional que permite que los datos se transfieran directamente entre la memoria principal y el dispositivo de E/S, sin la intervención del procesador. Esto puede mejorar significativamente la velocidad de transferencia de datos.

En resumen, un módulo de E/S consta de un controlador de E/S, una interfaz de dispositivo, un buffer de E/S y, opcionalmente, un controlador DMA. Cada uno de estos componentes trabaja juntos para controlar y administrar las operaciones de E/S en un sistema informático.

¿Cuáles son los modos de ubicación de los módulos de entrada/salida?

Los módulos de entrada/salida (E/S) pueden ubicarse en el sistema informático de varias formas, dependiendo de los requisitos específicos del sistema y de las limitaciones de diseño. Algunos de los modos de ubicación comunes son:

1. **E/S dedicada:** en este modo, cada dispositivo de E/S tiene su propio controlador de E/S dedicado, que se conecta directamente al bus de E/S del sistema.
2. **E/S compartida:** en este modo, varios dispositivos de E/S comparten un solo controlador de E/S. Los dispositivos se conectan a través de una interfaz común, como USB o Ethernet, y el controlador de E/S administra la comunicación entre el sistema y los dispositivos.

3. E/S incorporada: en este modo, los dispositivos de E/S se integran directamente en la placa base del sistema, eliminando la necesidad de un módulo de E/S separado. Ejemplos de dispositivos de E/S incorporados incluyen tarjetas de red, controladores de audio y controladores de disco.
4. E/S remota: en este modo, los dispositivos de E/S se ubican en un sistema separado, como un servidor, y se accede a ellos a través de una red de comunicación, como Ethernet.

La elección del modo de ubicación depende de los requisitos de rendimiento, costos y disponibilidad de componentes, entre otros factores.

3a) describa las funciones de correspondencia entre memoria principal y cache

La función de correspondencia en la memoria caché determina cómo se asignan los bloques de memoria de la memoria principal a los bloques de la memoria caché. Hay tres técnicas principales de correspondencia:

1. Correspondencia directa: cada bloque de la memoria principal se asigna a un bloque específico en la memoria caché, lo que facilita la recuperación de datos pero puede provocar una alta tasa de conflictos.
2. Correspondencia por asociación: cada bloque de la memoria principal se puede asignar a cualquier bloque en la memoria caché, lo que reduce la tasa de conflictos pero aumenta la complejidad del proceso de búsqueda.
3. Correspondencia por conjuntos: los bloques de la memoria principal se dividen en conjuntos, y cada conjunto se asigna a un conjunto específico de bloques en la memoria caché, lo que combina las ventajas de la correspondencia directa y por asociación.

En resumen, la función de correspondencia se encarga de determinar cómo se asignan los bloques de la memoria principal a los bloques de la memoria caché, y existen diferentes técnicas de correspondencia para lograr un equilibrio entre la velocidad y la complejidad de la búsqueda.

b) Analice las políticas de escritura desde el punto de vista de la coherencia de datos

Las políticas de escritura en caché son importantes para garantizar la coherencia de los datos entre la memoria principal y la caché. Las políticas comunes son escritura inmediata y escritura diferida. La escritura inmediata actualiza la memoria principal al mismo tiempo que la caché, mientras que la escritura diferida retrasa la actualización de la memoria principal hasta que sea necesario. La invalidación de caché y la actualización de caché se utilizan para garantizar la coherencia de los datos con la escritura diferida.

4) que características tienen los procesadores superescalares . Describa las causas que pueden retardar el funcionamiento de los mismos

Los procesadores superescalares son capaces de ejecutar múltiples instrucciones en paralelo e independientemente, lo que aumenta la velocidad de procesamiento. Sin embargo, esto puede verse afectado por causas como las dependencias de datos, las dependencias de control y las limitaciones de recursos, como la capacidad limitada de las unidades de ejecución y la memoria caché, lo que puede ralentizar su funcionamiento y afectar su rendimiento.

5) que elementos característicos definen un bus ? que son los MMD de la taxonomía de Flynn?

Los elementos característicos que definen un bus son:

- Ancho de banda: determina la cantidad de datos que se pueden transmitir simultáneamente en el bus.
- Velocidad de reloj: establece la frecuencia a la que se transfieren los datos en el bus.
- Latencia: representa el tiempo que tarda un mensaje en ser transmitido desde la fuente hasta el destino.

Los MMD (Multiple Instruction, Multiple Data) son una de las categorías de la taxonomía de Flynn que hace referencia a sistemas de procesamiento que manejan múltiples flujos de datos y múltiples flujos de instrucciones. Esto significa que son capaces de procesar múltiples instrucciones al mismo tiempo y utilizar múltiples datos en paralelo. Ejemplos de sistemas que pertenecen a la categoría MMD son los procesadores superescalares y los procesadores vectoriales.

Alguna fecha de 2022

1) ¿qué métodos para el pasaje de argumentos podemos utilizar en una computadora? ¿cuáles son las diferencias en la terminación de una subrutina y un gestor de interrupción?

Los métodos para el pasaje de argumentos en una computadora pueden ser: por valor, por referencia, por resultado y por nombre.

La principal diferencia entre la terminación de una subrutina y un gestor de interrupción es que una subrutina se llama y termina su ejecución de manera normal, mientras que un gestor de interrupción se ejecuta como respuesta a una interrupción externa y luego vuelve a la ejecución de la tarea principal. En otras palabras, una subrutina es una función que se llama explícitamente y devuelve un valor a la llamada, mientras que un gestor de interrupción se ejecuta de manera asíncrona en respuesta a un evento externo y no devuelve un valor a la llamada.

2) Describa la estructura interna de un controlador programable de interrupciones y describa cómo funciona la gestión E/S programada con espera de respuesta.

La estructura interna de un controlador programable de interrupciones incluye un conjunto de registros, un decodificador de interrupciones, una unidad de control y un circuito de temporización.

En la gestión E/S programada con espera de respuesta, el controlador de interrupciones envía una solicitud de E/S al dispositivo, establece un temporizador y espera una respuesta. Cuando el dispositivo envía una señal de interrupción, el controlador interrumpe el procesador y ejecuta la rutina de manejo de interrupciones correspondiente para procesar la respuesta del dispositivo y actualizar los registros correspondientes. Luego, el controlador de interrupciones reanuda la ejecución del programa principal desde el punto donde se interrumpió. Este proceso se repite hasta que se completa la operación de E/S.

3) A) ¿cuáles son los elementos a tener en cuenta para el diseño de una memoria caché?

Los elementos a tener en cuenta para el diseño de una memoria caché incluyen: el tamaño de la caché, la organización de la caché, el método de correspondencia, la política de reemplazo, la política de escritura, la velocidad de acceso y la coherencia de caché.

3) B) ¿la coherencia de datos de un sistema jerárquico de memoria se ve afectado por el uso de DMA?

Sí, el uso de DMA (Acceso Directo a Memoria) puede afectar la coherencia de datos en un sistema jerárquico de memoria. Esto se debe a que el DMA permite que dispositivos periféricos accedan directamente a la memoria principal sin pasar por la jerarquía de caché, lo que puede dar lugar a inconsistencias de datos en la caché y la memoria principal. Para mantener la coherencia de datos, se requieren técnicas especiales como invalidación de caché y protocolos de coherencia de caché para garantizar que los datos se sincronicen correctamente.

4) ¿De qué depende el paralelismo de una máquina superescalar?

El paralelismo de una máquina superescalar depende de la capacidad del procesador para ejecutar múltiples instrucciones en paralelo y de manera independiente, así como de la capacidad de identificar y resolver las dependencias de datos y de control entre las instrucciones. También depende de la cantidad y tipo de unidades funcionales disponibles en el procesador, así como de la eficiencia de la caché y la memoria.

5) ¿qué elementos característicos definen un bus? ¿qué son los MIMD de la taxonomía de Flynn?

Los elementos característicos de un bus son: líneas de dirección, líneas de datos y líneas de control, que permiten la comunicación de datos y señales entre los diferentes componentes de un sistema informático.

La taxonomía de Flynn clasifica a las arquitecturas de computadoras en cuatro categorías según el número de flujos de instrucciones y datos: SISD, SIMD, MISD y MIMD. MIMD (Multiple Instruction, Multiple Data) se refiere a sistemas que pueden procesar múltiples instrucciones y datos de manera independiente en múltiples procesadores.

Febrero 2014

1) Que es un Bus, tipos de buses, temporización y métodos de arbitraje

Un bus en informática se refiere a un conjunto de cables que permiten la comunicación y transferencia de datos entre diferentes componentes de un sistema computacional, como procesadores, memoria, dispositivos de entrada/salida, etc.

Existen diferentes tipos de buses en informática, algunos de los más comunes son:

1. Bus interno: es el que conecta los diferentes componentes de la placa base de un ordenador, como la CPU, la memoria RAM, el chipset, etc.
2. Bus externo: es el que conecta la placa base con los dispositivos externos, como discos duros, tarjetas de sonido, monitores, teclados, ratones, etc.
3. Bus de sistema: es el que conecta los diferentes ordenadores de una red de área local (LAN).
4. Bus de datos: es el que transmite los datos de una unidad de almacenamiento a otra.

En cuanto a la temporización, el bus funciona mediante un reloj que sincroniza las señales de los diferentes componentes conectados al bus, permitiendo una transferencia de datos eficiente y rápida.

En cuanto a los métodos de arbitraje, existen diferentes técnicas para manejar la comunicación de múltiples componentes que requieren acceso al bus simultáneamente, algunos de los más comunes son:

1. Arbitraje centralizado: un controlador central decide cuál de los dispositivos conectados al bus tiene acceso al mismo en un momento dado.
2. Arbitraje distribuido: cada dispositivo conectado al bus tiene un nivel de prioridad y puede solicitar el acceso al bus cuando lo necesita.
3. Arbitraje basado en colas: se establece una cola para cada dispositivo que solicita el acceso al bus, y se otorga el acceso en función del orden en que se reciben las solicitudes.

En general, el bus es un elemento fundamental en la arquitectura de un sistema computacional, ya que permite una comunicación eficiente y rápida entre los diferentes componentes, lo que mejora el rendimiento y la funcionalidad del sistema en su conjunto.

2) Como es la estructura de un módulo de E/S. Describa las posibles técnicas que pueden utilizarse para realizar las operaciones de E/S

Un módulo de E/S está compuesto por un controlador de E/S y una interfaz de E/S. El controlador gestiona las operaciones de entrada y salida del dispositivo de E/S, mientras que la interfaz permite la comunicación con el sistema. Las posibles técnicas que se pueden utilizar para realizar las operaciones de E/S incluyen el acceso programado, el acceso directo a memoria (DMA), la interrupción y la transferencia por sondeo. Estas técnicas pueden ser utilizadas de forma individual o combinadas para maximizar la eficiencia y velocidad de las operaciones de E/S.

3) Describa las técnicas de reemplazo de bloque, correspondencia y políticas de escritura en memoria cache.

Las técnicas de reemplazo de bloque en memoria caché incluyen:

1. LRU (Least Recently Used): reemplaza el bloque que no ha sido utilizado durante el mayor tiempo.
2. FIFO (First In, First Out): reemplaza el bloque que ha estado en la caché durante más tiempo.

3. Random (Aleatorio): selecciona aleatoriamente el bloque a reemplazar.

En cuanto a la correspondencia, existen dos tipos:

1. Correspondencia directa: un bloque de memoria principal sólo puede ser mapeado a un único conjunto de memoria caché.
2. Correspondencia asociativa: un bloque de memoria principal puede ser mapeado a cualquier conjunto de memoria caché.

En cuanto a las políticas de escritura, existen dos técnicas principales:

1. Escritura inmediata (Write-Through): cada escritura en la caché se realiza simultáneamente en la memoria principal.
2. Escritura diferida (Write-Back): la escritura se realiza únicamente en la caché, y se transfiere a la memoria principal sólo cuando el bloque es reemplazado.

Estas técnicas son utilizadas para mejorar el rendimiento de la memoria caché, que es un componente clave en la aceleración del acceso a datos en la computadora.

4) Que es la segmentación de cauce. Describa los métodos y técnicas utilizadas para disminuir o evitar las paradas que afectaran al funcionamiento de los cauces.

La segmentación de cauce es una técnica utilizada en el diseño de procesadores para aumentar la velocidad de ejecución de las instrucciones. Consiste en dividir el proceso de ejecución de una instrucción en varias etapas o segmentos, permitiendo que varias instrucciones sean ejecutadas en paralelo.

Para disminuir o evitar las paradas que afectan al funcionamiento de los cauces, se utilizan diferentes métodos y técnicas, tales como:

1. Predictores de salto: permite predecir si una instrucción realizará un salto o un salto condicional, evitando la espera a la confirmación de esta acción.
2. Adelantamiento de instrucciones: permite la ejecución de instrucciones que no dependen de una instrucción anterior, mientras se espera a que ésta última sea completada.
3. Buffer de saltos: se utiliza para almacenar instrucciones que realizan saltos condicionales hasta que se confirme si deben ser ejecutadas o no.
4. Asignación dinámica de recursos: permite la asignación de recursos de manera dinámica en el procesador, evitando esperas innecesarias.

Estas técnicas ayudan a reducir las paradas en los cauces y mejorar el rendimiento del procesador.

5) Describa las características que diferencian los SMTP respecto a los clusters

SMTP (Simple Mail Transfer Protocol) es un protocolo de comunicación utilizado para el envío de correo electrónico. Por otro lado, un cluster se refiere a un conjunto de computadoras interconectadas que trabajan en conjunto para realizar una tarea.

Las características que diferencian los SMTP respecto a los clusters son:

1. Función: SMTP es un protocolo de comunicación utilizado para el envío de correo electrónico, mientras que los clusters se utilizan para procesamiento de datos o tareas que requieren una gran cantidad de recursos computacionales.
2. Componentes: SMTP es un protocolo que funciona en una sola computadora, mientras que un cluster está compuesto por varias computadoras trabajando juntas.
3. Arquitectura: SMTP es un protocolo cliente-servidor, donde el cliente envía el correo electrónico y el servidor lo recibe y lo entrega al destinatario. En cambio, los clusters pueden tener diferentes arquitecturas, como la arquitectura de memoria compartida o la arquitectura de memoria distribuida.

En resumen, SMTP y clusters son tecnologías diferentes que tienen diferentes funciones y características.