

Aula 01

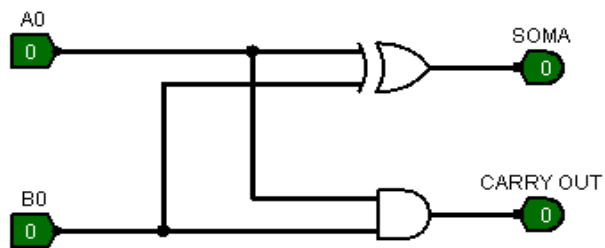
Nome: Guilherme Fróes Camba de Freitas | Matricula: 718116

Nome: Bernardo Ferreira Temponi | Matricula: 699469

Nome: Diego Basilio Arruda | Matricula: 701139

Meio Somador

1. Logisim

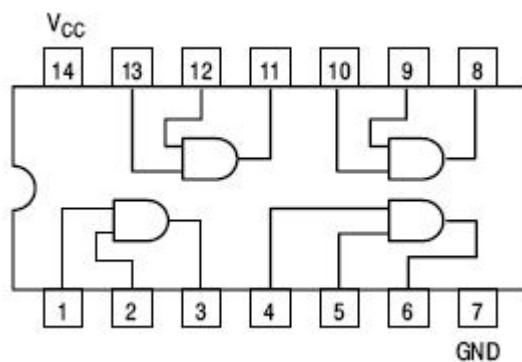


2. Tabela Verdade

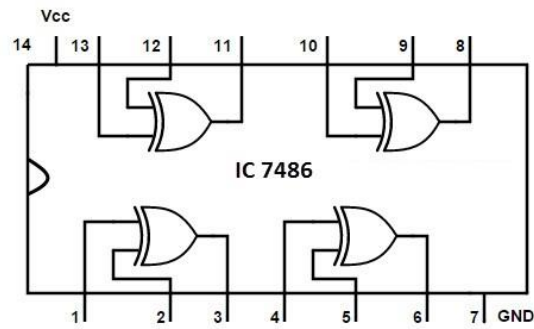
A0	B0	SOMA	CARRYOUT
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

3. Componentes

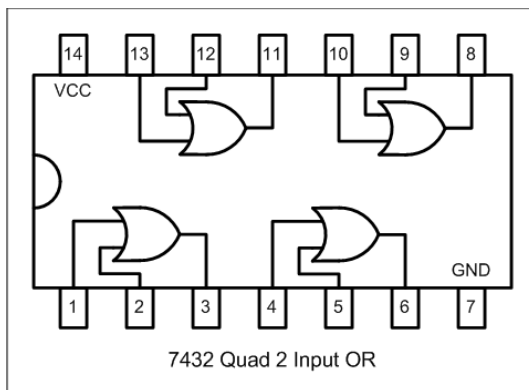
- 7408 - AND



- 7486 Xor



- 7432 Or

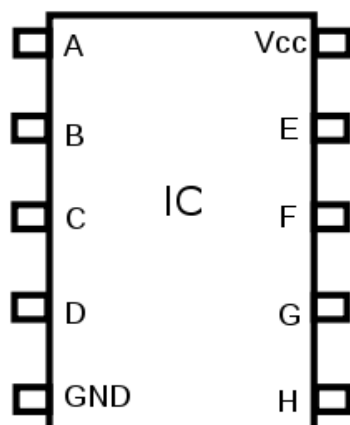


- VCC = 14
- GND = 7

4. Pinos

Nomenclatura típica da alimentação				
BJT	FET			
V_{CC}	V_{DD}	$V+$	V_{S+}	Tensão de alimentação positiva
V_{EE}	V_{SS}	$V-$	V_{S-}	Tensão de alimentação negativa

-



-

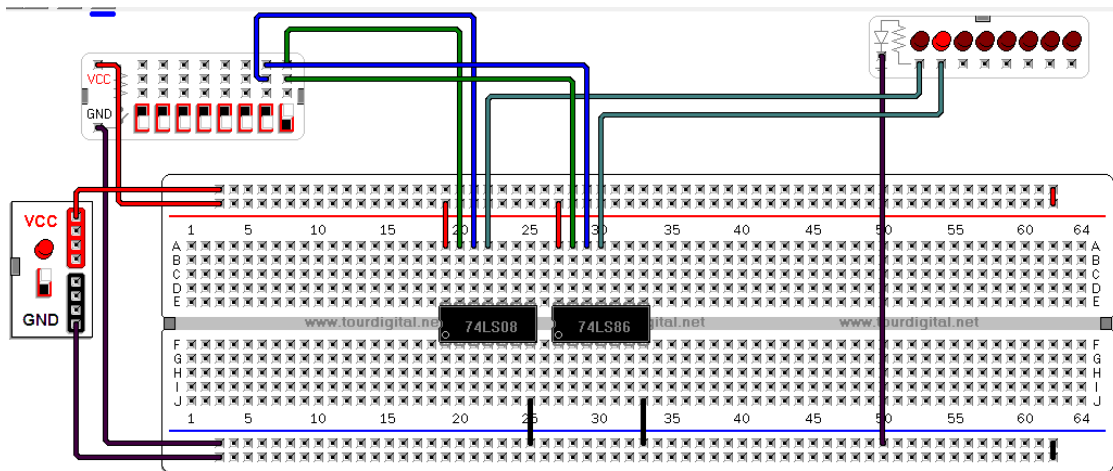
5. Componentes – SIM-97



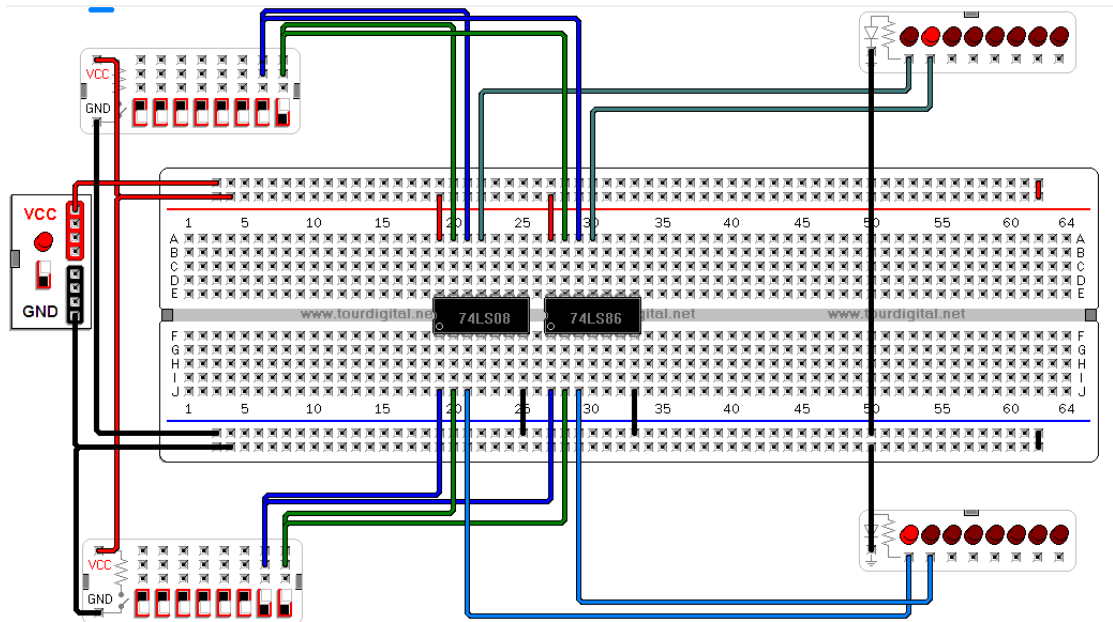
- -> and

-  -> Xor

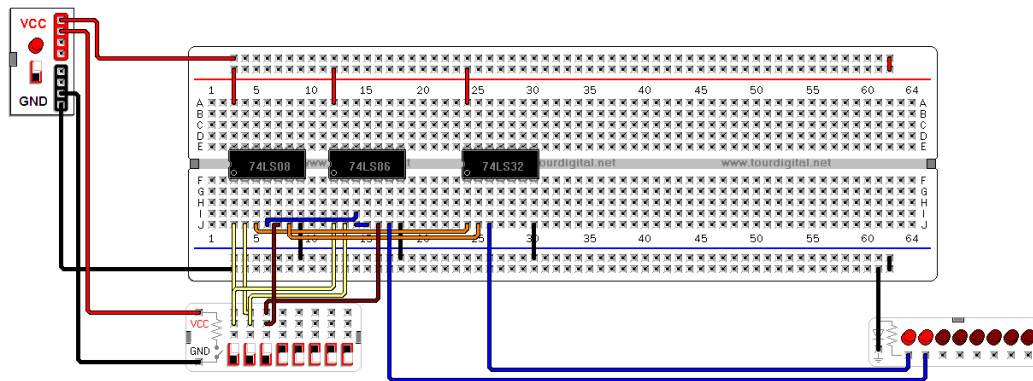
PERGUNTA 1: O terminal desconectado, é colocado como “energizado”, isto é: 1.



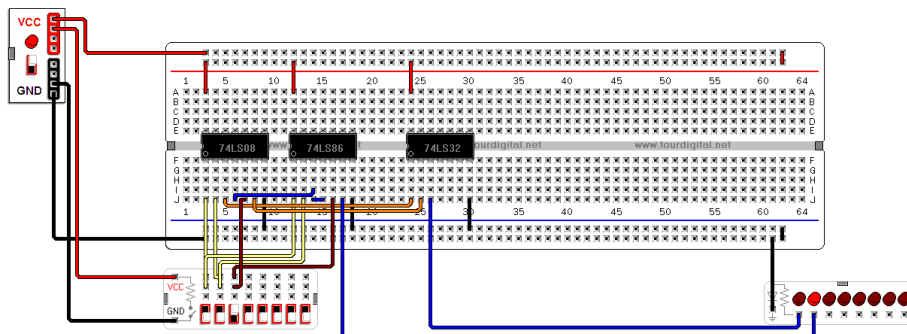
6.



7.

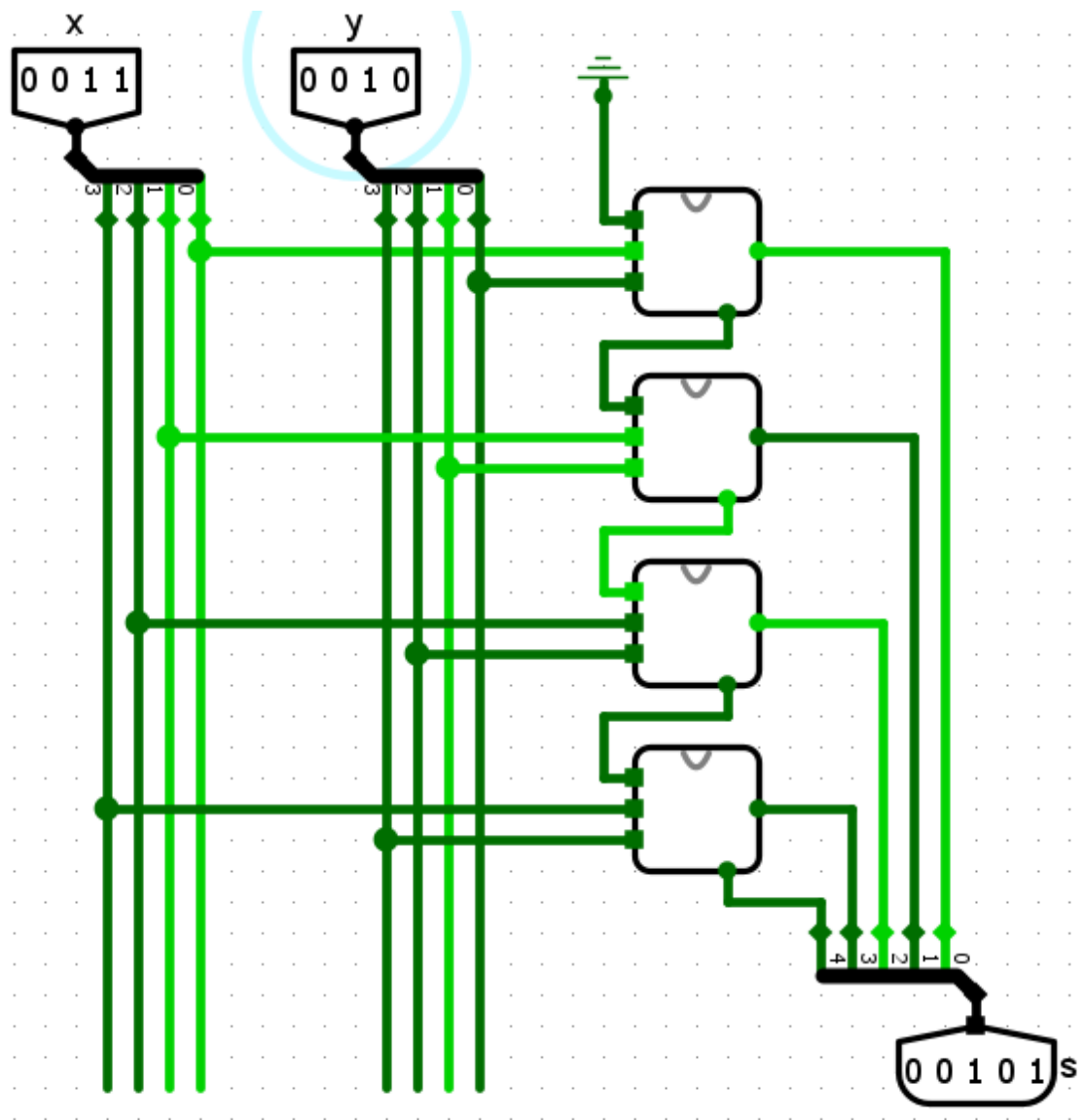


8.



9.

x1	y1	cin	s1	co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



10.

A respeito do funcionamento do somador de 4 bits, pode-se perceber um total de 8 entradas, sendo cada uma de acordo com sua palavra binária. Visto isso, cada combinação entre 2 bits das palavras, mais o "carry in" resultante da soma anterior, irá passar pelo processo da soma em cada um dos somadores.

O "carry in" citado anteriormente, nada mais é do que o resultado da soma entre a combinação dos dois bits anteriores nas palavras binárias.

2) Qual o problema de tempo associado a esse tipo de somador? (Pense no carry), considere o atraso médio de cada porta lógica de 10 ns.

R: Outro problema associado ao emprego direto do mecanismo de predição de "vai um" está relacionado ao número de transistores necessários para implementar as portas lógicas que compõe o preditor, porque esse número de transistores é proporcional ao cubo do número de bits do somador, desse forma resultando na maior utilização de portas porque o carry representaria uma nova entrada ou uma nova saída!

3) Qual o tempo necessário para a computação de uma soma e do vai um em um somador de 4 bits ?

R: Se cada Soma -> temos 5 portas logicas e que cada uma tem um atraso medio de 10^{-9}

Dessa forma temos 4 bits de soma -> acharemos o tempo(atraso medio de um somador de um bit) -> $5 * 10^{-9}$

Assim multiplicaremos por 4 _> já quer trabalharemos com 4 bits de soma -> $1 * 10^{-9} * 5 * 4 => 2 * 10^{-8}$

4) O que seria necessário para um somador de 32 bits?

R: Seria necessária uma herança de meia soma -> unindo com a formação de uma soma -> dessa forma teremos uma base para soma de 1 bit, portanto iremos colocar os circuitos de somatórios individuais em paralelo facilitando a ligação do carry out em uma próxima entrada do elemento (sendo interagindo 3 entradas)

5) Considerando esses tempos acima, calcule a frequência de operação de um somador de 32 bits.

R: Seguindo a mesma logica de calculo -> $f = 1/t$ (inverso do período) -> acharemos o período de cálculo ou o período para uma repetição -> $1 / 1 * 10^{-9} * 5 * 32 -> 26.8435456$

6) Você consegue propor alguma forma de tornar essa soma mais veloz?

R: Se o tempo de cada porta for constante, a única forma é tentar propor uma amenização no entido logico, minimizando o circuito com algumas portas(xor, xnor, nand, etc...) uma vez que velocidade esta real relacionado com o tempo para uma repetição

Portanto, quanto menor tempo proposto para um repetição ou uma maior frequência,