

Arquitetura e Organização de Computadores

Turma C - 2016/02

Projeto da Memória de Dados e Instruções

Objetivo: projetar, simular e sintetizar a memória de dados e instruções do MIPS Multiciclo.

Descrição:

O MIPS Multiciclo utiliza uma única memória para armazenar programa e dados. Neste trabalho deve-se instanciar um módulo de memória da biblioteca de macrofunções do FPGA e iniciá-lo com um código gerado pelo MARS.

O bloco de memória tem a seguinte interface:

- um barramento de endereço (suportar 8 bits de endereço)
- um barramento de dados de entrada (32 bits)
- um barramento de dados de saída (32 bits)
- sinal de habilitação de escrita (writeMem)

O módulo de memória pode ser gerado através do MegaWizard Plugin Manager, em Tools. O wizard tem uma interface interativa que permite gerar uma descrição vhd de um RAM a ser mapeada nos blocos de RAM do FPGA.

O arquivo de inicialização da memória pode ser gerado simplesmente criando-se um arquivo tipo MIF no Quartus II. Pode-se editar diretamente o arquivo texto, com um editor de texto qualquer fora do Quartus, ou usar a própria interface do Quartus para inicializar o arquivo. O arquivo texto MIF gerado está no formato abaixo:

```
-- Quartus II generated Memory Initialization File (.mif)
```

```
WIDTH=32;  
DEPTH=256;
```

```
ADDRESS_RADIX=HEX;  
DATA_RADIX=HEX;
```

```
CONTENT BEGIN  
  00      :      20082000;  
  01      :      8d090000;  
  02      :      8d0a0004;  
  03      :      8d0b0008;  
  04      :      8d0c000c;  
  05      :      8d0d0010;  
  06      :      01498020;  
  07      :      01498822;  
  08      :      018d9024;  
  09      :      012b982a;  
  [0A..FF] :      00000000;  
END;
```

Note que o sinal de habilitação de leitura não é necessário nesse tipo de RAM.

O módulo automaticamente gerado deverá ter uma interface como segue:

```
ENTITY ramtest IS
  PORT
  (
    address      : IN STD_LOGIC_VECTOR (7 DOWNTO 0);
    clock        : IN STD_LOGIC;
    data         : IN STD_LOGIC_VECTOR (31 DOWNTO 0);
    wren         : IN STD_LOGIC;
    q            : OUT STD_LOGIC_VECTOR (31 DOWNTO 0)
  );
END ramtest;
```

O *testbench* deverá gerar os sinais para leitura do conteúdo pré-carregado na RAM e os sinais e dados para escrita da RAM. Os resultados devem ser visualizados no ModelSim-Altera.

Entrega: 08 de novembro - apenas o código, incluindo o arquivo MIF e o *test bench*.