



Otorga el presente

# RECONOCIMIENTO

**A:** Diego Díaz Bello

Por haber completado el curso en línea:

***“Diseño de hardware en VHDL para FPGA”***

que impulsa el aprendizaje de los Dispositivos Lógico Programables,  
con duración de 90 días, culminado en: April 23, 2024

**M.C Carlos García Lucero**  
Director General Intesc

**Ing. Jesús E. Méndez Rosales**  
Instructor