

Instituto Federal de Educação, Ciência e Tecnologia do Ceará
Campus de Maracanaú

Curso de Bacharelado em Ciência da Computação

Arquitetura de Computadores

Prof. Otávio Alcântara

Prática de laboratório: pipeline do processador MIPS

Objetivos:

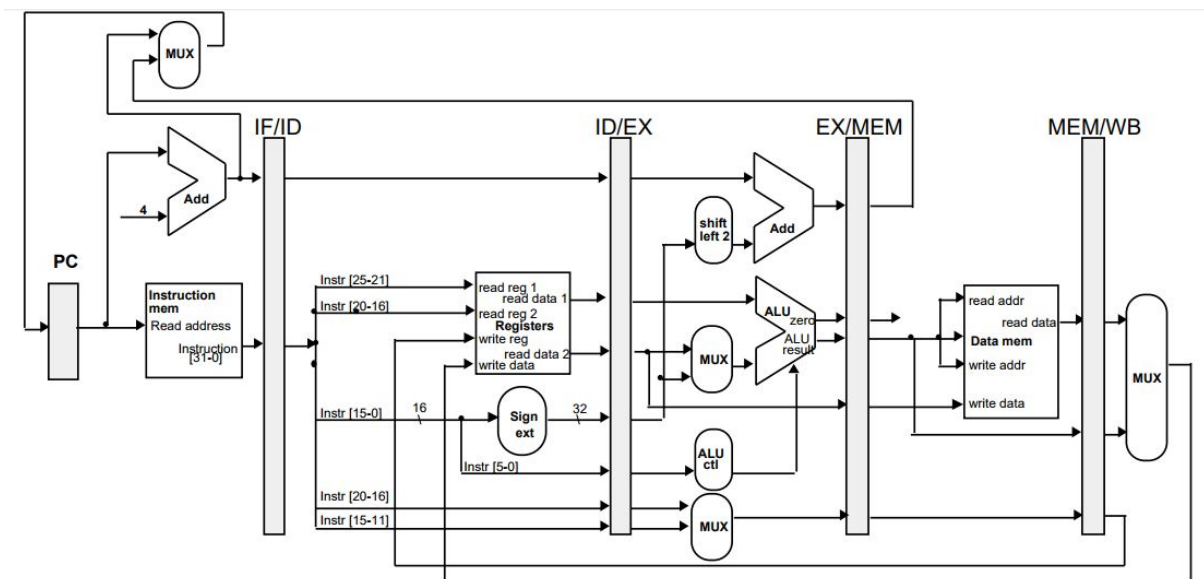
- Ter uma visão geral do pipeline do processador MIPS
- Entender o funcionamento dos estágios do pipeline do MIPS

Ferramentas:

- Simulador Logisim Evolution

Descrição

1. A meta da aula de hoje é simular o pipeline do MIPS (figura abaixo) usando os componentes do simulador. Use o circuito que você projetou na aula passada. Uma descrição (english only, sorry folks!) dos componentes pode ser encontrada no link: <http://www.cs.cornell.edu/courses/cs3410/2017sp/logisim/components.html>

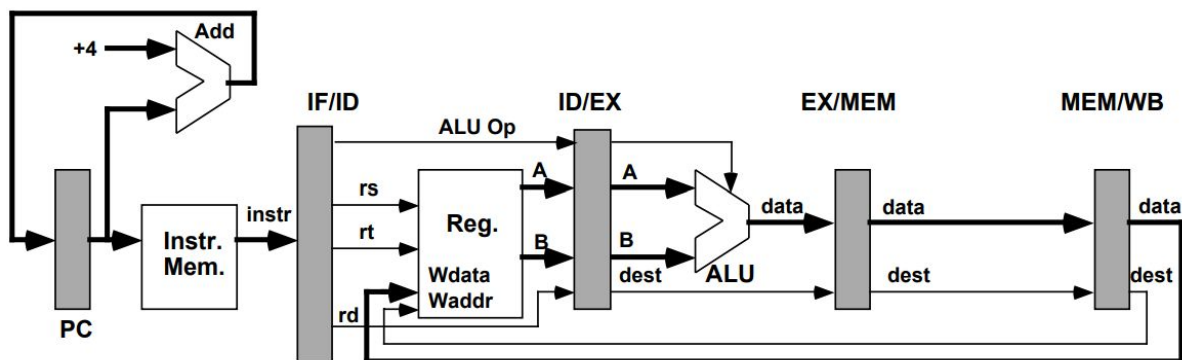


2. A Tabela abaixo apresenta as operações realizadas por cada estágio do pipeline.

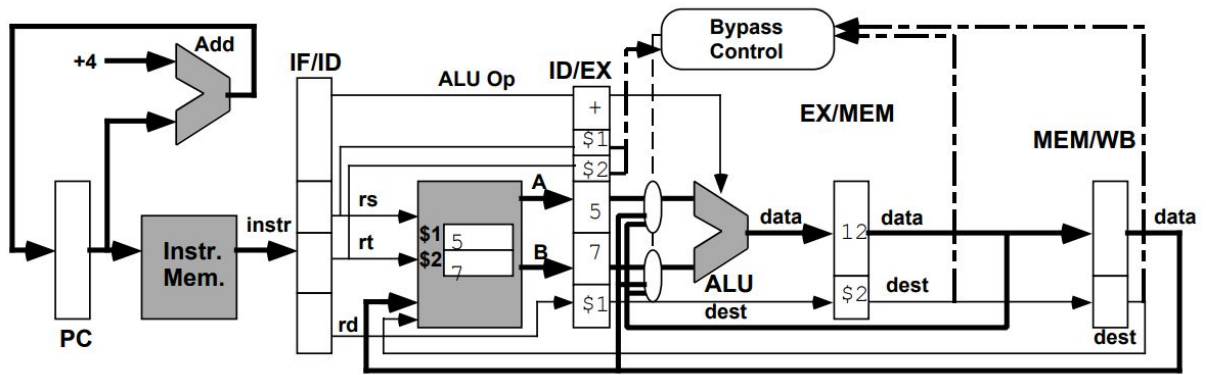
Estágio	R-Type	Load	Store	Beq
IF	$IR \leftarrow \text{IMemory}[\text{PC}];$	$IR \leftarrow \text{IMemory}[\text{PC}];$	$IR \leftarrow \text{IMemory}[\text{PC}];$	$IR \leftarrow \text{IMemory}[\text{PC}];$

	$PC \leftarrow PC+4$	$PC \leftarrow PC+4$	$PC \leftarrow PC+4$	$PC \leftarrow PC+4$
ID	$A \leftarrow \text{REGISTER}[\text{IR}[25:21]]; B \leftarrow \text{REGISTER}[\text{IR}[20:16]]$	$A \leftarrow \text{REGISTER}[\text{IR}[25:21]]; B \leftarrow \text{REGISTER}[\text{IR}[20:16]]$	$A \leftarrow \text{REGISTER}[\text{IR}[25:21]]; B \leftarrow \text{REGISTER}[\text{IR}[20:16]]$	$A \leftarrow \text{REGISTER}[\text{IR}[25:21]]; B \leftarrow \text{REGISTER}[\text{IR}[20:16]]$
EX	$\text{ALUOutput} \leftarrow A \text{ op } B$	$\text{ALUOutput} \leftarrow A + \text{SignExtended}(\text{IR}[15:0])$	$\text{ALUOutput} \leftarrow A + \text{SignExtended}(\text{IR}[15:0])$	$\text{Target} \leftarrow PC + \text{SignExtended}(\text{IR}[15:0]) \ll 2; Z \leftarrow (A-B==0)$
MEM	nop	$\text{Mem-Data} \leftarrow \text{DMemory}[\text{ALUOutput}]$	$\text{DMemory}[\text{ALUOutput}] \leftarrow B$	If(z) $PC \leftarrow \text{target}$
WB	$\text{REGISTER}[\text{IR}[15:11]] \leftarrow \text{ALUOutput}$	$\text{REGISTER}[\text{IR}[20:16]] \leftarrow \text{Mem-data}$	nop	nop

3. Vamos iniciar implementando uma versão simplificada do pipeline que executa apenas instruções do tipo R. Análise o diagrama abaixo e implemente o circuito no Logisim. Simule a execução de cinco instruções do tipo R (sem hazards de dados) e descreva os resultados mostrando os valores dos sinais de controle para execução de cada instrução, bem como o estado de cada estágio do pipeline para cada ciclo de clock.



4. Vamos adicionar a técnica de forwarding no circuito anterior. Análise a figura abaixo e implemente o circuito. Simule a execução de cinco instruções do tipo R (com hazards de dados) e utilize os caminhos de forwarding para eliminar os hazards de dados. O circuito abaixo permite fazer um bypass da saída do estágio EX/MEM e MEM/WB direto para as entradas da ULA.



5. Modifique o circuito anterior para adicionar a memória de dados. Simule e descreva a execução de instruções do tipo Load e Store.