

Flip Flop JK

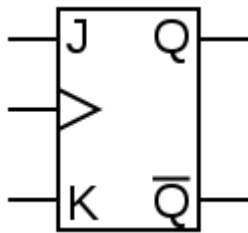
O que é:

O flip flop JK aprimora o funcionamento do flip flop RS interpretando a condição $S = R = 1$ como um comando de inversão.

Especificamente, a combinação $J = 1, K = 0$ é um comando para ativar (set) a saída do flip flop. A combinação $J = 0, K = 1$ é um comando para desativar (reset) a saída do flip flop; e a combinação $J = K = 1$ é um comando para inverter o flip flop, trocando o sinal de saída pelo seu complemento. Fazendo $J = K$ o flip flop JK se torna um flip flop T.

Funcionamento:

Estrutura de Um Flip Flop JK



> é a entrada de clock

J e K são as entradas de dados.

Q representa o sinal de saída do flip-flop.

$Q/$ representa o complemento do sinal de saída do flip-flop.

Q^* é o próximo estado do Q.

Diferentemente de muitos Flip-Flops, com o Flip-Flop JK aplicamos um alto nível lógico tanto na entrada J quanto na entrada K, ao invés de uma indeterminação nas saídas do componente, agora se tem inversão dos níveis lógicos presentes nas saídas anteriores à

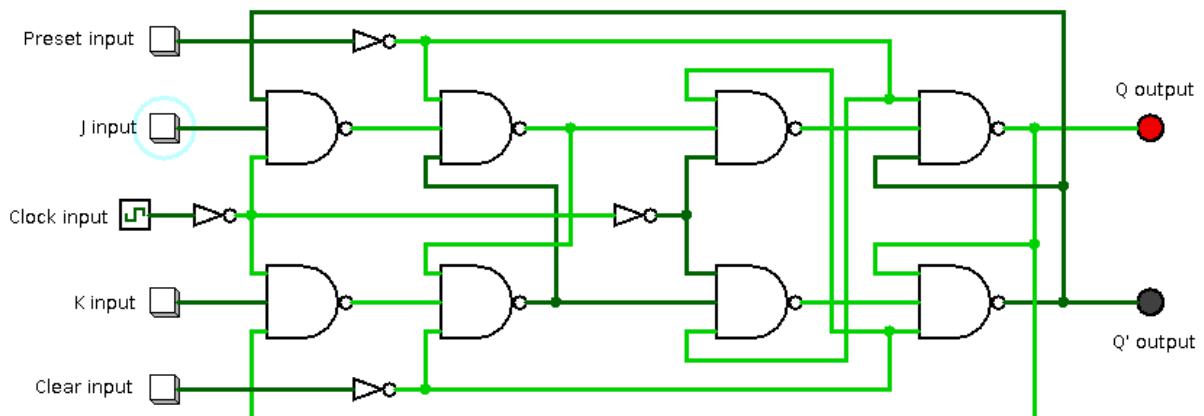
aplicação do clock, ao invés de uma indeterminação nas saídas do componente. A tabela abaixo representa isso de forma mais clara:

J	K	Q
0	0	Q
0	1	0
1	0	1
1	1	Qa "barrado"

Quando $J = 1$, $K = 0$, Q é 1;

Quando J e K são 0, $Q = Q$;

Porém, quando J e K são 1, $Q = Q!$ (ou Q barrado).



Esse circuito parece bem complicado, mas não é não.

O circuito tem 2 entradas: set e reset;

Também tem 2 saídas: Q e Q' (Q barrado ou Q negado ou $Q!$);

Quando a entrada set (ou simplesmente S) passa do nível lógico 0 para o 1, o circuito “memoriza” o nível lógico 1 na saída Q e o nível lógico 0 na saída Q’. Da mesma forma, quando a entrada reset (ou simplesmente R) passa do nível lógico 0 para o 1, o circuito “memoriza” o nível lógico 1 na saída Q’ e o nível lógico 0 na saída Q. Isso significa que, caso as saídas do circuito sejam $Q = 1$ e $Q' = 0$, elas permanecem nesse estado até que a entrada R passe do nível lógico 0 para o 1. Da mesma forma, caso as saídas do circuito sejam $Q = 0$ e $Q' = 1$, elas permanecem nesse estado até que a entrada S passe do nível lógico 0 para o 1. Enquanto o nível lógico das duas entradas é 0, o estado das saídas Q e Q’ não é alterado, até que alguma das duas entradas passe para o nível lógico 1. Observe que as saídas Q e Q’ sempre possuem níveis lógicos complementares: Se $Q = 1$, então $Q' = 0$; Se $Q = 0$, então $Q' = 1$.

Pontos a serem levados em consideração e observações:

O Flip-flop JK é a base para outros Flip-flops;

Para corrigir o problema de erro lógico nos Flip-flops SR quando ambas as entradas estão em nível lógico 1, existem os Flip-flops JK, que são semelhantes aos SR, com uma diferença: Quando ambas as entradas (J e K) estão em nível lógico 1, ao invés de ocorrer um erro lógico, as saídas Q e Q’ têm seus estados invertidos.

Referência:

Flip-Flop: Introdução a Circuito Sequencial. Introdução a Circuito Sequencial. 2008-2019. Disponível em: <http://www.mecaweb.com.br/electronica/content/e_flip_flop>. Acesso em: 02 out. 2019.

Flip-Flop: Eletrônica Analógica. 2015. Disponível em: <<https://labdeelectronica.com.br/tipos-de-flip-flops-jk/>> Acesso em: 5 out. 2019.

Flip-flop: (Eletrônica) Entendendo os circuitos dos flip-flops. 2018. Disponível em: <<https://medium.com/@filipe.chagas/entendendo-os-circuitos-dos-flip-flops-6c6ee1d6bf47>>