

**ICET – INSTITUTO DE CIÊNCIAS EXATAS E TECNOLOGIA**

# **Roteiro de Atividades de Laboratório**

**Disciplina: Circuitos Lógicos Digitais**

**Curso: Ciência da Computação**

**2019**

**Sumário**

## Atividade 1: Conhecendo o Simulador Multisim™

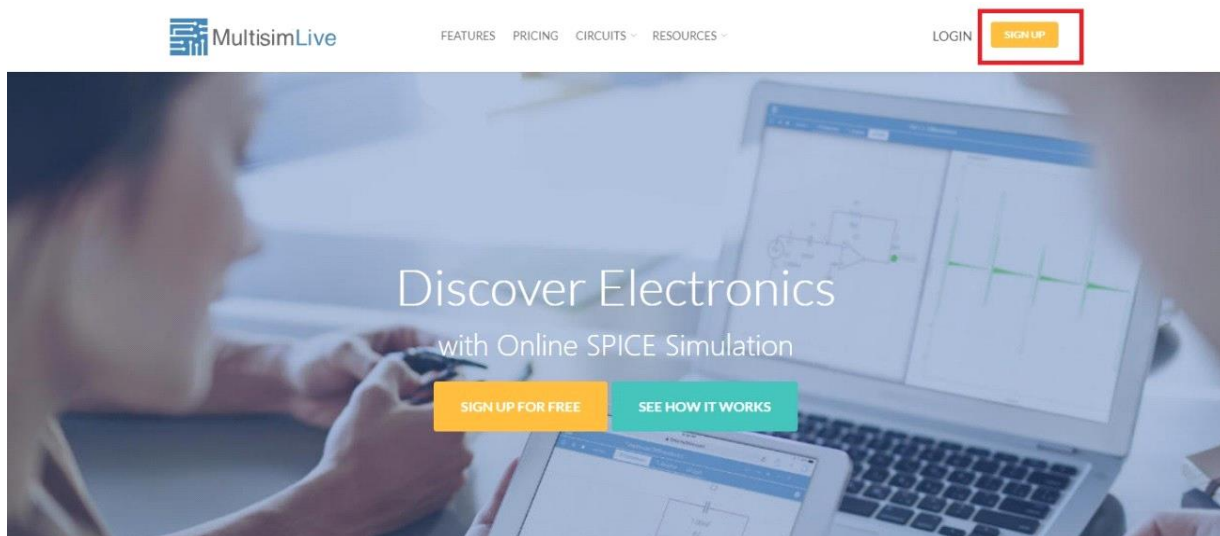
### Introdução

As atividades de laboratório da disciplina de Circuitos Lógicos Digitais serão realizadas por meio de simulação computacional, utilizando o simulador **Multisim™** desenvolvido e fornecido pela **National Instruments**.

Este simulador é gratuito e pode ser usado na sua versão online (**MultisimLive**), sem a necessidade de nenhuma instalação no computador; porém, é necessário criar uma conta para que o mesmo possa ser utilizado. Nesta atividade será apresentado o simulador **Multisim™** e as principais funcionalidades que serão utilizadas.

### Acessando o Multisim™ e criando uma conta

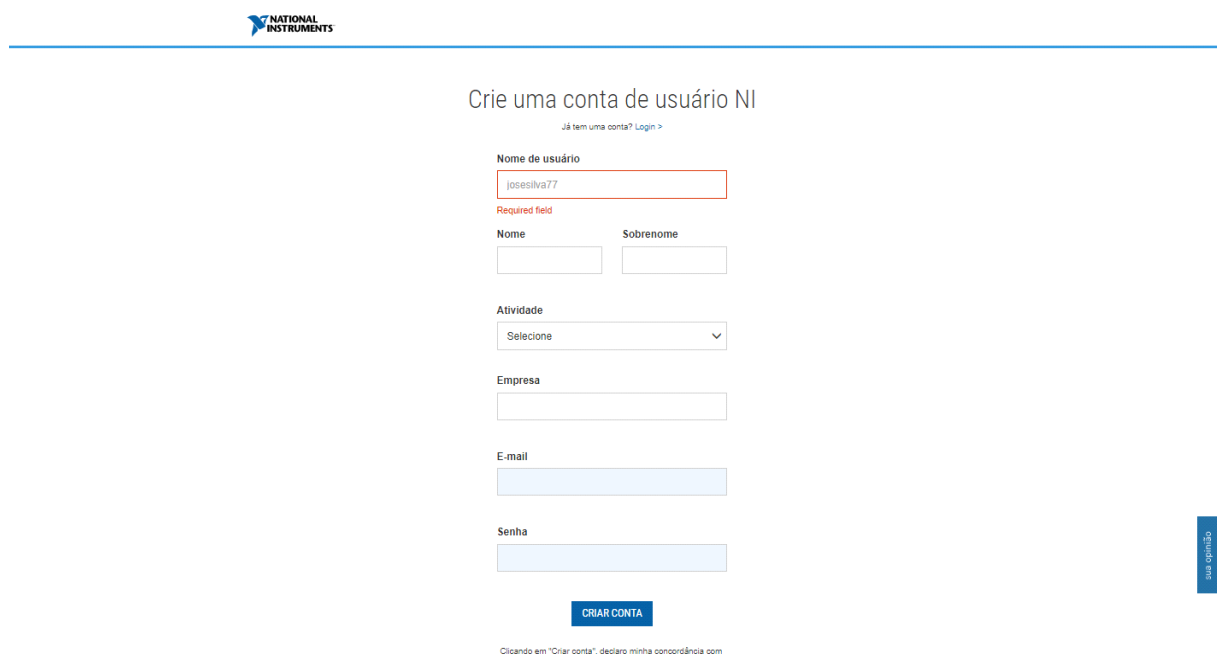
O **Multisim™** é acessado pela página da **National Instruments**, no link [\\_](#). Isto levará à página de abertura, onde será selecionada opção Sign Up (ver figura 1.1).



**Figura 1.1: Página Inicial do Simulador Multisim™.**

Para criar uma conta, será necessário definir um nome de usuário e indicar um e-mail válido, pois após o cadastro será enviada uma confirmação para o e-mail. A figura 1.2

apresenta a tela de cadastro. **Observação:** no campo “Empresa” já existem vários campi da UNIP cadastrados.; selecione o campus onde você estuda.



The screenshot shows the 'Criar uma conta de usuário NI' (Create a National Instruments user account) page. At the top left is the National Instruments logo. The title 'Criar uma conta de usuário NI' is centered, with a link 'Já tem uma conta? Login >' below it. The form includes a 'Nome de usuário' field with the value 'josesilva77' and a red 'Required field' error message. Below this are 'Nome' and 'Sobrenome' fields. A 'Atividade' dropdown menu is set to 'Selecione'. The 'Empresa' field is empty. The 'E-mail' and 'Senha' fields are also empty. A blue 'CRIAR CONTA' button is at the bottom. A small disclaimer at the very bottom reads: 'Clicando em "Criar conta", declaro minha concordância com...'. On the right side of the page, there is a vertical blue button labeled 'sua opinião'.

**Figura 1.2: Página de cadastro para o uso do Multisim™.**

Após o cadastro e a confirmação do e-mail, basta fazer o login para poder utilizar o simulador. Para criar um circuito, seleciona-se o botão Create Circuit no canto superior direito da tela (figura 1.3), o que nos levará à tela onde as simulações serão realizadas (figura 1.4).

CREATE CIRCUIT

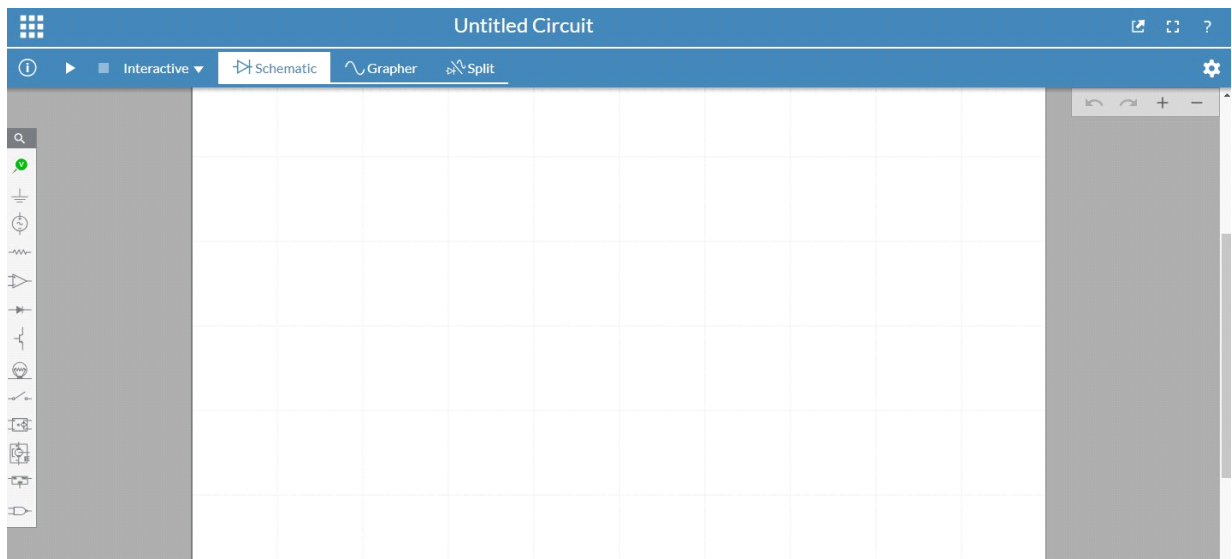


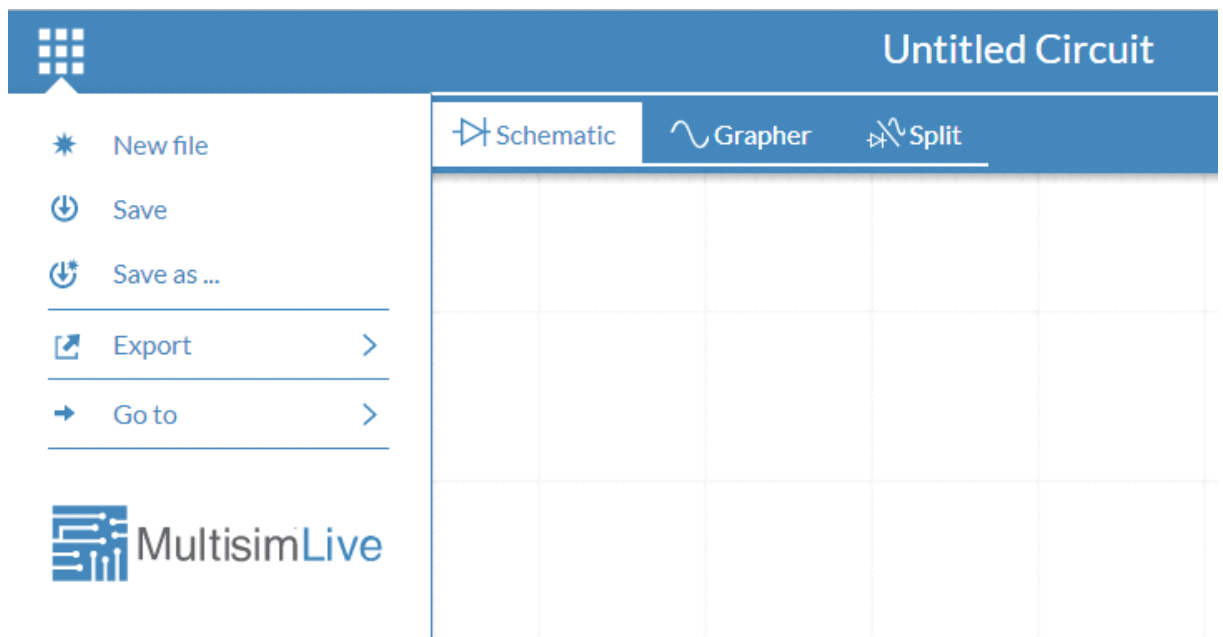
Figura 1.3: Botão “Create Circuit”

Figura 1.4: Área de trabalho do Multisim™.

## Funcionalidades do Multisim™

Ao clicar-se no quadrado no canto superior direito da área de trabalho, é aberto um menu que permite salvar e abrir circuitos previamente salvos (figura 1.5). Abaixo do nome do circuito, aparecem três opções de exibição de tela:

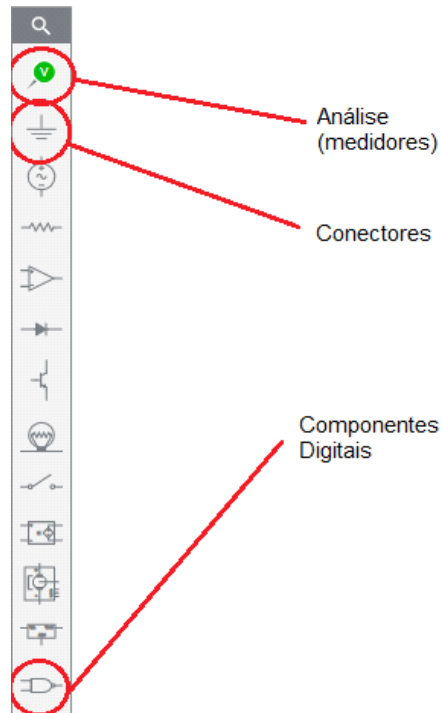
- **Schematic:** exibe o desenho do circuito;
- **Grapher:** exibe os gráficos da simulação;



- **Split:** A tela se divide entre a exibição do circuito e os gráficos.

**Figura 1.5: Menus da área de trabalho do Multisim™.**

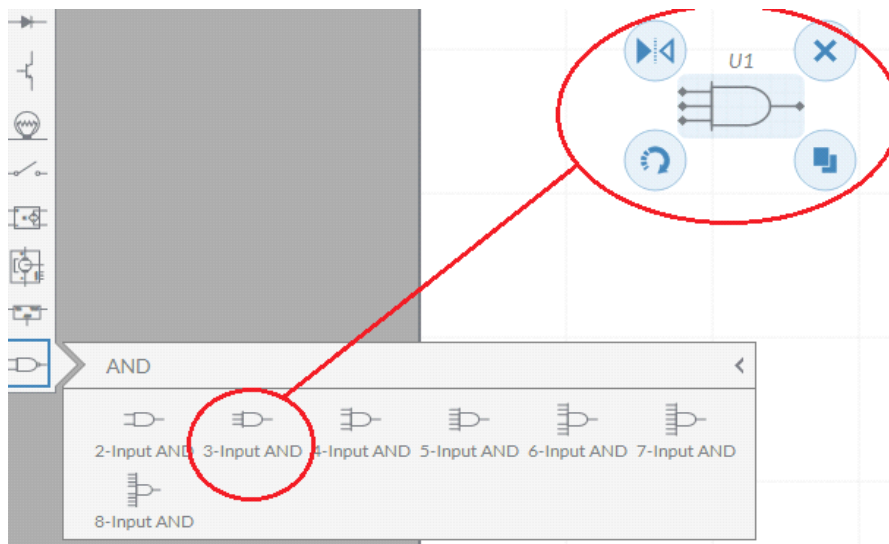
Na lateral esquerda da área de trabalho, aparece um caixa com os componentes disponíveis para a construção de circuitos. Nas atividades desta disciplina serão utilizados principalmente os três grupos indicados na figura 1.6 (Análise, Conectores e Componentes Digitais).



**Figura 1.6: Componentes de circuitos do Multisim™.**

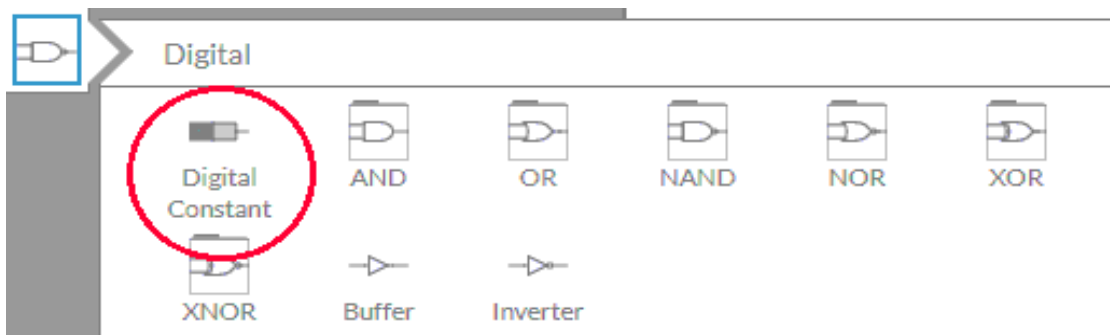
### **Montando um circuito no Multisim™**

Para construir um circuito no **Multisim™**, basta selecionar e arrastar os componentes desejados para a área de trabalho, conforma mostrado na figura 1.7. Os círculos azuis ao redor do componente inserido permitem rotacionar, espelhar, duplicar ou apagar o componente, o que agiliza a construção dos circuitos.



**Figura 1.7: Inserindo um componente.**

Um elemento importante é a entrada digital do circuito; para isto será utilizada a Constante Digital (figura 1.8). Esta constante pode ser alterada entre 0 e 1, permitindo alterar o valor da entrada.



**Figura 1.8: Constante Digital.**

Para conectar dois componentes, coloca-se o mouse sobre o conector do componente: isto fará com que surja o símbolo de um carretel, que indica a fiação do circuito. Simplesmente clica-se na extremidade que quer se ligar e na extremidade do outro componente.

Para medir o sinal digital (0 ou 1) em um dado ponto do circuito, usamos o medidor digital (figura 1.9). Observação: no **Multisim™**, o medidor precisa ser colocado em algum ponto entre componentes; assim, para inserir um medidor na saída de uma porta lógica, caso não haja nada ligado nela, precisamos ligá-la a um conector (figura 1.10).

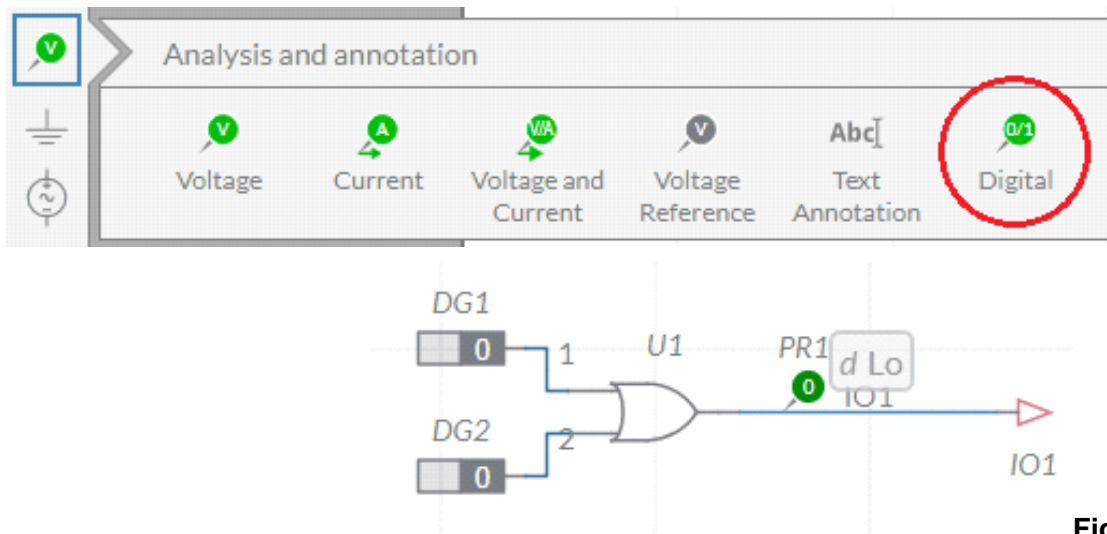


Figura 1.9:

Constante Digital.

Figura 1.10: Circuito com duas entradas digitais, uma porta lógica e um medidor digital.

### Simulando um circuito no Multisim™

Para simular um circuito já construído no **Multisim™**, utilizamos o menu de simulação, na parte superior esquerda do simulador. Existem três opções referentes à simulação:

- **Inicia/Pausa Simulação;**
- **Encerra Simulação;**

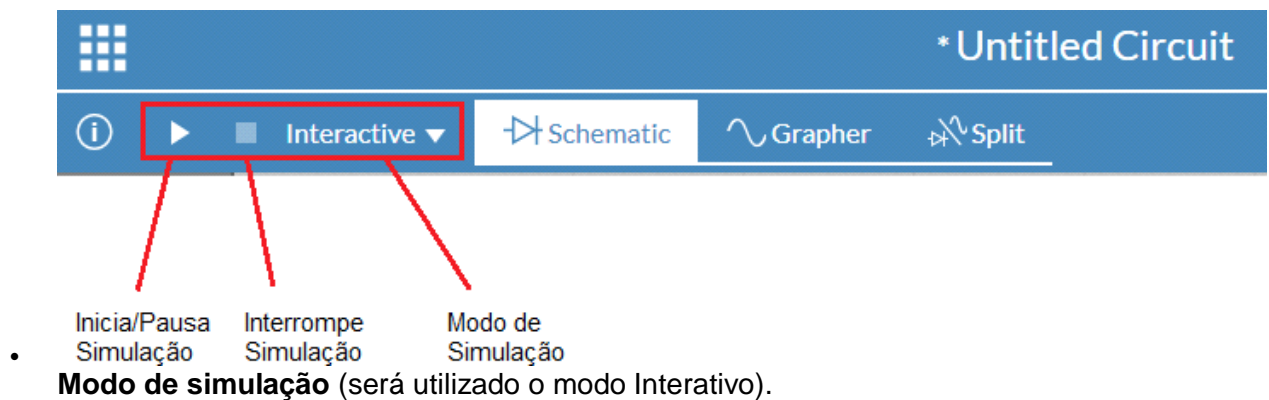
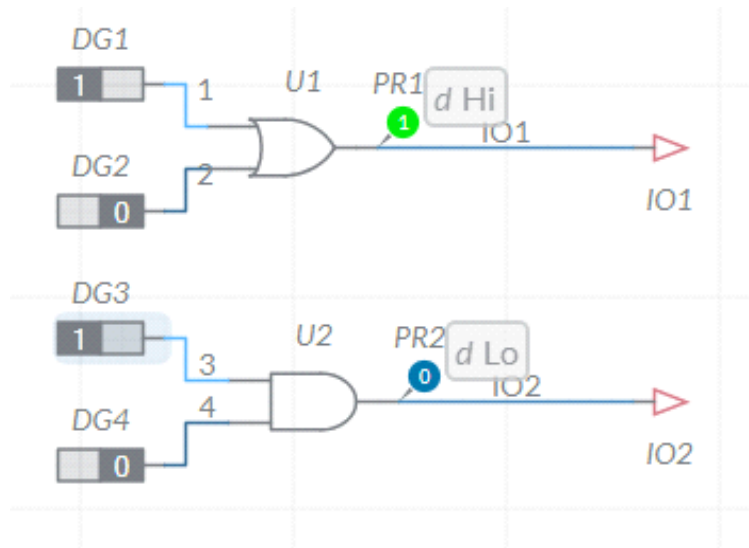


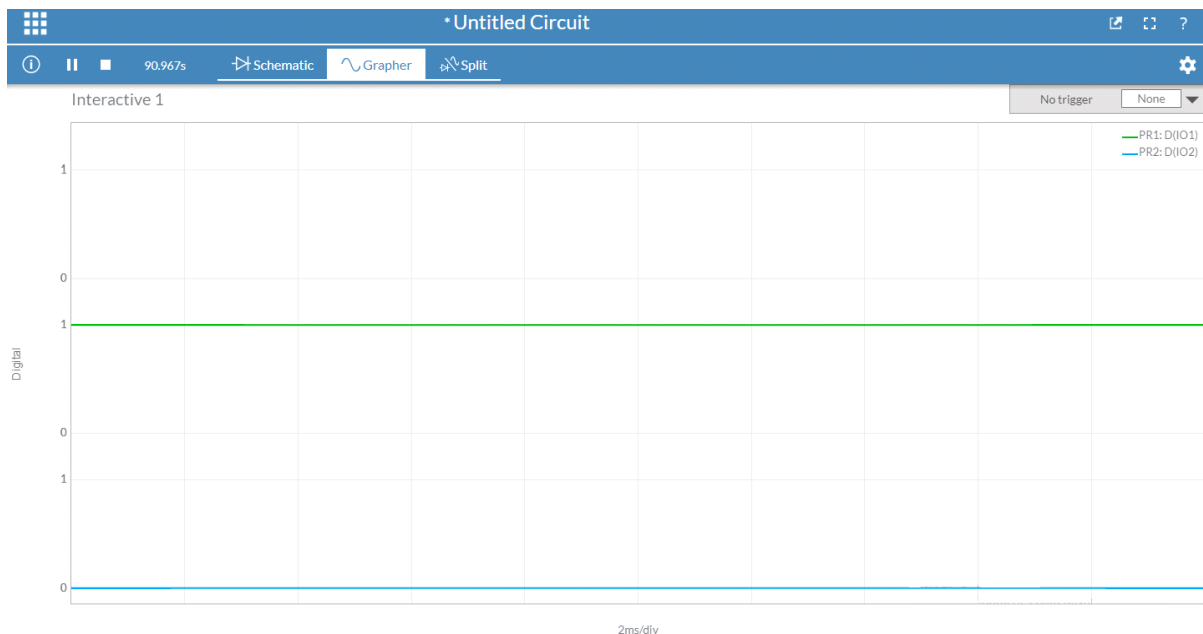
Figura 1.11: Menu de simulação.

Ao se iniciar a simulação, cada medidor mostrará o valor que ele está medindo (0 ou 1), acompanhado do termo d Hi (de high, alto) para 1 e d Lo (de low, baixo) para 0 (figura 1.12). Também é possível exibir um gráfico do valor do medidor, selecionado a opção

Grapher (figura 1.13), sendo que cada medidor apresenta uma cor ao ser colocado no circuito.



**Figura 1.12: Valores dos medidores durante uma simulação.**



**Figura 1.13: Gráfico dos valores dos medidores durante uma simulação.**

## Conclusão

O objetivo desta primeira atividade foi apresentar os recursos oferecidos pelo simulador, bem como os fundamentos necessários para a simulação de Circuitos Lógicos Digitais. Nas próximas atividades, os conceitos aqui apresentados serão aplicados para ilustrar o funcionamento das portas lógicas e dos diferentes circuitos apresentados na disciplina.



## Atividade 2: Simulando Portas Lógicas (Respondido no dia 8/9)

### Introdução

O objetivo desta atividade é se familiarizar com o funcionamento das portas lógicas. Para isto, serão simuladas as portas lógicas *AND*, *NAND*, *OR*, *NOR*, *XOR* e *NXOR* com duas, três e quatro entradas em cada um dos casos.

O simulador **Multisim™** oferece a possibilidade de se trabalhar com estas portas lógicas com um número de entradas variando de duas a oito. Serão simuladas cada uma das seis portas lógicas com as quantidades de entradas indicadas e anotados e analisados os resultados.

### Porta AND

| Entrada 1 | Entrada 2 | Saída |
|-----------|-----------|-------|
| 0         | 0         | 0     |
| 0         | 1         | 0     |
| 1         | 0         | 0     |
| 1         | 1         | 1     |

| Entrada 1 | Entrada 2 | Entrada 3 | Saída |
|-----------|-----------|-----------|-------|
| 0         | 0         | 0         | 0     |
| 0         | 0         | 1         | 0     |
| 0         | 1         | 0         | 0     |
| 0         | 1         | 1         | 0     |
| 1         | 0         | 0         | 0     |
| 1         | 0         | 1         | 0     |
| 1         | 1         | 0         | 0     |
| 1         | 1         | 1         | 1     |

| Entrada 1 | Entrada 2 | Entrada 3 | Entrada 4 | Saída |
|-----------|-----------|-----------|-----------|-------|
| 0         | 0         | 0         | 0         | 0     |
| 0         | 0         | 0         | 1         | 0     |

|   |   |   |   |   |
|---|---|---|---|---|
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

### **Porta NAND**

| Entrada<br>1 | Entrada<br>2 | Saída |
|--------------|--------------|-------|
| 0            | 0            | 1     |
| 0            | 1            | 1     |
| 1            | 0            | 1     |
| 1            | 1            | 0     |

| Entrada<br>1 | Entrada<br>2 | Entrada<br>3 | Saída |
|--------------|--------------|--------------|-------|
| 0            | 0            | 0            | 1     |
| 0            | 0            | 1            | 1     |
| 0            | 1            | 0            | 1     |
| 0            | 1            | 1            | 1     |
| 1            | 0            | 0            | 1     |
| 1            | 0            | 1            | 1     |
| 1            | 1            | 0            | 1     |
| 1            | 1            | 1            | 0     |

| Entrada<br>1 | Entrada<br>2 | Entrada<br>3 | Entrada<br>4 | Saída |
|--------------|--------------|--------------|--------------|-------|
| 0            | 0            | 0            | 0            | 1     |
| 0            | 0            | 0            | 1            | 1     |
| 0            | 0            | 1            | 0            | 1     |
| 0            | 0            | 1            | 1            | 1     |
| 0            | 1            | 0            | 0            | 1     |
| 0            | 1            | 0            | 1            | 1     |

|   |   |   |   |   |
|---|---|---|---|---|
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

### Porta OR

| Entrada<br>1 | Entrada<br>2 | Saída |
|--------------|--------------|-------|
| 0            | 0            | 0     |
| 0            | 1            | 1     |
| 1            | 0            | 1     |
| 1            | 1            | 1     |

| Entrada<br>1 | Entrada<br>2 | Entrada<br>3 | Saída |
|--------------|--------------|--------------|-------|
| 0            | 0            | 0            | 0     |
| 0            | 0            | 1            | 1     |
| 0            | 1            | 0            | 1     |
| 0            | 1            | 1            | 1     |
| 1            | 0            | 0            | 1     |
| 1            | 0            | 1            | 1     |
| 1            | 1            | 0            | 1     |
| 1            | 1            | 1            | 1     |

| Entrada<br>1 | Entrada<br>2 | Entrada<br>3 | Entrada<br>4 | Saída |
|--------------|--------------|--------------|--------------|-------|
| 0            | 0            | 0            | 0            | 0     |
| 0            | 0            | 0            | 1            | 1     |
| 0            | 0            | 1            | 0            | 1     |
| 0            | 0            | 1            | 1            | 1     |
| 0            | 1            | 0            | 0            | 1     |
| 0            | 1            | 0            | 1            | 1     |
| 0            | 1            | 1            | 0            | 1     |
| 0            | 1            | 1            | 1            | 1     |
| 1            | 0            | 0            | 0            | 1     |
| 1            | 0            | 0            | 1            | 1     |

|   |   |   |   |   |
|---|---|---|---|---|
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

### **Porta NOR**

| Entrada<br>1 | Entrada<br>2 | Saída |
|--------------|--------------|-------|
| 0            | 0            | 1     |
| 0            | 1            | 0     |
| 1            | 0            | 0     |
| 1            | 1            | 0     |

| Entrada<br>1 | Entrada<br>2 | Entrada<br>3 | Saída |
|--------------|--------------|--------------|-------|
| 0            | 0            | 0            | 1     |
| 0            | 0            | 1            | 0     |
| 0            | 1            | 0            | 0     |
| 0            | 1            | 1            | 0     |
| 1            | 0            | 0            | 0     |
| 1            | 0            | 1            | 0     |
| 1            | 1            | 0            | 0     |
| 1            | 1            | 1            | 0     |

| Entrada<br>1 | Entrada<br>2 | Entrada<br>3 | Entrada<br>4 | Saída |
|--------------|--------------|--------------|--------------|-------|
| 0            | 0            | 0            | 0            | 1     |
| 0            | 0            | 0            | 1            | 0     |
| 0            | 0            | 1            | 0            | 0     |
| 0            | 0            | 1            | 1            | 0     |
| 0            | 1            | 0            | 0            | 0     |
| 0            | 1            | 0            | 1            | 0     |
| 0            | 1            | 1            | 0            | 0     |
| 0            | 1            | 1            | 1            | 0     |
| 1            | 0            | 0            | 0            | 0     |
| 1            | 0            | 0            | 1            | 0     |
| 1            | 0            | 1            | 0            | 0     |
| 1            | 0            | 1            | 1            | 0     |

|   |   |   |   |   |
|---|---|---|---|---|
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

### Porta XOR

| Entrada<br>1 | Entrada<br>2 | Saída |
|--------------|--------------|-------|
| 0            | 0            | 0     |
| 0            | 1            | 1     |
| 1            | 0            | 1     |
| 1            | 1            | 0     |

| Entrada<br>1 | Entrada<br>2 | Entrada<br>3 | Saída |
|--------------|--------------|--------------|-------|
| 0            | 0            | 0            | 0     |
| 0            | 0            | 1            | 1     |
| 0            | 1            | 0            | 1     |
| 0            | 1            | 1            | 0     |
| 1            | 0            | 0            | 1     |
| 1            | 0            | 1            | 0     |
| 1            | 1            | 0            | 0     |
| 1            | 1            | 1            | 1     |

| Entrada<br>1 | Entrada<br>2 | Entrada<br>3 | Entrada<br>4 | Saída |
|--------------|--------------|--------------|--------------|-------|
| 0            | 0            | 0            | 0            | 0     |
| 0            | 0            | 0            | 1            | 1     |
| 0            | 0            | 1            | 0            | 1     |
| 0            | 0            | 1            | 1            | 0     |
| 0            | 1            | 0            | 0            | 1     |
| 0            | 1            | 0            | 1            | 0     |
| 0            | 1            | 1            | 0            | 0     |
| 0            | 1            | 1            | 1            | 1     |
| 1            | 0            | 0            | 0            | 1     |
| 1            | 0            | 0            | 1            | 0     |
| 1            | 0            | 1            | 0            | 0     |
| 1            | 0            | 1            | 1            | 1     |
| 1            | 1            | 0            | 0            | 0     |
| 1            | 1            | 0            | 1            | 1     |
| 1            | 1            | 1            | 0            | 1     |
| 1            | 1            | 1            | 1            | 0     |

### **Porta NXOR**

| Entrada<br>1 | Entrada<br>2 | Saída |
|--------------|--------------|-------|
| 0            | 0            | 1     |
| 0            | 1            | 0     |
| 1            | 0            | 0     |
| 1            | 1            | 1     |

| Entrada<br>1 | Entrada<br>2 | Entrada<br>3 | Saída |
|--------------|--------------|--------------|-------|
| 0            | 0            | 0            | 1     |
| 0            | 0            | 1            | 0     |
| 0            | 1            | 0            | 0     |
| 0            | 1            | 1            | 1     |
| 1            | 0            | 0            | 0     |
| 1            | 0            | 1            | 1     |
| 1            | 1            | 0            | 1     |
| 1            | 1            | 1            | 0     |

| Entrada<br>1 | Entrada<br>2 | Entrada<br>3 | Entrada<br>4 | Saída |
|--------------|--------------|--------------|--------------|-------|
| 0            | 0            | 0            | 0            | 1     |
| 0            | 0            | 0            | 1            | 0     |
| 0            | 0            | 1            | 0            | 0     |
| 0            | 0            | 1            | 1            | 1     |
| 0            | 1            | 0            | 0            | 0     |
| 0            | 1            | 0            | 1            | 1     |
| 0            | 1            | 1            | 0            | 1     |
| 0            | 1            | 1            | 1            | 0     |
| 1            | 0            | 0            | 0            | 0     |
| 1            | 0            | 0            | 1            | 1     |
| 1            | 0            | 1            | 0            | 1     |
| 1            | 0            | 1            | 1            | 0     |
| 1            | 1            | 0            | 0            | 1     |
| 1            | 1            | 0            | 1            | 0     |
| 1            | 1            | 1            | 0            | 0     |
| 1            | 1            | 1            | 1            | 1     |

**Questão:** Considerando as portas com duas, três e quatro entradas, como pode ser descrito o funcionamento de cada uma seis portas lógicas?

**Porta AND:** É necessário que todas as portas sejam 1 para o resultado ser 1.

**Porta NAND:** O contrário do AND, é necessário que todas as portas sejam 0 para o resultado ser 1.

---

**Porta OR:** Se uma das portas for 1, já é o suficiente para o resultado ser 1.

---

**Porta NOR:** O contrário do OR, se uma das portas for 0, já é o suficiente para o resultado ser 1.

---

**Porta XOR:** Se a soma das portas for ímpar, o resultado será 1. Se a soma das portas for par, o resultado será 0

---

**Porta NXOR:** O contrário do XOR, Se a soma das portas for ímpar, o resultado será 0. Se a soma das portas for par, o resultado será 1

---

## **Atividade 3: Portas Lógicas como Operadores Aritméticos**

### **Introdução**

Georges Boole (1815-1864) estabeleceu a relação entre os operadores lógicos e operadores aritméticos, conforme descrito abaixo:

Tal relação fez com a Lógica, que antes era um ramo da Filosofia, passasse a ser um ramo da Matemática. Nesta forma, o valor 0 passou a representar o valor lógico “falso” e o valor 1, o valor lógico “verdadeiro”.

O objetivo desta atividade é determinar quais portas lógicas correspondem às operações da “soma lógica” e “multiplicação lógica”. É importante observar que ambas operações são comutativas.

### Soma Lógica:

Porta Lógica: OR

| Entrada A | Entrada B | Saída (A + B) |
|-----------|-----------|---------------|
| 0         | 0         | 0             |
| 0         | 1         | 1             |
| 1         | 0         | 1             |
| 1         | 1         | 1             |

### Multiplicação Lógica:

Porta Lógica: AND

| Entrada A | Entrada B | Saída (A . B) |
|-----------|-----------|---------------|
| 0         | 0         | 0             |
| 0         | 1         | 0             |
| 1         | 0         | 0             |
| 1         | 1         | 1             |

**Questão:** Uma vez identificadas as portas lógicas correspondentes às duas operações, ambas respeitam as propriedades de associatividade e distributividade apresentadas abaixo? Monte os circuitos e complete a tabela verdade para justificar sua resposta.

### Associatividade e Distributividade

$$A + (B + C) = (A + B) + C = A + B + C$$

$$A \cdot (B \cdot C) = (A \cdot B) \cdot C = A \cdot B \cdot C$$

### Soma Lógica

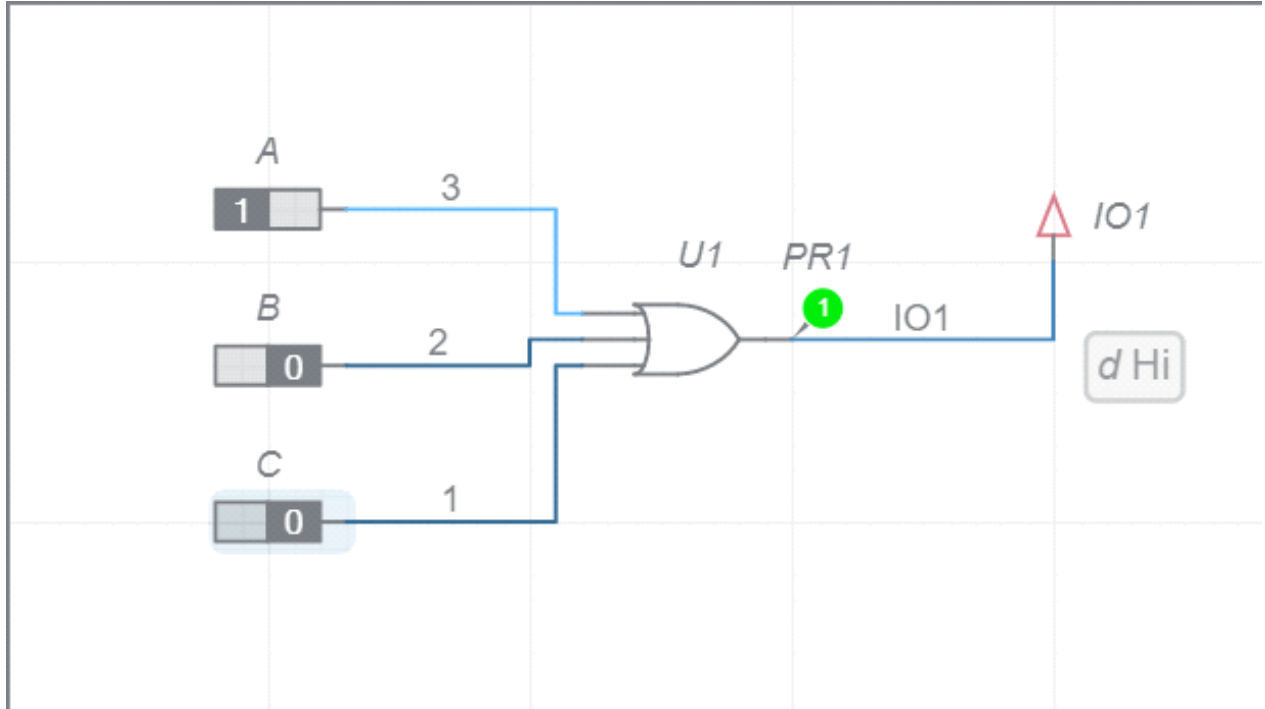
| Entrada A | Entrada B | Entrada C | A + (B + C) | (A + B) + C | A + B + C |
|-----------|-----------|-----------|-------------|-------------|-----------|
| 0         | 0         | 0         | 0           | 0           | 0         |
| 0         | 0         | 1         | 1           | 1           | 1         |
| 0         | 1         | 0         | 1           | 1           | 1         |
| 0         | 1         | 1         | 1           | 1           | 1         |
| 1         | 0         | 0         | 1           | 1           | 1         |



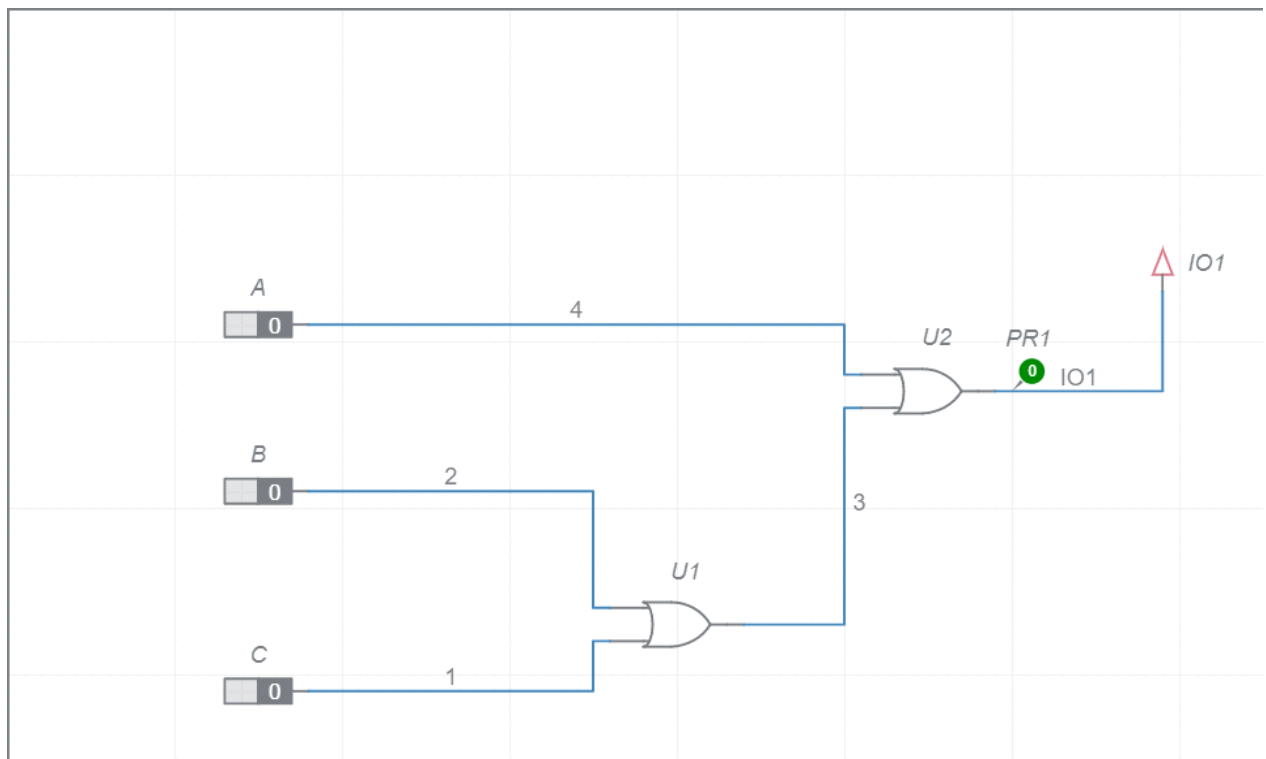
|   |   |   |   |   |   |
|---|---|---|---|---|---|
| 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 |

Circuitos:

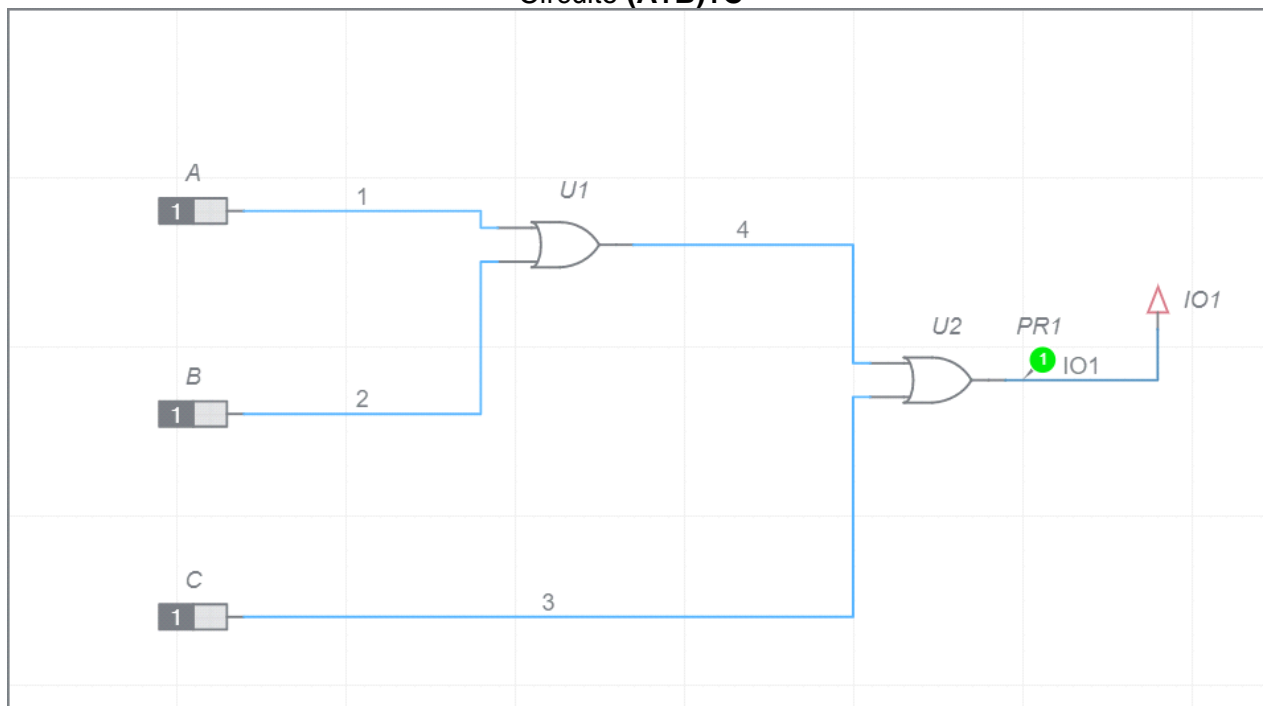
Circuito  **$A+B+C$** .



Circuito  **$A+(B+C)$**



Circuito  $(A+B)+C$

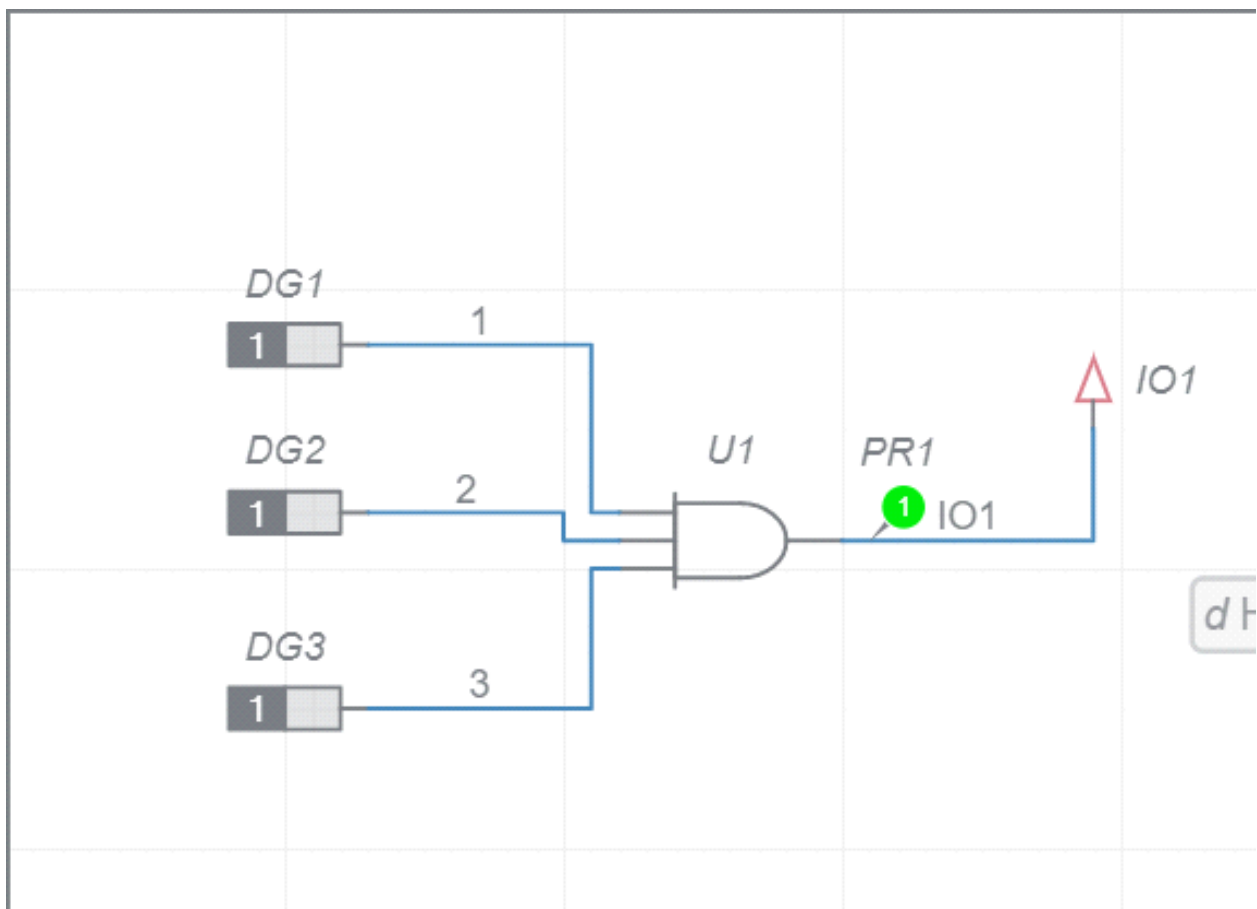


## Multiplicação Lógica

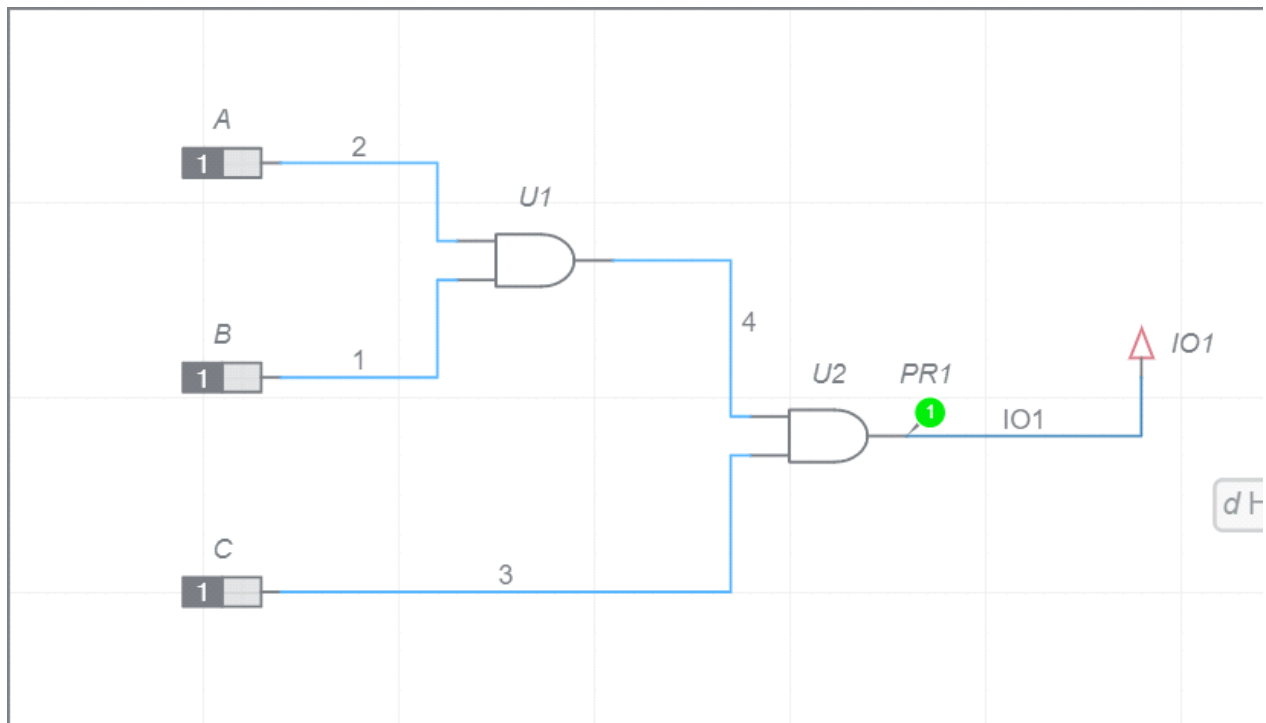
| Entrada A | Entrada B | Entrada C | $A \cdot (B \cdot C)$ | $(A \cdot B) \cdot C$ | $A \cdot B \cdot C$ |
|-----------|-----------|-----------|-----------------------|-----------------------|---------------------|
| 0         | 0         | 0         | 0                     | 0                     | 0                   |
| 0         | 0         | 1         | 0                     | 0                     | 0                   |
| 0         | 1         | 0         | 0                     | 0                     | 0                   |
| 0         | 1         | 1         | 0                     | 0                     | 0                   |
| 1         | 0         | 0         | 0                     | 0                     | 0                   |
| 1         | 0         | 1         | 0                     | 0                     | 0                   |
| 1         | 1         | 0         | 0                     | 0                     | 0                   |
| 1         | 1         | 1         | 1                     | 1                     | 1                   |

Circuitos:

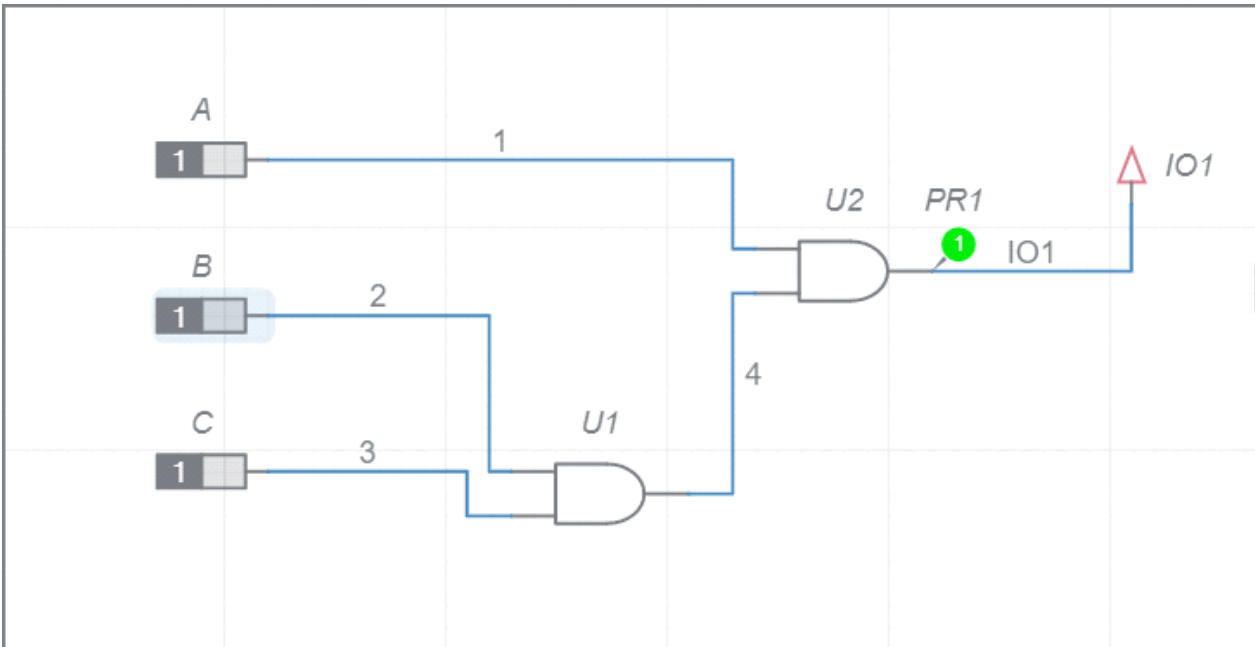
Circuito **A.B.C**



Circuito **(A.B).C**



Circuito **A.(B.C)**



**Resposta:** Sim, realmente as 3 expressões das 2 portas lógicas mantêm o mesmo resultado

## Atividade 4: Construindo e avaliando Circuitos Lógicos

### Introdução

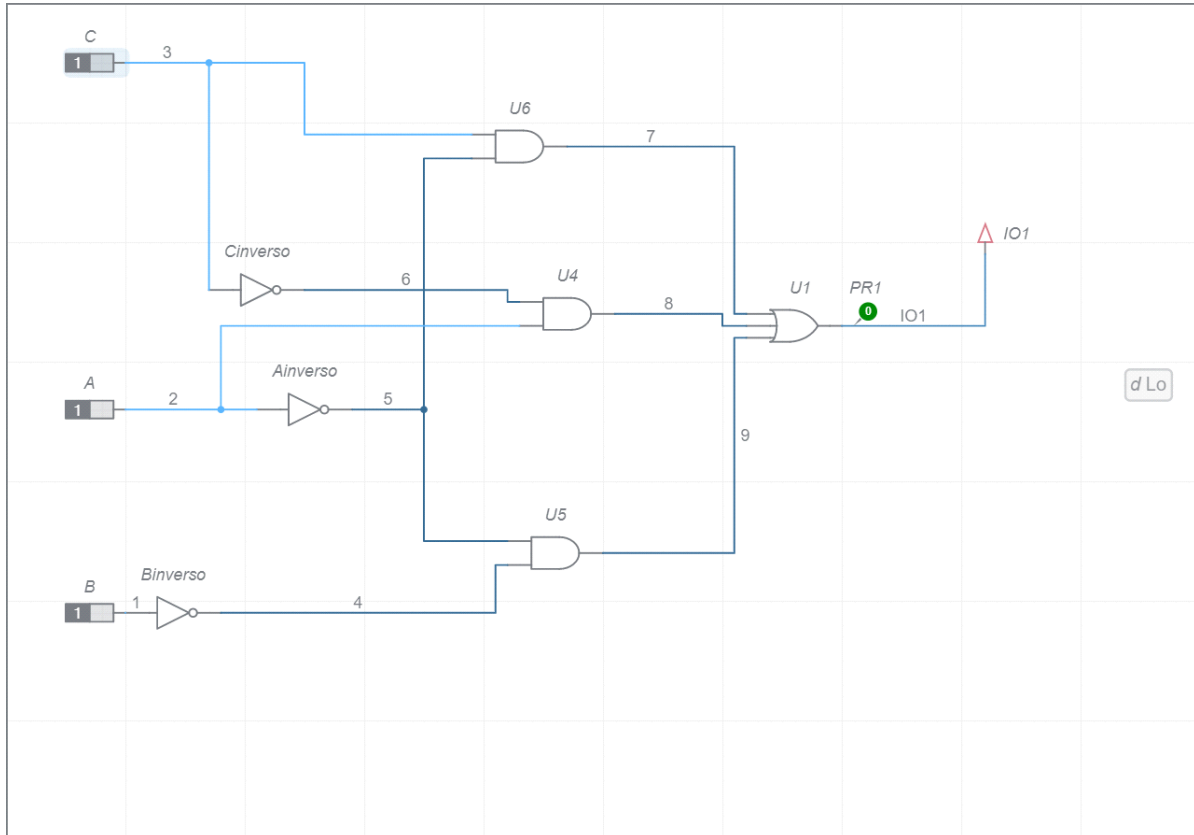
Parte importante da construção de circuitos lógicos digitais é saber transformar expressões lógicas em circuitos e obter a expressão lógica a partir do desenho esquemático de circuitos.

## Parte I

Esboçar o circuito para cada uma das expressões, simulá-lo e completar a tabela verdade.

- $S = A' \cdot B' + A \cdot C' + A' \cdot C$

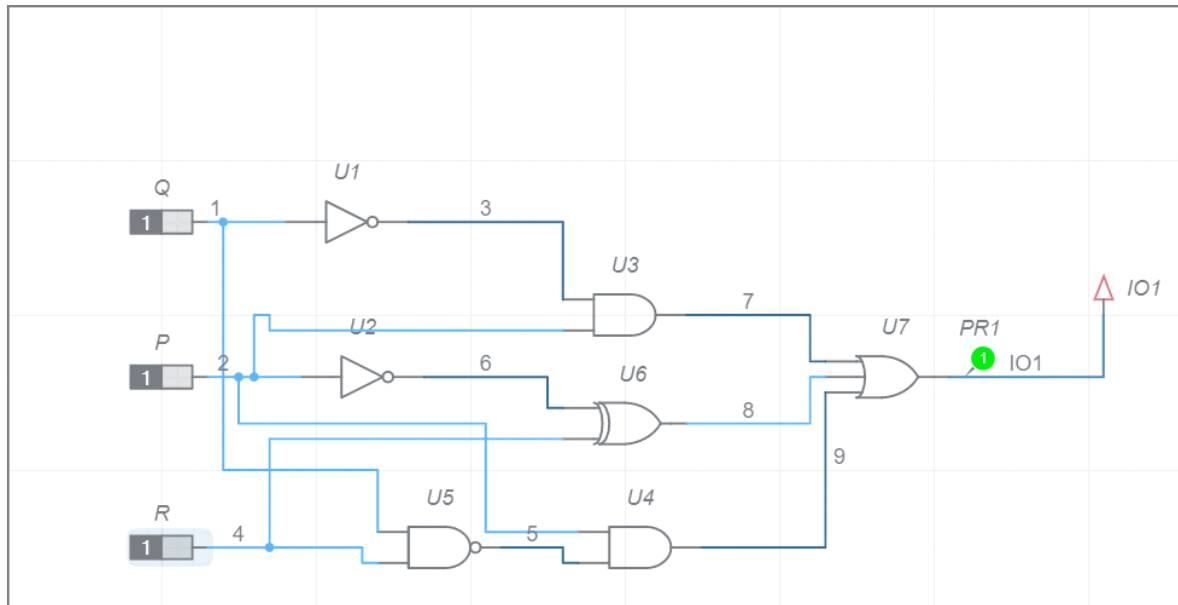
Circuito:



| A | B | C | Saída (Simulada) |
|---|---|---|------------------|
| 0 | 0 | 0 | 1                |
| 0 | 0 | 1 | 1                |
| 0 | 1 | 0 | 0                |
| 0 | 1 | 1 | 1                |
| 1 | 0 | 0 | 1                |
| 1 | 0 | 1 | 0                |
| 1 | 1 | 0 | 1                |
| 1 | 1 | 1 | 0                |

- $S = P \cdot Q' + P \cdot (R \cdot Q)' + (P' \oplus R)$

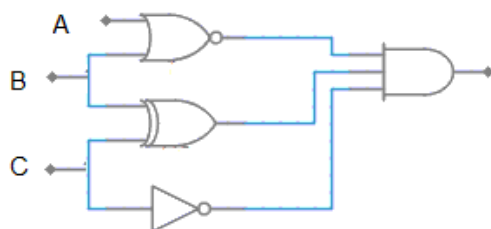
Circuito:



| P | Q | R | Saída (Simulada) |
|---|---|---|------------------|
| 0 | 0 | 0 | 1                |
| 0 | 0 | 1 | 0                |
| 0 | 1 | 0 | 1                |
| 0 | 1 | 1 | 0                |
| 1 | 0 | 0 | 1                |
| 1 | 0 | 1 | 1                |
| 1 | 1 | 0 | 1                |
| 1 | 1 | 1 | 1                |

## Parte II

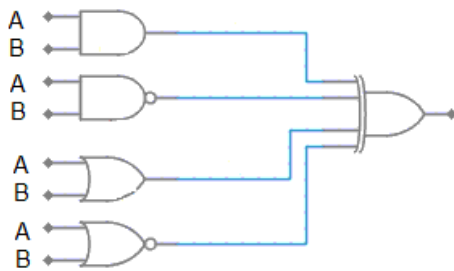
Determinar a expressão para cada um dos circuitos, simulá-lo e completar a tabela verdade.



$$S = (A+B)' \cdot (B \oplus C) \cdot C'$$

a)

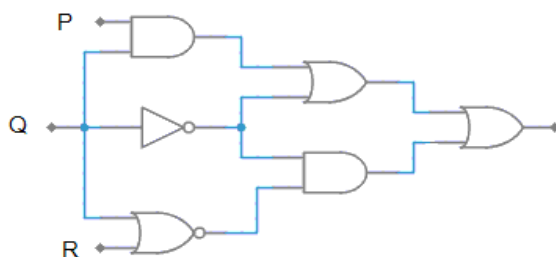
| A | B | C | Saída<br>(Simulada) |
|---|---|---|---------------------|
| 0 | 0 | 0 | 0                   |
| 0 | 0 | 1 | 0                   |
| 0 | 1 | 0 | 0                   |
| 0 | 1 | 1 | 0                   |
| 1 | 0 | 0 | 0                   |
| 1 | 0 | 1 | 0                   |
| 1 | 1 | 0 | 0                   |
| 1 | 1 | 1 | 0                   |



$$S = (A \cdot B) \oplus (A \cdot B)' \oplus (A+B) \oplus (A+B)'$$

b)

| A | B | Saída<br>(Simulada) |
|---|---|---------------------|
| 0 | 0 | 0                   |
| 0 | 1 | 0                   |
| 1 | 0 | 0                   |
| 1 | 1 | 0                   |





$$S = ((P.Q) + Q') + ((P+Q).Q')$$

c)

| P | Q | R | Saída<br>(Simulada) |
|---|---|---|---------------------|
| 0 | 0 | 0 | 1                   |
| 0 | 0 | 1 | 1                   |
| 0 | 1 | 0 | 0                   |
| 0 | 1 | 1 | 0                   |
| 1 | 0 | 0 | 1                   |
| 1 | 0 | 1 | 1                   |
| 1 | 1 | 0 | 1                   |
| 1 | 1 | 1 | 1                   |

## Atividade 5: Equivalência de Circuitos Lógicos

### Introdução

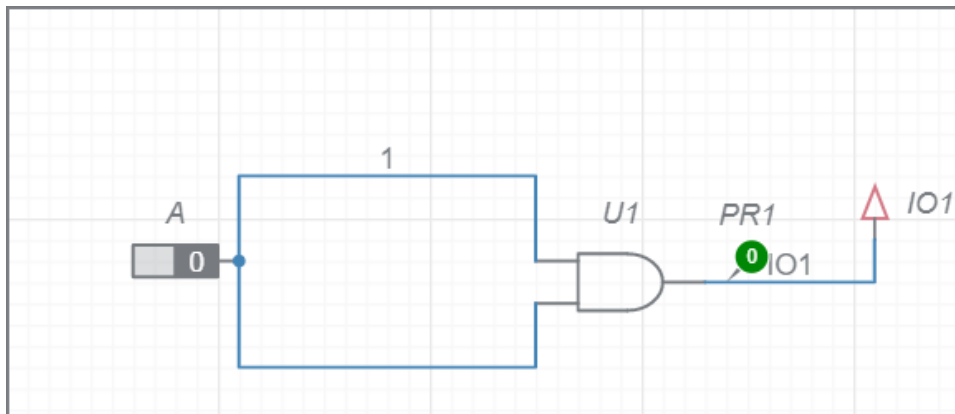
O objetivo desta atividade é demonstrar, por meio da simulação no **Multisim™**, que toda expressão lógica (e conseqüentemente, todo circuito lógico), possui infinitos equivalentes.

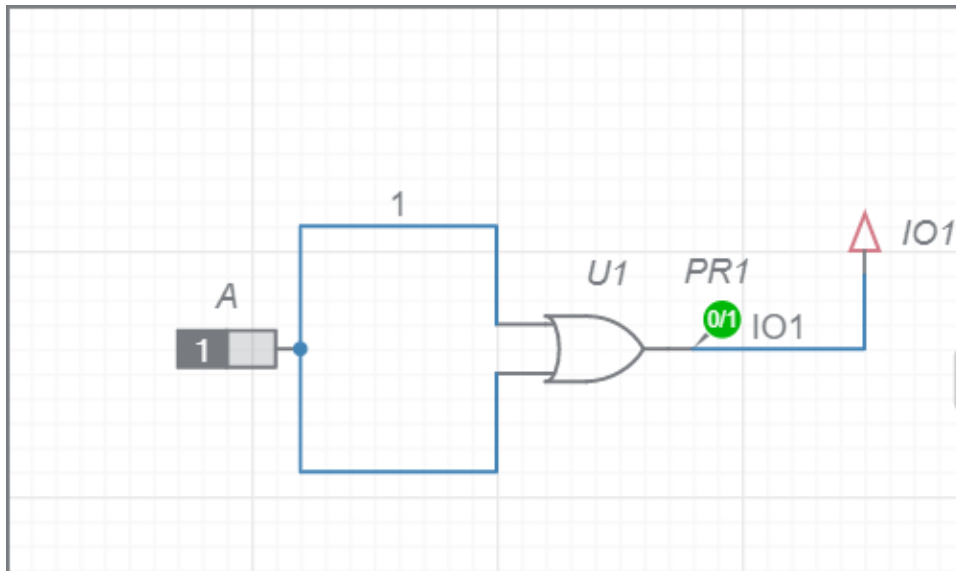
### Parte I

Demonstrar algumas Leis da Lógica por meio da construção de ambos os circuitos indicados em cada uma delas.

- Lei Idempotente:  $A + A \equiv A$   
 $A \cdot A \equiv A$

Circuitos:

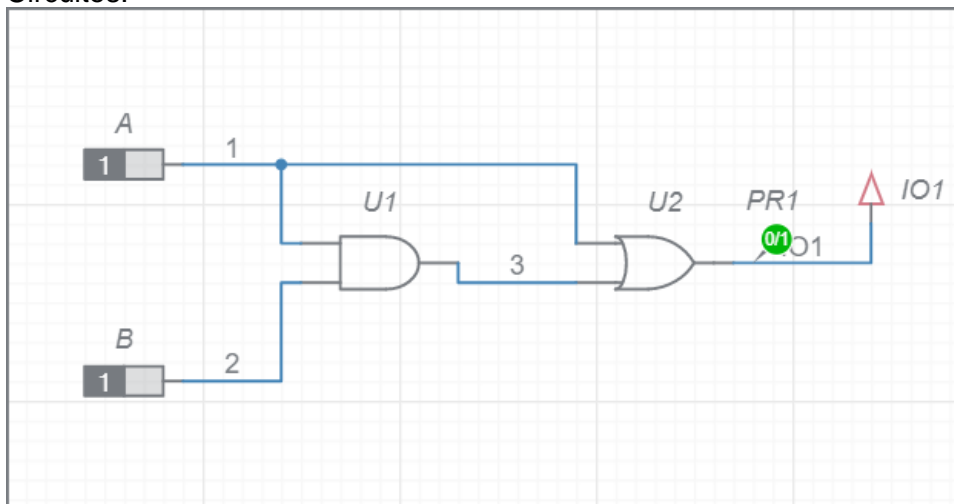


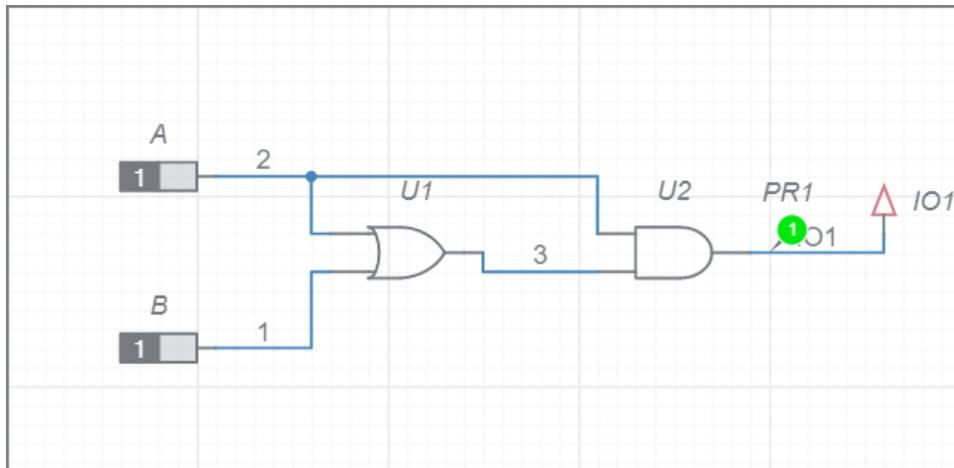


| A | A + A<br>(Simulada) | A · A<br>(Simulada) |
|---|---------------------|---------------------|
| 0 | 0                   | 0                   |
| 1 | 1                   | 1                   |

- Lei da Absorção:  $(A \cdot B) + A \equiv A$   
 $(A + B) \cdot A \equiv A$

Circuitos:





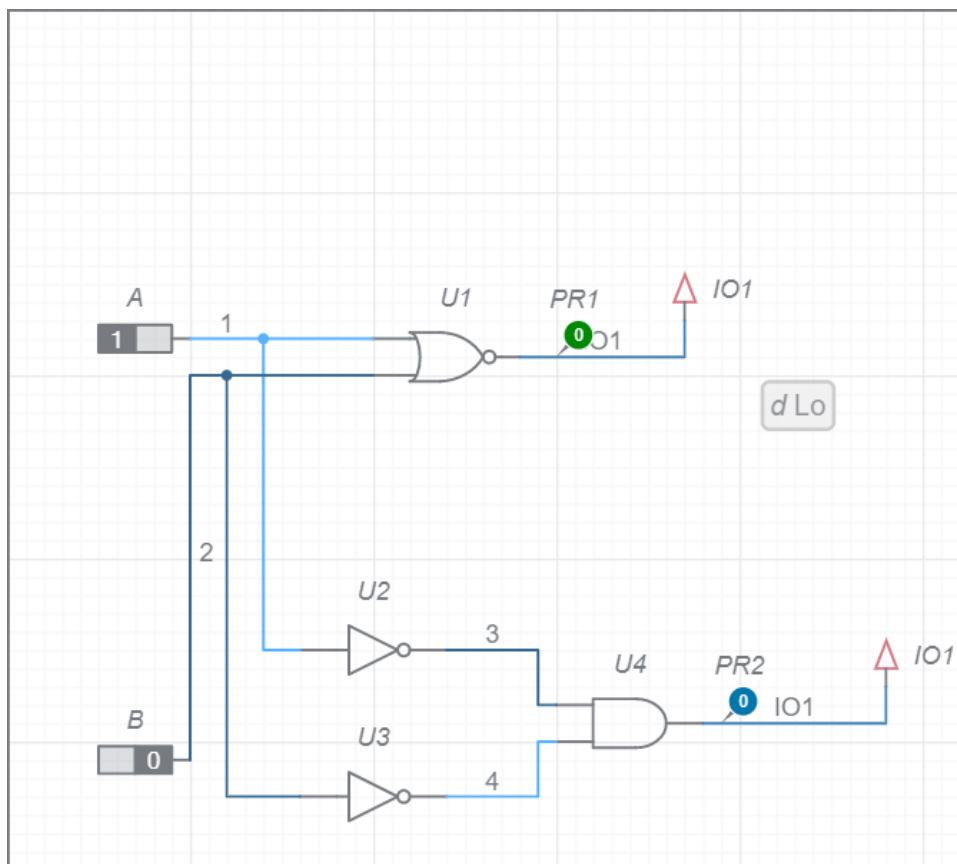
| A | B | $(A \cdot B) + A$<br>(Simulada) | $(A + B) \cdot A$<br>(Simulada) |
|---|---|---------------------------------|---------------------------------|
| 0 | 0 | 0                               | 0                               |
| 0 | 1 | 0                               | 0                               |
| 1 | 0 | 1                               | 1                               |
| 1 | 1 | 1                               | 1                               |

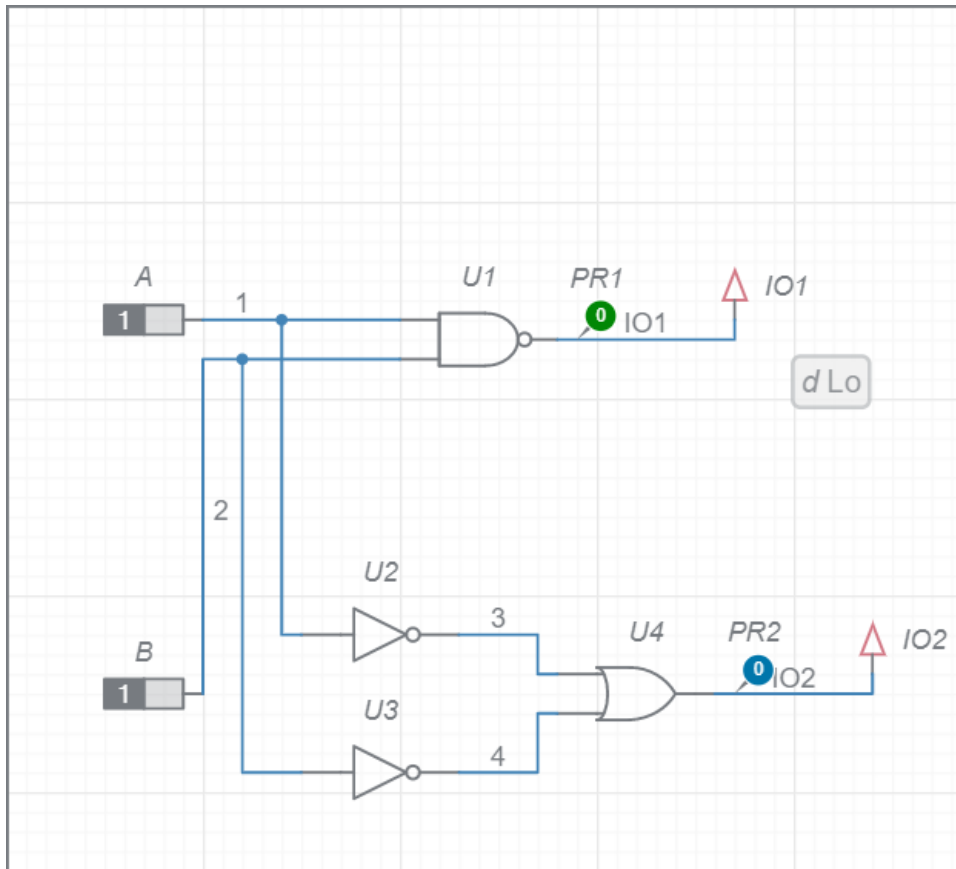
- Lei de DeMorgan:

$$\sim(A \cdot B) \equiv \sim A + \sim B$$

$$\sim(A + B) \equiv \sim A \cdot \sim B$$

Circuitos:





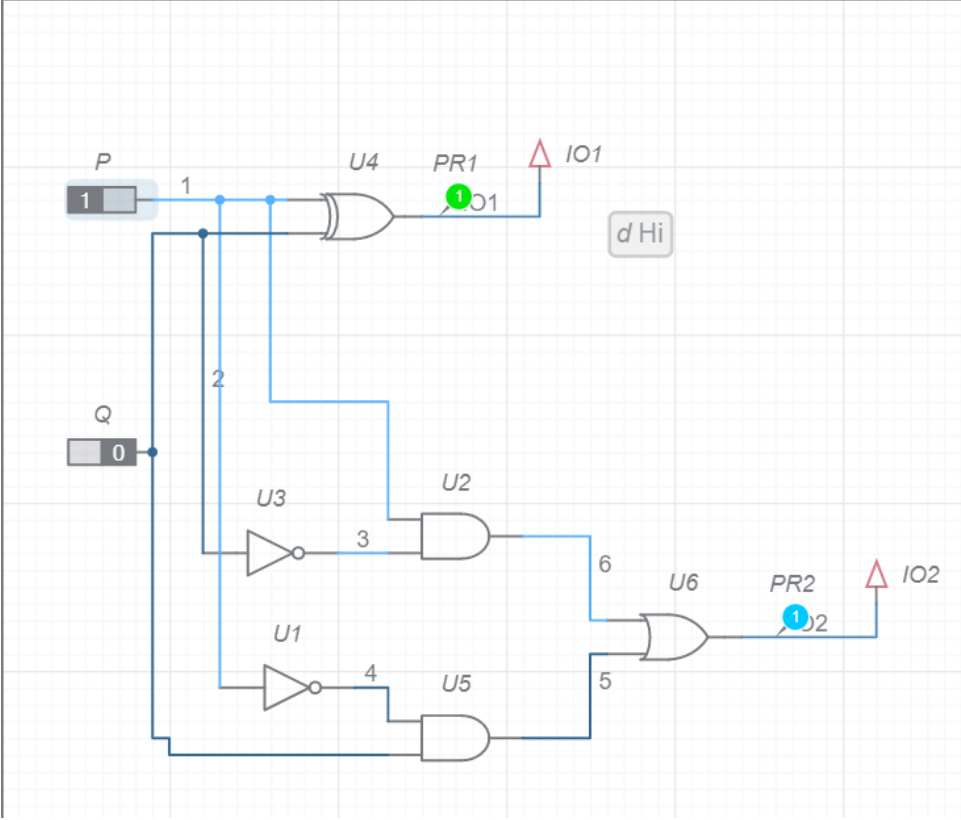
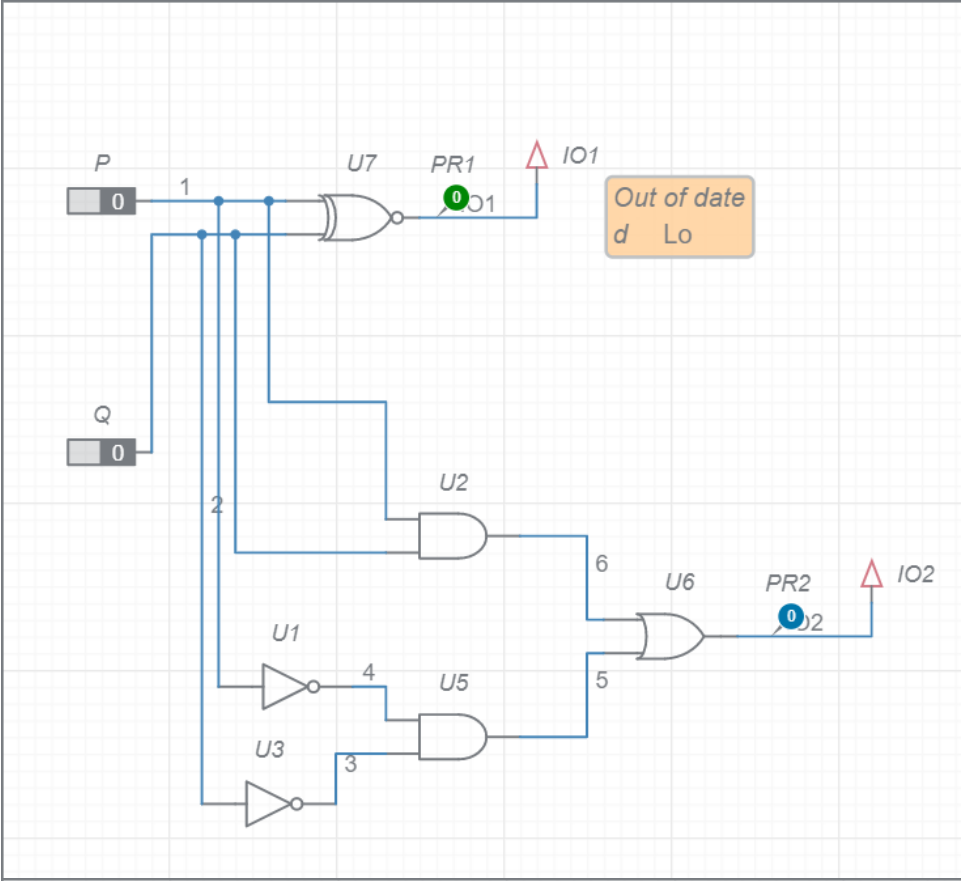
| A | B | $\sim(A \cdot B)$<br>(Simulada) | $\sim A + \sim B$<br>(Simulada) | $\sim(A + B)$<br>(Simulada) | $\sim A \cdot \sim B$<br>(Simulada) |
|---|---|---------------------------------|---------------------------------|-----------------------------|-------------------------------------|
| 0 | 0 | 1                               | 1                               | 1                           | 1                                   |
| 0 | 1 | 1                               | 1                               | 0                           | 0                                   |
| 1 | 0 | 1                               | 1                               | 0                           | 0                                   |
| 1 | 1 | 0                               | 0                               | 0                           | 0                                   |

## Parte II

Todo circuito lógico pode ser representado como uma associação de portas lógicas NOT, AND e OR. Por meio do simulador, encontre uma expressão equivalente contendo apenas estas três portas lógicas para  $S1 = P \oplus Q$  e  $S2 = \sim(P \oplus Q)$

| P | Q | $P \oplus Q$<br>(Simulada) | $P.Q' + P'.Q$ | $\sim(P \oplus Q)$<br>(Simulada) | $P.Q + P'.Q'$ |
|---|---|----------------------------|---------------|----------------------------------|---------------|
| 0 | 0 | 0                          | 0             | 1                                | 1             |
| 0 | 1 | 1                          | 1             | 0                                | 0             |
| 1 | 0 | 1                          | 1             | 0                                | 0             |
| 1 | 1 | 0                          | 0             | 1                                | 1             |

Circuitos:



## Atividade 6: Simplificação de Circuitos de 2 e de 3 Variáveis

### Introdução

O objetivo desta atividade é, a partir da expressão lógica de um circuito, construí-lo e simulá-lo no **Multisim™**; em seguida, por meio mapa de Karnaugh, simplificá-lo e construir e testar no simulador a versão simplificada do circuito.

**Circuito I:**  $S = [(A \cdot B) + (A + B)]$

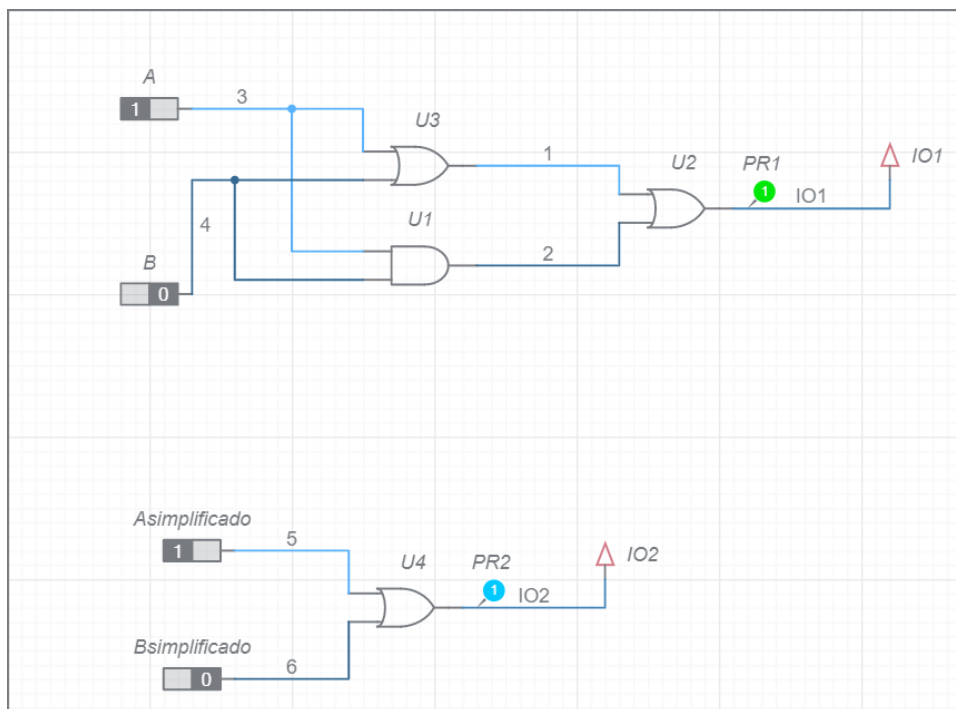
| A | B | S<br>(Original) | S<br>(Simplificado) |
|---|---|-----------------|---------------------|
| 0 | 0 | 0               | 0                   |
| 0 | 1 | 1               | 1                   |
| 1 | 0 | 1               | 1                   |
| 1 | 1 | 1               | 1                   |

### Mapa de Karnaugh

| B \ A | 0 | 1 |
|-------|---|---|
|       | 0 | 1 |
| 0     | 0 | 1 |
| 1     | 1 | 1 |

Simplificação:  $A+B$

Circuito:



**Circuito II:**  $S = [(M \oplus N) \oplus (M + N)] + M \cdot N$

| M | N | S<br>(Original) | S<br>(Simplificado) |
|---|---|-----------------|---------------------|
| 0 | 0 | 0               | 0                   |
| 0 | 1 | 0               | 0                   |
| 1 | 0 | 0               | 0                   |
| 1 | 1 | 1               | 1                   |

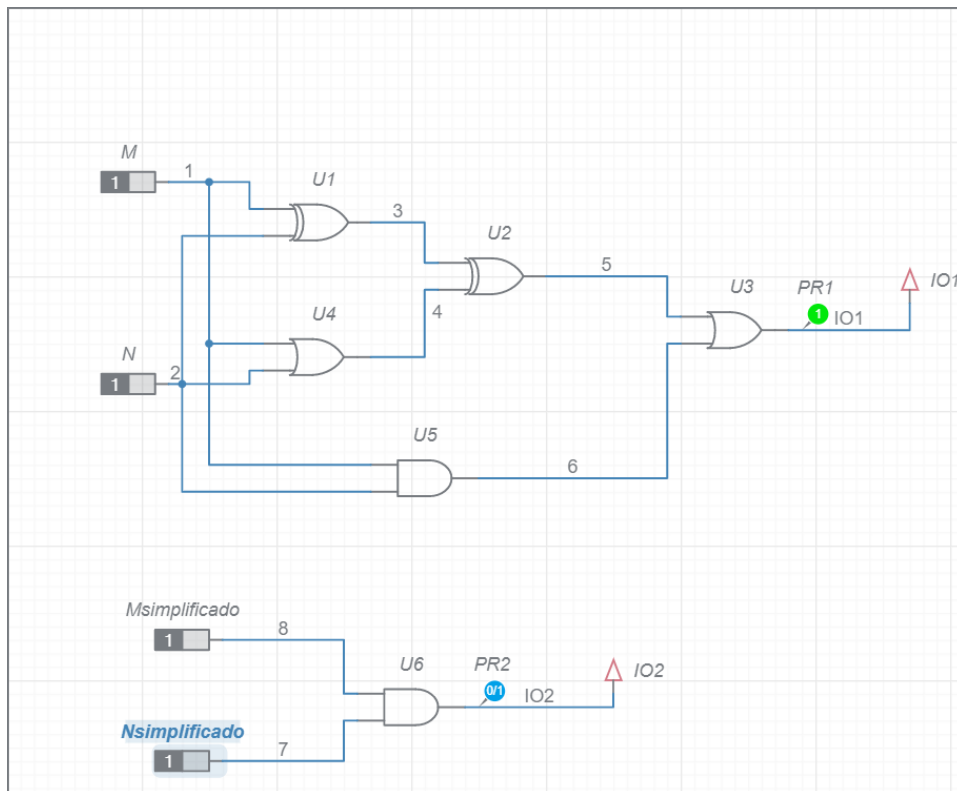
**Mapa de Karnaugh**

| N | M | 0 | 1 |
|---|---|---|---|
| 0 |   | 0 | 0 |
| 1 |   | 0 | 1 |

**Simplificação:**  $M \cdot N$

**Circuito:**





**Circuito III:**  $S = A' \cdot [(B \cdot C) + (B' \cdot C')] + A \cdot [(B' \cdot C) + (B \cdot C')]$

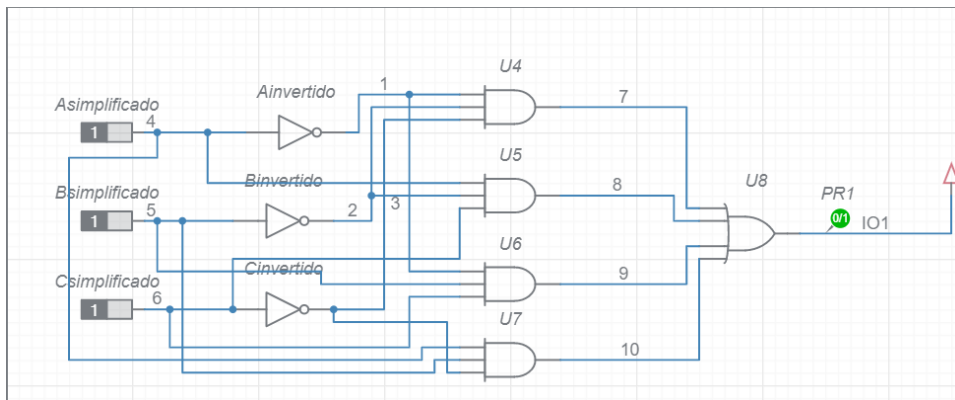
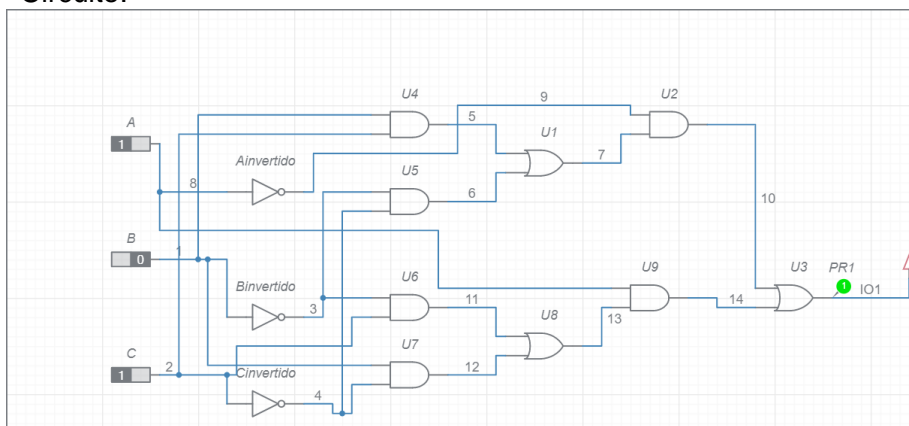
| A | B | C | S<br>(Original) | S<br>(Simplificado) |
|---|---|---|-----------------|---------------------|
| 0 | 0 | 0 | 1               | 1                   |
| 0 | 0 | 1 | 0               | 0                   |
| 0 | 1 | 0 | 0               | 0                   |
| 0 | 1 | 1 | 1               | 1                   |
| 1 | 0 | 0 | 0               | 0                   |
| 1 | 0 | 1 | 1               | 1                   |
| 1 | 1 | 0 | 1               | 1                   |
| 1 | 1 | 1 | 0               | 0                   |

**Mapa de Karnaugh**

| BC | A | 0 | 1 |
|----|---|---|---|
| 00 |   | 1 | 0 |
| 01 |   | 0 | 1 |
| 11 |   | 1 | 0 |
| 10 |   | 0 | 1 |

**Simplificação:**  $A'B'C' + AB'C + A'BC + ABC'$

**Circuito:**



**Circuito IV:**  $S = P' \cdot Q + (R \oplus P) + P \cdot Q' \cdot R$

| P | Q | R | S<br>(Original) | S<br>(Simplificado) |
|---|---|---|-----------------|---------------------|
| 0 | 0 | 0 | 0               | 0                   |
| 0 | 0 | 1 | 1               | 1                   |

|   |   |   |   |   |
|---|---|---|---|---|
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |

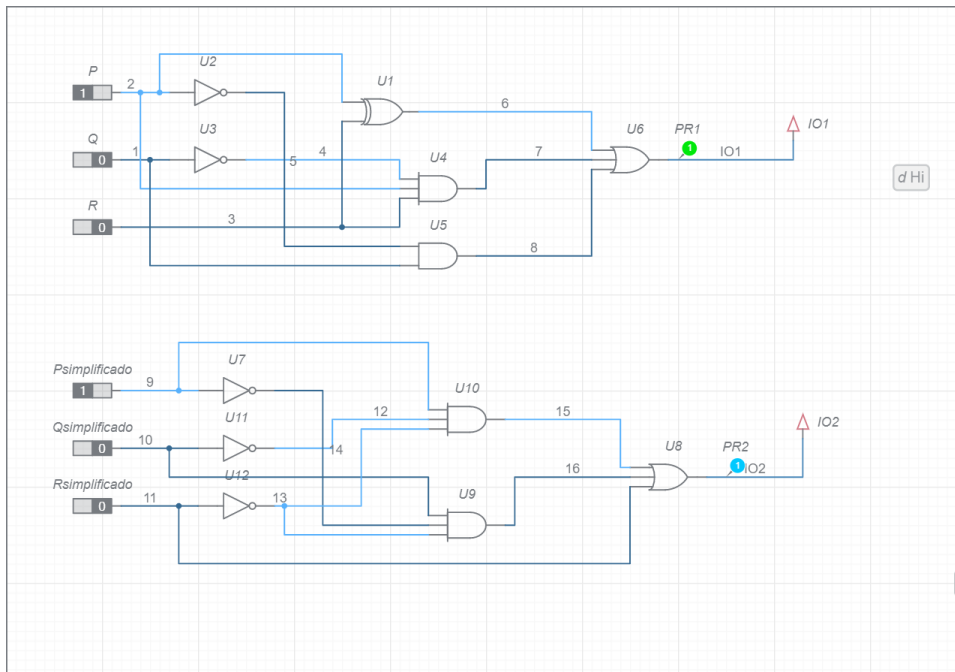
### Mapa de Karnaugh

| QR \ P | 0 | 1 |
|--------|---|---|
| 00     | 0 | 1 |
| 01     | 1 | 1 |
| 11     | 1 | 1 |
| 10     | 1 | 0 |

$R + PQ'R' + P'QR'$

Simplificação:  $R + PQ'R' + P'QR'$

Circuito:



**Circuito V:**  $S = X \cdot ((Y \cdot Z) + (Z' \cdot X')) + [X \oplus (Y' + Z) + (X \cdot Z')]$

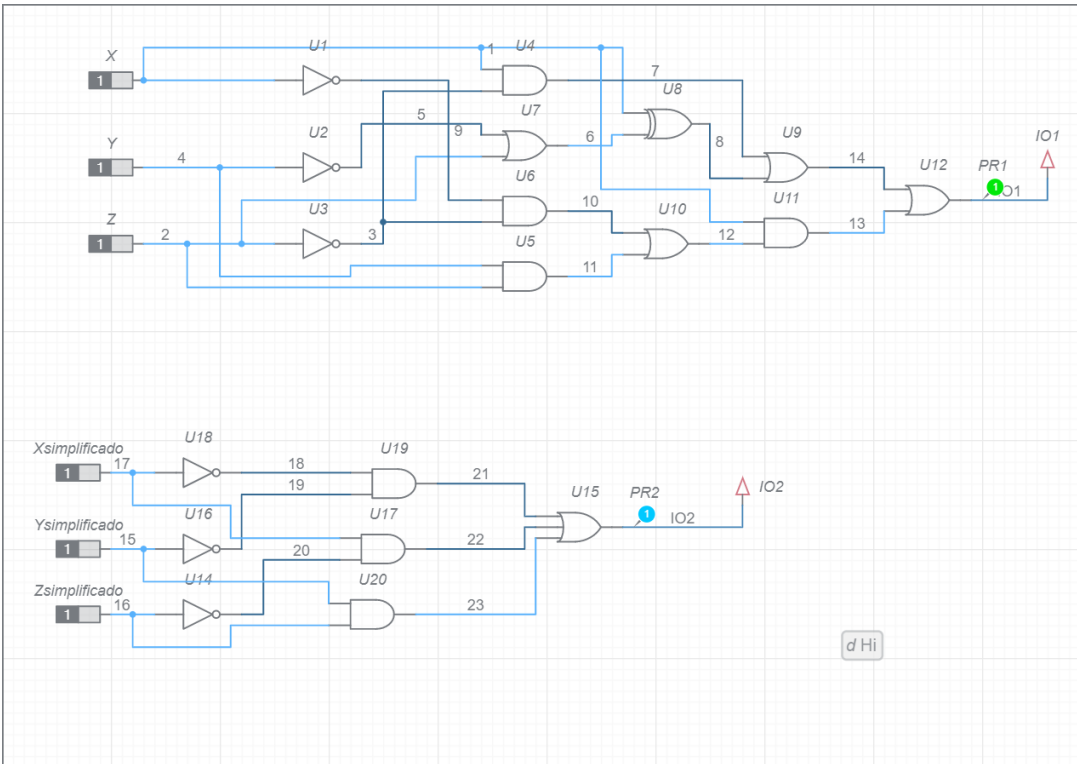
| X | Y | Z | S<br>(Original) | S<br>(Simplificado) |
|---|---|---|-----------------|---------------------|
| 0 | 0 | 0 | 1               | 1                   |
| 0 | 0 | 1 | 1               | 1                   |
| 0 | 1 | 0 | 0               | 0                   |
| 0 | 1 | 1 | 1               | 1                   |
| 1 | 0 | 0 | 1               | 1                   |
| 1 | 0 | 1 | 0               | 0                   |
| 1 | 1 | 0 | 1               | 1                   |
| 1 | 1 | 1 | 1               | 1                   |

Mapa de Karnaugh

| YZ \ X |   | 0 | 1 |
|--------|---|---|---|
| 00     | 1 | 1 | 1 |
| 01     | 1 | 1 | 0 |
| 11     | 1 | 1 | 1 |
| 10     | 0 | 0 | 1 |

Simplificação  $X'Y' + XZ' + YZ$

Circuito:



**Questão:** As simplificações obtidas são as únicas possíveis para os circuitos dados? Justifique sua resposta.

Resposta: Não, depende da maneira na qual você simplificou.

## Atividade 7: Simplificação de Circuitos de 4 Variáveis

### Introdução

O objetivo desta atividade é, a partir da expressão lógica de um circuito com quatro variáveis (entradas), construí-lo e simulá-lo no **Multisim™**; em seguida, por meio mapa de Karnaugh, simplificá-lo e construir e testar no simulador a versão simplificada do circuito.

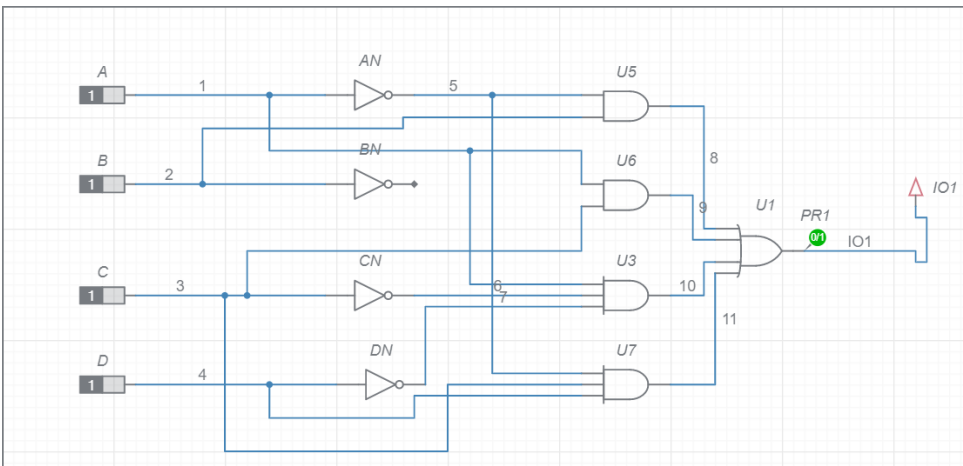
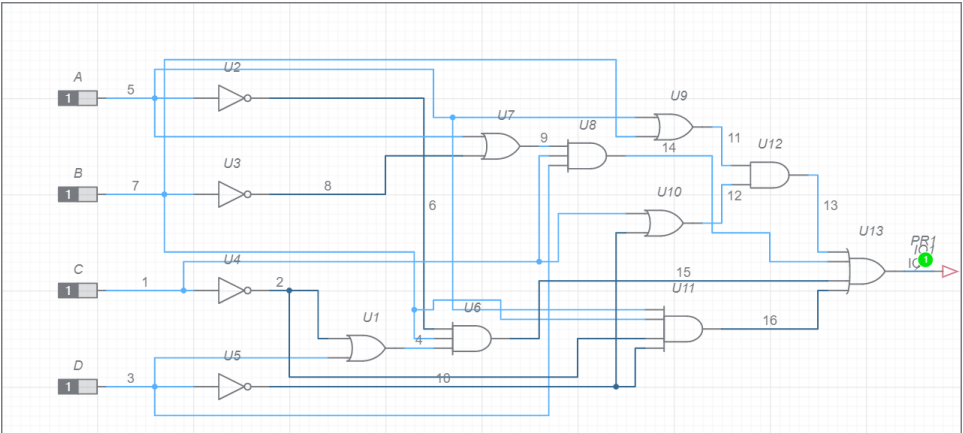
**Circuito I:**  $S = A\bar{B} \cdot (C + D) + (A + \bar{B}) \cdot C \cdot D + (A + B) \cdot (C + \bar{D}) + A \cdot B \cdot \bar{C} \cdot D$

| A | B | C | D | Saída S (Simulada) | Saída após a simplificação (simulada) |
|---|---|---|---|--------------------|---------------------------------------|
| 0 | 0 | 0 | 0 | 0                  | 0                                     |
| 0 | 0 | 0 | 1 | 0                  | 0                                     |
| 0 | 0 | 1 | 0 | 0                  | 0                                     |
| 0 | 0 | 1 | 1 | 1                  | 1                                     |
| 0 | 1 | 0 | 0 | 1                  | 1                                     |
| 0 | 1 | 0 | 1 | 1                  | 1                                     |
| 0 | 1 | 1 | 0 | 1                  | 1                                     |
| 0 | 1 | 1 | 1 | 1                  | 1                                     |
| 1 | 0 | 0 | 0 | 1                  | 1                                     |
| 1 | 0 | 0 | 1 | 0                  | 0                                     |
| 1 | 0 | 1 | 0 | 1                  | 1                                     |
| 1 | 0 | 1 | 1 | 1                  | 1                                     |
| 1 | 1 | 0 | 0 | 1                  | 1                                     |
| 1 | 1 | 0 | 1 | 0                  | 0                                     |
| 1 | 1 | 1 | 0 | 1                  | 1                                     |
| 1 | 1 | 1 | 1 | 1                  | 1                                     |

| CD \ AB | 00 | 01 | 11 | 10 |                   |
|---------|----|----|----|----|-------------------|
| 00      | 0  | 1  | 1  | 1  | A'B+AC+AC'D'+A'CD |
| 01      | 0  | 1  | 0  | 0  |                   |
| 11      | 1  | 1  | 1  | 1  |                   |
| 10      | 0  | 1  | 1  | 1  |                   |

Circuito Simplificado =  $A'B+AC+AC'D'+A'CD$  \_\_\_\_\_

Circuito completo e simplificado:



**Circuito II:  $S = (X \oplus Y) \cdot (Z + W) + (X \oplus Z) \cdot (Y + W) + (Y \oplus Z) \cdot (Y + W) + (W \oplus Z) \cdot (Y + X)$**

| W | X | Y | Z | Saída S (Simulada) | Saída após a simplificação (simulada) |
|---|---|---|---|--------------------|---------------------------------------|
| 0 | 0 | 0 | 0 | 0                  | 0                                     |
| 0 | 0 | 0 | 1 | 0                  | 0                                     |
| 0 | 0 | 1 | 0 | 0                  | 0                                     |
| 0 | 0 | 1 | 1 | 0                  | 0                                     |
| 0 | 1 | 0 | 0 | 0                  | 0                                     |
| 0 | 1 | 0 | 1 | 0                  | 0                                     |
| 0 | 1 | 1 | 0 | 0                  | 0                                     |
| 0 | 1 | 1 | 1 | 0                  | 0                                     |
| 1 | 0 | 0 | 0 | 0                  | 0                                     |
| 1 | 0 | 0 | 1 | 0                  | 0                                     |
| 1 | 0 | 1 | 0 | 0                  | 0                                     |
| 1 | 0 | 1 | 1 | 0                  | 0                                     |

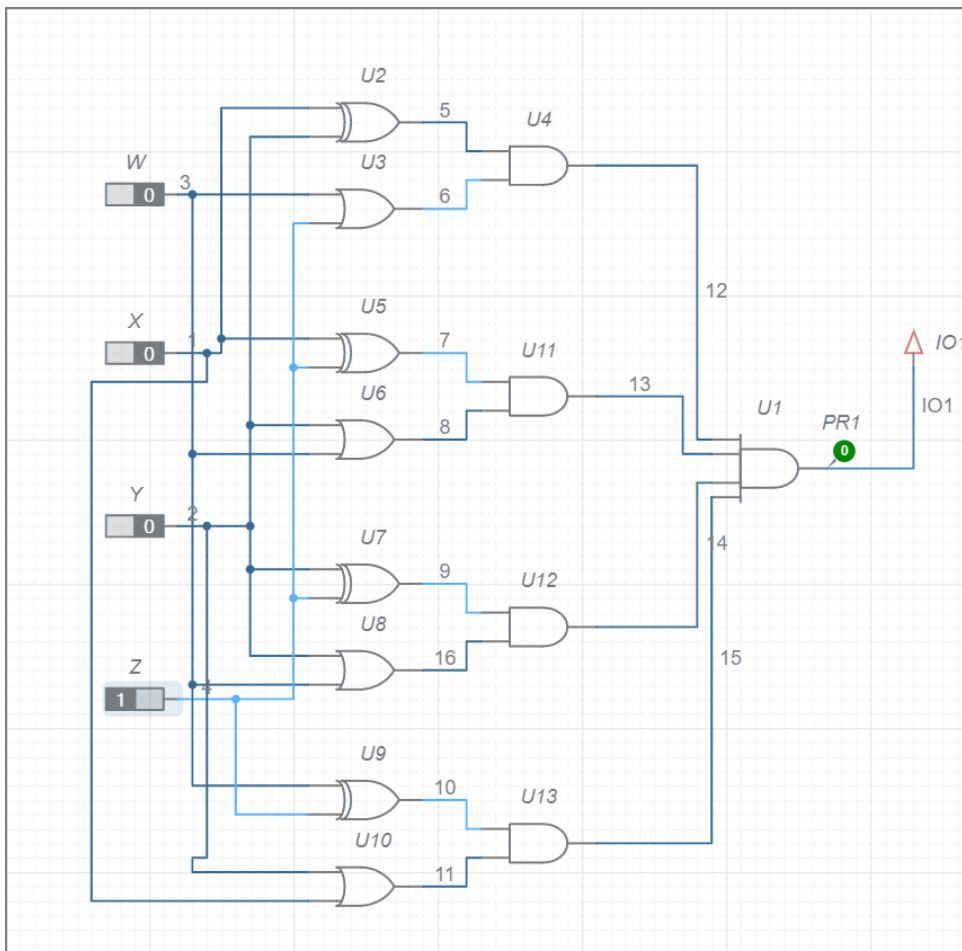
|   |   |   |   |   |   |
|---|---|---|---|---|---|
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 |

Mapa de Karnaugh

| YZ \ WX | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00      | 0  | 0  | 0  | 0  |
| 01      | 0  | 0  | 0  | 0  |
| 11      | 0  | 0  | 0  | 0  |
| 10      | 0  | 0  | 0  | 0  |

JÁ QUE TODAS AS SAIDAS SÃO 0, NÃO É POSSIVEL FAZER O MAPA DE KARNAUGH

Circuito Completo e simplificado = **NÃO TEM SIMPLIFICAÇÃO**





**Questão:** As simplificações obtidas são as únicas possíveis para os circuitos dados?  
Justifique sua resposta.

**Resposta:** Não, depende do jeito que você fez o mapa de Karnaugh

## Atividade 8: Circuitos Codificadores – Parte I (BCD8421 e BCH)

### Introdução

O objetivo desta atividade é construir e simular dois dos principais circuitos codificadores, o BCD8421 e o BHC.

### Código BCD 8421

O Código BCD 8421, ou simplesmente BCD (*Binary Coded Decimal*, Decimal Codificado em Binário) é um dos códigos mais utilizados nos sistemas digitais. Ele é composto de 4 bits, sendo cada representa uma potência de 2 (8, 4, 2 e 1, daí o nome do código).

| Decimal | BCD        |            |            |            |
|---------|------------|------------|------------|------------|
|         | Canal<br>8 | Canal<br>4 | Canal<br>2 | Canal<br>1 |
| 0       | 0          | 0          | 0          | 0          |
| 1       | 0          | 0          | 0          | 1          |
| 2       | 0          | 0          | 1          | 0          |
| 3       | 0          | 0          | 1          | 1          |
| 4       | 0          | 1          | 0          | 0          |
| 5       | 0          | 1          | 0          | 1          |

|   |   |   |   |   |
|---|---|---|---|---|
| 6 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 |

Este circuito apresenta 10 entradas e 4 saídas. Determinar a expressão lógica de cada saída, esboçar o circuito e realizar a simulação do mesmo.

#### Saídas:

Canal 1: \_\_\_\_\_

Canal 2: \_\_\_\_\_

Canal 4: \_\_\_\_\_

Canal 8: \_\_\_\_\_

Circuito:

| Decimal | Resultado da Simulação |         |         |         |
|---------|------------------------|---------|---------|---------|
|         | Canal 8                | Canal 4 | Canal 2 | Canal 1 |
| 0       |                        |         |         |         |
| 1       |                        |         |         |         |
| 2       |                        |         |         |         |
| 3       |                        |         |         |         |
| 4       |                        |         |         |         |
| 5       |                        |         |         |         |
| 6       |                        |         |         |         |
| 7       |                        |         |         |         |
| 8       |                        |         |         |         |
| 9       |                        |         |         |         |

#### Código BCH

O Código BCH (*Binary Coded Hexadecimal*, Hexadecimal Codificado em Binário) é muito semelhante ao código BCD, mas serve para representar os 16 algarismos do sistema hexadecimal no sistema binário:

| Decimal | BCH     |         |         |         |
|---------|---------|---------|---------|---------|
|         | Canal 8 | Canal 4 | Canal 2 | Canal 1 |
| 0       | 0       | 0       | 0       | 0       |
| 1       | 0       | 0       | 0       | 1       |

|   |   |   |   |   |
|---|---|---|---|---|
| 2 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 |
| A | 1 | 0 | 1 | 0 |
| B | 1 | 0 | 1 | 1 |
| C | 1 | 1 | 0 | 0 |
| D | 1 | 1 | 0 | 1 |
| E | 1 | 1 | 1 | 0 |
| F | 1 | 1 | 1 | 1 |

Este circuito apresenta 16 entradas e 4 saídas. Determinar a expressão lógica de cada saída, esboçar o circuito e realizar a simulação do mesmo.

**Saídas:**

Canal 1: \_\_\_\_\_

Canal 2: \_\_\_\_\_

Canal 4: \_\_\_\_\_

Canal 8: \_\_\_\_\_

Circuito:

| Decimal | Resultado da Simulação |         |         |         |
|---------|------------------------|---------|---------|---------|
|         | Canal 8                | Canal 4 | Canal 2 | Canal 1 |
| 0       |                        |         |         |         |
| 1       |                        |         |         |         |
| 2       |                        |         |         |         |
| 3       |                        |         |         |         |
| 4       |                        |         |         |         |
| 5       |                        |         |         |         |
| 6       |                        |         |         |         |
| 7       |                        |         |         |         |
| 8       |                        |         |         |         |
| 9       |                        |         |         |         |
| A       |                        |         |         |         |
| B       |                        |         |         |         |
| C       |                        |         |         |         |

|   |  |  |  |  |
|---|--|--|--|--|
| D |  |  |  |  |
| E |  |  |  |  |
| F |  |  |  |  |

## Atividade 9: Circuitos Codificadores – Parte II (Excesso 3 e Gray)

### Introdução

Esta atividade é continuidade da Atividade 8; agora, o objetivo é construir e simular dois os circuitos codificadores para os códigos Excesso 3 e Gray.

### Código Excesso 3

O Código Excesso 3 é muito semelhante ao código BCD, com a diferença que cada número é acrescido de 3 (0011 no sistema binário). Ele foi criado para facilitar as operações de subtração.

| Decimal | Excesso 3 |         |         |         |
|---------|-----------|---------|---------|---------|
|         | Canal 8   | Canal 4 | Canal 2 | Canal 1 |
| 0       | 0         | 0       | 1       | 1       |
| 1       | 0         | 1       | 0       | 0       |
| 2       | 0         | 1       | 0       | 1       |
| 3       | 0         | 1       | 1       | 0       |
| 4       | 0         | 1       | 1       | 1       |
| 5       | 1         | 0       | 0       | 0       |
| 6       | 1         | 0       | 0       | 1       |
| 7       | 1         | 0       | 1       | 0       |
| 8       | 1         | 0       | 1       | 1       |
| 9       | 1         | 1       | 0       | 0       |

Este circuito apresenta 10 entradas e 4 saídas. Determinar a expressão lógica de cada saída, esboçar o circuito e realizar a simulação do mesmo.

### Saídas:

Canal 1: \_\_\_\_\_

Canal 2: \_\_\_\_\_

Canal 4: \_\_\_\_\_

Canal 8: \_\_\_\_\_

Circuito:

| Decimal | Resultado da Simulação |            |            |            |
|---------|------------------------|------------|------------|------------|
|         | Canal<br>8             | Canal<br>4 | Canal<br>2 | Canal<br>1 |
| 0       |                        |            |            |            |
| 1       |                        |            |            |            |
| 2       |                        |            |            |            |
| 3       |                        |            |            |            |
| 4       |                        |            |            |            |
| 5       |                        |            |            |            |
| 6       |                        |            |            |            |
| 7       |                        |            |            |            |
| 8       |                        |            |            |            |
| 9       |                        |            |            |            |

### **Código Gray**

O Código Gray apresenta como característica principal que apenas um bit varia na mudança de um número para o subsequente.

| Decimal | Gray       |            |            |            |
|---------|------------|------------|------------|------------|
|         | Canal<br>8 | Canal<br>4 | Canal<br>2 | Canal<br>1 |
| 0       | 0          | 0          | 0          | 0          |
| 1       | 0          | 0          | 0          | 1          |
| 2       | 0          | 0          | 1          | 1          |
| 3       | 0          | 0          | 1          | 0          |
| 4       | 0          | 1          | 1          | 0          |
| 5       | 0          | 1          | 1          | 1          |
| 6       | 0          | 1          | 0          | 1          |
| 7       | 0          | 1          | 0          | 0          |
| 8       | 1          | 0          | 0          | 0          |
| 9       | 1          | 0          | 0          | 1          |
| 10      | 1          | 0          | 1          | 1          |
| 11      | 1          | 0          | 1          | 0          |
| 12      | 1          | 1          | 1          | 0          |
| 13      | 1          | 1          | 1          | 1          |
| 14      | 1          | 1          | 0          | 1          |
| 15      | 1          | 1          | 0          | 0          |

Este circuito apresenta 10 entradas e 4 saídas. Determinar a expressão lógica de cada saída, esboçar o circuito e realizar a simulação do mesmo.

**Saídas:**

Canal 1: \_\_\_\_\_

Canal 2: \_\_\_\_\_

Canal 4: \_\_\_\_\_

Canal 8: \_\_\_\_\_

Circuito:

| Decimal | Resultado da Simulação |         |         |         |
|---------|------------------------|---------|---------|---------|
|         | Canal 8                | Canal 4 | Canal 2 | Canal 1 |
| 0       |                        |         |         |         |
| 1       |                        |         |         |         |
| 2       |                        |         |         |         |
| 3       |                        |         |         |         |
| 4       |                        |         |         |         |
| 5       |                        |         |         |         |
| 6       |                        |         |         |         |
| 7       |                        |         |         |         |
| 8       |                        |         |         |         |
| 9       |                        |         |         |         |
| 10      |                        |         |         |         |
| 11      |                        |         |         |         |
| 12      |                        |         |         |         |
| 13      |                        |         |         |         |
| 14      |                        |         |         |         |
| 15      |                        |         |         |         |

## Atividade 10: Circuitos Decodificadores – Parte I (BCD8421)

### Introdução

O objetivo desta atividade é construir e simular um circuito decodificador, o BCD8421. Desta vez, o circuito terá 4 entradas e 10 saídas, sendo que apenas uma das saídas terá sinal para cada combinação das entradas.

É importante observar que no BCD nem todas as combinações entre as entrada ocorrerão; assim as combinações que não ocorrerem serão consideradas como *indiferentes* no Mapa de Karnaugh.

### **Código BCD 8421**

A tabela verdade do circuito decodificador BCD8421 é apresentada abaixo. As entradas indicada em cinza não ocorrerão.

| Entradas |    |    |    | Saídas |    |    |    |    |    |    |    |    |    |
|----------|----|----|----|--------|----|----|----|----|----|----|----|----|----|
| C8       | C4 | C2 | C1 | S0     | S1 | S2 | S3 | S4 | S5 | S6 | S7 | S8 | S9 |
| 0        | 0  | 0  | 0  | 1      | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0        | 0  | 0  | 1  | 0      | 1  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0        | 0  | 1  | 0  | 0      | 0  | 1  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0        | 0  | 1  | 1  | 0      | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0        | 1  | 0  | 0  | 0      | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 0  |
| 0        | 1  | 0  | 1  | 0      | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 0  |
| 0        | 1  | 1  | 0  | 0      | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 0  |
| 0        | 1  | 1  | 1  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 0  |
| 1        | 0  | 0  | 0  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0  |
| 1        | 0  | 0  | 1  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  |
| 1        | 0  | 1  | 0  |        |    |    |    |    |    |    |    |    |    |
| 1        | 0  | 1  | 1  |        |    |    |    |    |    |    |    |    |    |
| 1        | 1  | 0  | 0  |        |    |    |    |    |    |    |    |    |    |
| 1        | 1  | 0  | 1  |        |    |    |    |    |    |    |    |    |    |
| 1        | 1  | 1  | 0  |        |    |    |    |    |    |    |    |    |    |
| 1        | 1  | 1  | 1  |        |    |    |    |    |    |    |    |    |    |

### **Mapas de Karnaugh**

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

S0=\_\_\_\_\_ S1=\_\_\_\_\_

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

S2= \_\_\_\_\_ S3= \_\_\_\_\_

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

S4= \_\_\_\_\_ S5= \_\_\_\_\_

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

S6= \_\_\_\_\_ S7= \_\_\_\_\_

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |



|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

S8=\_\_\_\_\_S9=\_\_\_\_\_

Circuito:

| Entradas |    |    |    | Resultado da Simulação |    |    |    |    |    |    |    |    |    |
|----------|----|----|----|------------------------|----|----|----|----|----|----|----|----|----|
| C8       | C4 | C2 | C1 | S0                     | S1 | S2 | S3 | S4 | S5 | S6 | S7 | S8 | S9 |
| 0        | 0  | 0  | 0  |                        |    |    |    |    |    |    |    |    |    |
| 0        | 0  | 0  | 1  |                        |    |    |    |    |    |    |    |    |    |
| 0        | 0  | 1  | 0  |                        |    |    |    |    |    |    |    |    |    |
| 0        | 0  | 1  | 1  |                        |    |    |    |    |    |    |    |    |    |
| 0        | 1  | 0  | 0  |                        |    |    |    |    |    |    |    |    |    |
| 0        | 1  | 0  | 1  |                        |    |    |    |    |    |    |    |    |    |
| 0        | 1  | 1  | 0  |                        |    |    |    |    |    |    |    |    |    |
| 0        | 1  | 1  | 1  |                        |    |    |    |    |    |    |    |    |    |
| 1        | 0  | 0  | 0  |                        |    |    |    |    |    |    |    |    |    |
| 1        | 0  | 0  | 1  |                        |    |    |    |    |    |    |    |    |    |
| 1        | 0  | 1  | 0  |                        |    |    |    |    |    |    |    |    |    |
| 1        | 0  | 1  | 1  |                        |    |    |    |    |    |    |    |    |    |
| 1        | 1  | 0  | 0  |                        |    |    |    |    |    |    |    |    |    |
| 1        | 1  | 0  | 1  |                        |    |    |    |    |    |    |    |    |    |
| 1        | 1  | 1  | 0  |                        |    |    |    |    |    |    |    |    |    |
| 1        | 1  | 1  | 1  |                        |    |    |    |    |    |    |    |    |    |

## Atividade 11: Circuitos Decodificadores – Parte II (BCH)

### Introdução

O objetivo desta atividade é construir e simular um circuito decodificador, o BCD8421. Desta vez, o circuito terá 4 entradas e 16 saídas, sendo que apenas uma das saídas terá sinal para cada combinação das entradas.

### Código BCH

A tabela verdade do circuito decodificador BCD8421 é apresentada abaixo. Para uma maior clareza, a tabela verdade foi dividida em duas:

| Entradas |    |    |    | Saídas |    |    |    |    |    |    |    |
|----------|----|----|----|--------|----|----|----|----|----|----|----|
| C8       | C4 | C2 | C1 | S0     | S1 | S2 | S3 | S4 | S5 | S6 | S7 |
| 0        | 0  | 0  | 0  | 1      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0        | 0  | 0  | 1  | 0      | 1  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0        | 0  | 1  | 0  | 0      | 0  | 1  | 0  | 0  | 0  | 0  | 0  |
| 0        | 0  | 1  | 1  | 0      | 0  | 0  | 1  | 0  | 0  | 0  | 0  |
| 0        | 1  | 0  | 0  | 0      | 0  | 0  | 0  | 1  | 0  | 0  | 0  |
| 0        | 1  | 0  | 1  | 0      | 0  | 0  | 0  | 0  | 1  | 0  | 0  |
| 0        | 1  | 1  | 0  | 0      | 0  | 0  | 0  | 0  | 0  | 1  | 0  |
| 0        | 1  | 1  | 1  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 1  |
| 1        | 0  | 0  | 0  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1        | 0  | 0  | 1  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1        | 0  | 1  | 0  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1        | 0  | 1  | 1  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1        | 1  | 0  | 0  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1        | 1  | 0  | 1  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1        | 1  | 1  | 0  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1        | 1  | 1  | 1  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

| Entradas |    |    |    | Saídas |    |    |    |    |    |    |    |
|----------|----|----|----|--------|----|----|----|----|----|----|----|
| C8       | C4 | C2 | C1 | S8     | S9 | SA | SB | SC | SD | SE | SF |
| 0        | 0  | 0  | 0  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0        | 0  | 0  | 1  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0        | 0  | 1  | 0  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0        | 0  | 1  | 1  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0        | 1  | 0  | 0  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0        | 1  | 0  | 1  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0        | 1  | 1  | 0  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0        | 1  | 1  | 1  | 0      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1        | 0  | 0  | 0  | 1      | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1        | 0  | 0  | 1  | 0      | 1  | 0  | 0  | 0  | 0  | 0  | 0  |
| 1        | 0  | 1  | 0  | 0      | 0  | 1  | 0  | 0  | 0  | 0  | 0  |
| 1        | 0  | 1  | 1  | 0      | 0  | 0  | 1  | 0  | 0  | 0  | 0  |
| 1        | 1  | 0  | 0  | 0      | 0  | 0  | 0  | 1  | 0  | 0  | 0  |

|   |   |   |   |   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|---|---|---|---|
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

Mapas de Karnaugh

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

S0= \_\_\_\_\_ S1= \_\_\_\_\_

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

S2= \_\_\_\_\_ S3= \_\_\_\_\_

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|--|--|--|--|

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|--|--|--|--|

S4=\_\_\_\_\_S5=\_\_\_\_\_

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

S6=\_\_\_\_\_S7=\_\_\_\_\_

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

S8=\_\_\_\_\_S9=\_\_\_\_\_

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

SA=\_\_\_\_\_SB=\_\_\_\_\_

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

SC=\_\_\_\_\_SD=\_\_\_\_\_

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |
|--|--|--|--|
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

SE=\_\_\_\_\_SF=\_\_\_\_\_

Circuito:

| Entradas |    |    |    | Resultado da Simulação |    |    |    |    |    |    |    |
|----------|----|----|----|------------------------|----|----|----|----|----|----|----|
| C8       | C4 | C2 | C1 | S0                     | S1 | S2 | S3 | S4 | S5 | S6 | S7 |
| 0        | 0  | 0  | 0  |                        |    |    |    |    |    |    |    |
| 0        | 0  | 0  | 1  |                        |    |    |    |    |    |    |    |
| 0        | 0  | 1  | 0  |                        |    |    |    |    |    |    |    |
| 0        | 0  | 1  | 1  |                        |    |    |    |    |    |    |    |
| 0        | 1  | 0  | 0  |                        |    |    |    |    |    |    |    |
| 0        | 1  | 0  | 1  |                        |    |    |    |    |    |    |    |
| 0        | 1  | 1  | 0  |                        |    |    |    |    |    |    |    |
| 0        | 1  | 1  | 1  |                        |    |    |    |    |    |    |    |

|   |   |   |   |  |  |  |  |  |  |  |  |
|---|---|---|---|--|--|--|--|--|--|--|--|
| 1 | 0 | 0 | 0 |  |  |  |  |  |  |  |  |
| 1 | 0 | 0 | 1 |  |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 0 |  |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 1 |  |  |  |  |  |  |  |  |
| 1 | 1 | 0 | 0 |  |  |  |  |  |  |  |  |
| 1 | 1 | 0 | 1 |  |  |  |  |  |  |  |  |
| 1 | 1 | 1 | 0 |  |  |  |  |  |  |  |  |
| 1 | 1 | 1 | 1 |  |  |  |  |  |  |  |  |

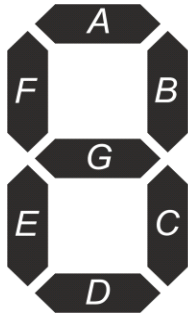
| Entradas |    |    |    | Resultado da Simulação |    |    |    |    |    |    |    |
|----------|----|----|----|------------------------|----|----|----|----|----|----|----|
| C8       | C4 | C2 | C1 | S8                     | S9 | SA | SB | SC | SD | SE | SF |
| 0        | 0  | 0  | 0  |                        |    |    |    |    |    |    |    |
| 0        | 0  | 0  | 1  |                        |    |    |    |    |    |    |    |
| 0        | 0  | 1  | 0  |                        |    |    |    |    |    |    |    |
| 0        | 0  | 1  | 1  |                        |    |    |    |    |    |    |    |
| 0        | 1  | 0  | 0  |                        |    |    |    |    |    |    |    |
| 0        | 1  | 0  | 1  |                        |    |    |    |    |    |    |    |
| 0        | 1  | 1  | 0  |                        |    |    |    |    |    |    |    |
| 0        | 1  | 1  | 1  |                        |    |    |    |    |    |    |    |
| 1        | 0  | 0  | 0  |                        |    |    |    |    |    |    |    |
| 1        | 0  | 0  | 1  |                        |    |    |    |    |    |    |    |
| 1        | 0  | 1  | 0  |                        |    |    |    |    |    |    |    |
| 1        | 0  | 1  | 1  |                        |    |    |    |    |    |    |    |
| 1        | 1  | 0  | 0  |                        |    |    |    |    |    |    |    |
| 1        | 1  | 0  | 1  |                        |    |    |    |    |    |    |    |
| 1        | 1  | 1  | 0  |                        |    |    |    |    |    |    |    |
| 1        | 1  | 1  | 1  |                        |    |    |    |    |    |    |    |

## Atividade 12: Display de 7 Segmentos

### Introdução

Um display de sete segmentos (SSD), ou indicador de sete segmentos, é uma forma de dispositivo de exibição eletrônica para exibir numerais decimais que é uma alternativa aos displays de matriz de pontos mais complexos.

Os monitores de sete segmentos são amplamente utilizados em relógios digitais, medidores eletrônicos, calculadoras básicas e outros dispositivos eletrônicos que exibem informações numéricas. A figura 1.12 ilustra este display.



**Figura 12.1: Display de Sete Segmentos**

Um circuito para este display pode ser considerado como um codificador com dez entradas (de 0 a 9) e sete saídas. Utilizando a imagem apresentada em cada linha da tabela a seguir

| Decimal<br>(Entrada) | Exibição | Saídas |   |   |   |   |   |   |
|----------------------|----------|--------|---|---|---|---|---|---|
|                      |          | A      | B | C | D | E | F | G |
| 0                    | 0        |        |   |   |   |   |   |   |
| 1                    | 1        |        |   |   |   |   |   |   |
| 2                    | 2        |        |   |   |   |   |   |   |
| 3                    | 3        |        |   |   |   |   |   |   |
| 4                    | 4        |        |   |   |   |   |   |   |
| 5                    | 5        |        |   |   |   |   |   |   |
| 6                    | 6        |        |   |   |   |   |   |   |
| 7                    | 7        |        |   |   |   |   |   |   |
| 8                    | 8        |        |   |   |   |   |   |   |
| 9                    | 9        |        |   |   |   |   |   |   |

A partir da tabela verdade do circuito, obter a expressão lógica do circuito, esboçá-lo e simulá-lo:

**Segmento A:** \_\_\_\_\_

**Segmento B:** \_\_\_\_\_

**Segmento C:** \_\_\_\_\_

**Segmento D:** \_\_\_\_\_







**Segmento E:** \_\_\_\_\_

**Segmento F:** \_\_\_\_\_

**Segmento G:** \_\_\_\_\_

Circuito:

**Questão:** Alguns displays de 7 segmentos também exibem as letras de A a F, para formar o código hexadecimal. Sendo as letras as indicadas na imagem abaixo, quais segmentos são utilizados em cada uma delas?

|   |   |
|---|---|
| A |  |
| b |  |
| C |  |
| d |  |
| E |  |
| F |  |

Letra A: \_\_\_\_\_ Letra b: \_\_\_\_\_ Letra C: \_\_\_\_\_

Letra d: \_\_\_\_\_ Letra E: \_\_\_\_\_ Letra F: \_\_\_\_\_

## Atividade 13: Circuitos Meio Somadores e Somadores

### Introdução

Um circuito somador é um circuito que emula, por meio de operações lógicas, o resultado de uma soma entre dois números binários. Para tanto, é importante lembrar que as operações com números binários são as seguintes:

$$0 + 0 = 0$$

$$0 + 1 = 1$$

$$1 + 1 = 10$$

$$1 + 1 + 1 = 11$$

### Circuito Meio Somador

O circuito para realizar a soma de dois números de um dígito cada (A e B), chamado de meio somador, realiza a seguinte operação, onde S1 e S2 representa um dígito do resultado cada:



$$\begin{array}{r}
 A \\
 + \quad B \\
 \hline
 S2 \quad S1
 \end{array}$$

| A | B | S2 | S1 |
|---|---|----|----|
| 0 | 0 | 0  | 0  |
| 0 | 1 | 0  | 1  |
| 1 | 0 | 0  | 1  |
| 1 | 1 | 1  | 0  |

Obter as expressões lógicas das saídas S1 e S2, esboçar e simular o circuito

Circuito:

### Circuito Somador Completo

O circuito somador completo soma três dígitos, sendo dois deles dos números que estão sendo (A e B) e um outro que é chamado “vai-um” (CE, do inglês *carry*), que pode aparecer caso a soma dos dígitos anteriores resulte em um resultado com mais de dois dígitos. As saídas representam o dígito menos significativo da soma dos três (S1) e outro que seria um eventual “vai-um” de saída (CS). A tabela ilustra este funcionamento:

| Entradas |   |    | Saídas |    |
|----------|---|----|--------|----|
| A        | B | CE | CS     | S1 |
| 0        | 0 | 0  | 0      | 0  |
| 0        | 0 | 1  | 0      | 1  |
| 0        | 1 | 0  | 0      | 1  |
| 0        | 1 | 1  | 1      | 0  |
| 1        | 0 | 0  | 0      | 1  |
| 1        | 0 | 1  | 1      | 0  |
| 1        | 1 | 0  | 1      | 0  |
| 1        | 1 | 1  | 1      | 1  |

Obter as expressões lógicas das saídas CS e S1, esboçar e simular o circuito

Circuito:

| Entradas |   |    | Resultado |    |
|----------|---|----|-----------|----|
| A        | B | CE | CS        | S1 |
| 0        | 0 | 0  |           |    |
| 0        | 0 | 1  |           |    |
| 0        | 1 | 0  |           |    |
| 0        | 1 | 1  |           |    |
| 1        | 0 | 0  |           |    |
| 1        | 0 | 1  |           |    |
| 1        | 1 | 0  |           |    |
| 1        | 1 | 1  |           |    |

**Questão:** É possível construir um circuito para soma de dois números de N dígitos utilizando um meio somador e N-1 somadores completos. Esboce como seria um circuito para realizar a soma de dois números de dois dígitos cada.

Circuito:

## Atividade 13: Circuitos Meio Subtratores e Subtratores

### Introdução

Um circuito subtrator é um circuito que emula, por meio de operações lógicas, o resultado de uma subtração entre dois algarismos binários. Para tanto, é importante lembrar que as operações com números binários são as seguintes:

$$0 - 0 = 0$$

$$1 - 1 = 0$$

$$1 - 0 = 1$$

$$0 - 1 = 11 \text{ (resulta em 1 e "desce 1")}$$

### Circuito Meio Somador

O circuito para realizar a soma de dois números de um dígito cada (A e B), chamado de meio somador, realiza a seguinte operação, onde S1 representa o dígito da subtração e C1 representa o "desce 1":

$$\begin{array}{r} A \\ - B \\ \hline C1 \ S1 \end{array}$$

| A | B | C1 | S1 |
|---|---|----|----|
| 0 | 0 | 0  | 0  |
| 0 | 1 | 1  | 1  |
| 1 | 0 | 0  | 1  |
| 1 | 1 | 0  | 0  |

Obter as expressões lógicas das saídas S1 e C1, esboçar e simular o circuito

Circuito:

### Circuito Subtrator Completo

O circuito somador completo subtrai dois dígitos, sendo dois deles dos números que estão sendo (A e B), e considerando que pode haver outro, que é chamado “desce 1” (CE, do inglês *carry*), que pode aparecer caso a diferença dos dígitos anteriores resulte em um resultado menor que zero. As saídas representam o dígito menos significativo da soma dos três (S1) e outro que seria um eventual “desce 1” de saída (CS). A tabela ilustra este funcionamento:

| Entradas |   |    | Saídas |    |
|----------|---|----|--------|----|
| A        | B | CE | CS     | S1 |
| 0        | 0 | 0  | 0      | 0  |
| 0        | 0 | 1  | 1      | 1  |
| 0        | 1 | 0  | 1      | 1  |
| 0        | 1 | 1  | 1      | 0  |
| 1        | 0 | 0  | 0      | 1  |
| 1        | 0 | 1  | 0      | 0  |
| 1        | 1 | 0  | 0      | 0  |
| 1        | 1 | 1  | 1      | 1  |

Obter as expressões lógicas das saídas CS e S1, esboçar e simular o circuito

Circuito:

| Entradas |   |    | Resultado |    |
|----------|---|----|-----------|----|
| A        | B | CE | CS        | S1 |
| 0        | 0 | 0  |           |    |

|   |   |   |  |  |
|---|---|---|--|--|
| 0 | 0 | 1 |  |  |
| 0 | 1 | 0 |  |  |
| 0 | 1 | 1 |  |  |
| 1 | 0 | 0 |  |  |
| 1 | 0 | 1 |  |  |
| 1 | 1 | 0 |  |  |
| 1 | 1 | 1 |  |  |

**Questão:** É possível construir um circuito para subtrair dois números de N dígitos utilizando um meio subtrator e N-1 subtratores completos. Esboce como seria um circuito para realizar a subtração de dois números de dois dígitos cada.

Circuito:

## Bibliografia

IDOETA, I.V.; CAPUANO, F.G. Elementos de eletrônica digital. São Paulo: Érica, 1998.

LOURENÇO, A.C.; CRUZ, E.C.A.; FERREIRA, S. Circuitos Digitais – Série ESTUDE E USE, Editora Érica. São Paulo, 1996

NATIONAL INSTRUMENTS. MultisimLive Tutorial. Disponível em

<https://www.multisim.com/help/getting-started/> HYPERLINK

"<http://www.multisim.com/help/getting-started/>" HYPERLINK

"<http://www.multisim.com/help/getting-started/>" HYPERLINK

"<http://www.multisim.com/help/getting-started/>" HYPERLINK

"<http://www.multisim.com/help/getting-started/>" HYPERLINK

"<http://www.multisim.com/help/getting-started/>" HYPERLINK

"<http://www.multisim.com/help/getting-started/>" HYPERLINK

"<http://www.multisim.com/help/getting-started/>" HYPERLINK

"<http://www.multisim.com/help/getting-started/>" HYPERLINK

"<http://www.multisim.com/help/getting-started/>" HYPERLINK

"<http://www.multisim.com/help/getting-started/>" HYPERLINK

"<http://www.multisim.com/help/getting-started/>" HYPERLINK

"<http://www.multisim.com/help/getting-started/>" HYPERLINK

"<http://www.multisim.com/help/getting-started/>" HYPERLINK



































































