


Design de Computadores

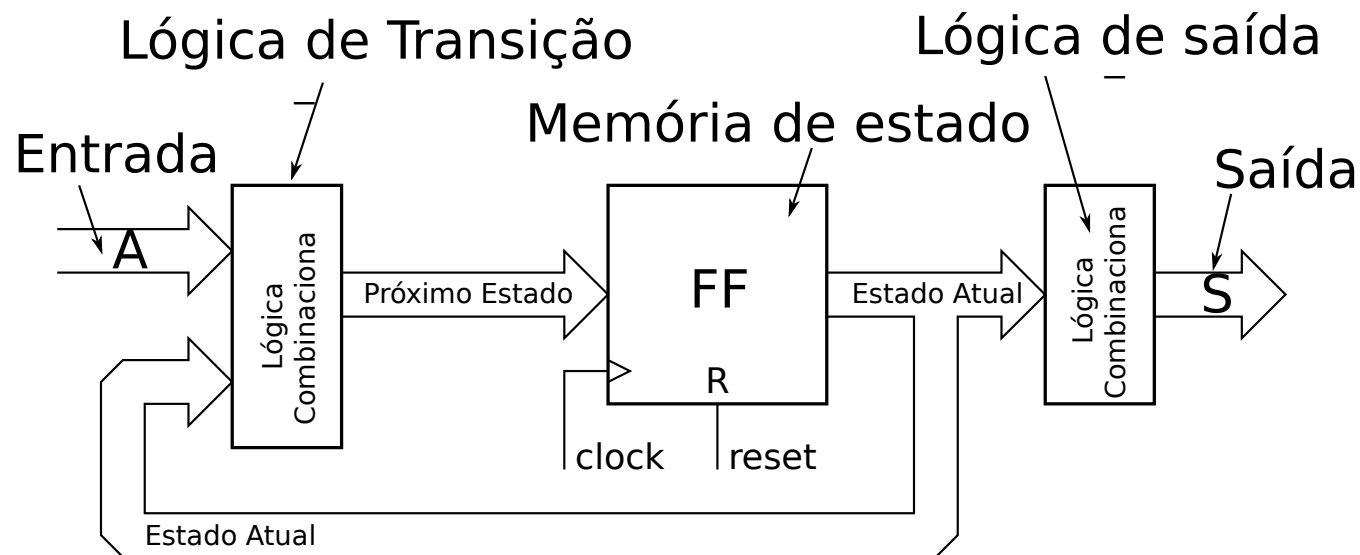
Aula 6 – Extras 2

Insper

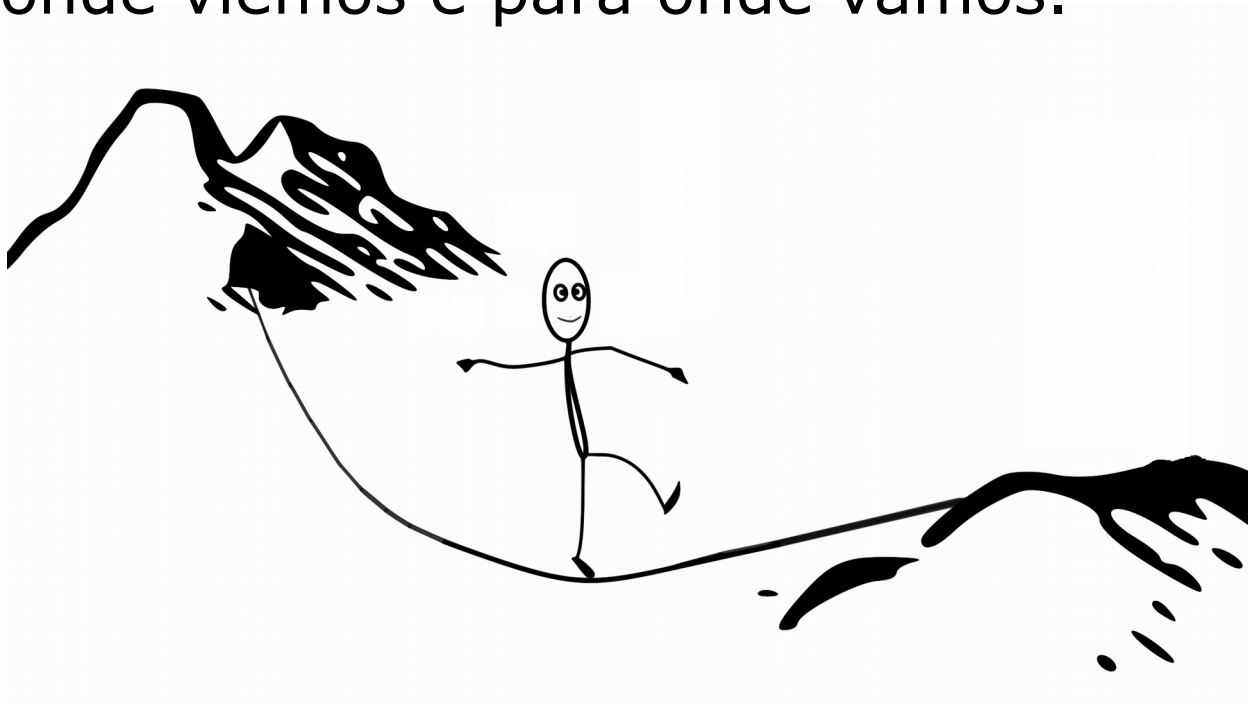
Máquina de Estados Microprogramada

- 
- Tópicos:
 - Máquina de estados implementada em memória.
 - Micro programação:
 - Sequenciamento e armazenamento.

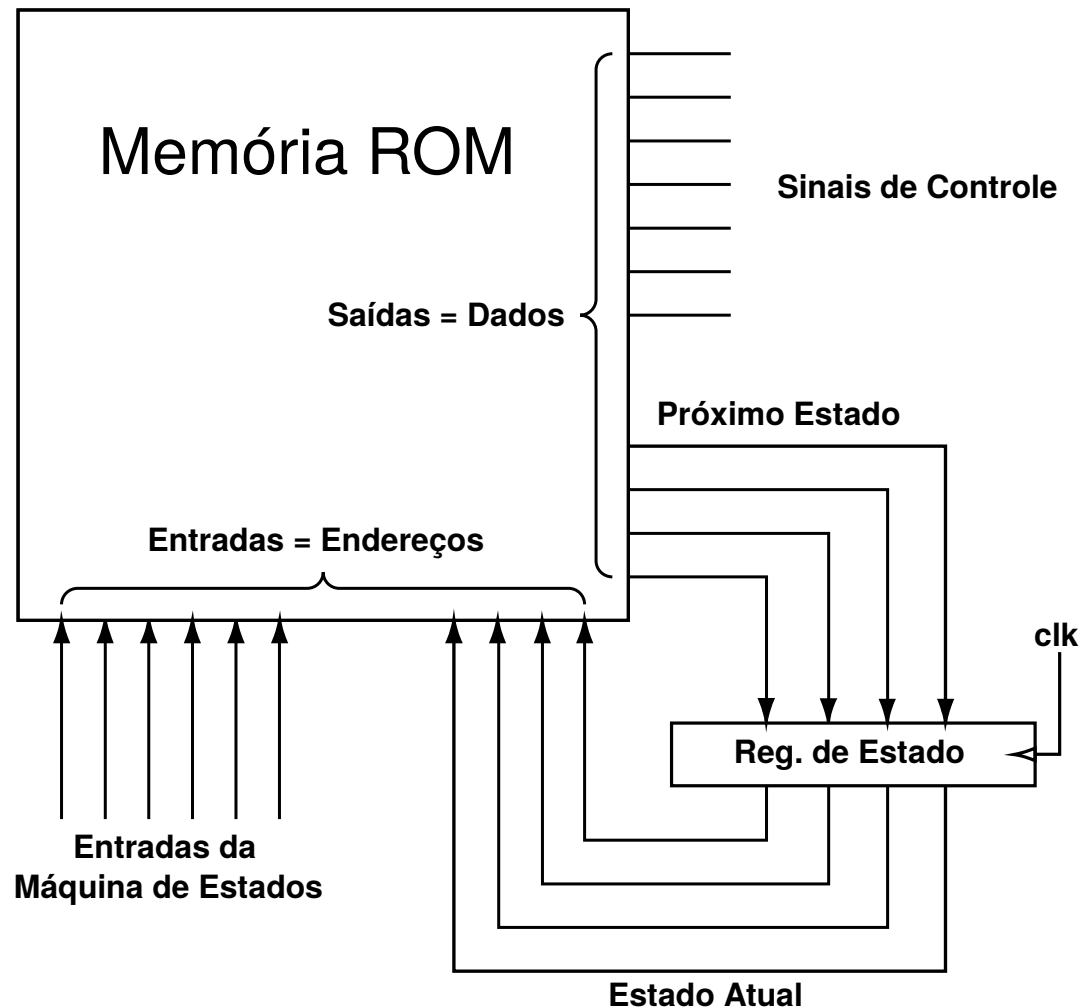
- Podemos implementar uma máquina de estados com:
 - Memória de estado;
 - Lógica combinatória para o sequenciamento dos estados. Chamada de lógica de transição ou de próximo estado;
 - Lógica combinatória para conversão do estado atual para a saída desejada.




- A ideia básica:
 - Definir a sequencia dos estados:
 - Em função das entradas;
 - E do estado atual.
 - Projetar uma lógica que execute essas escolhas.
- Ou seja, temos um mapa:
 - De onde viemos e para onde vamos.

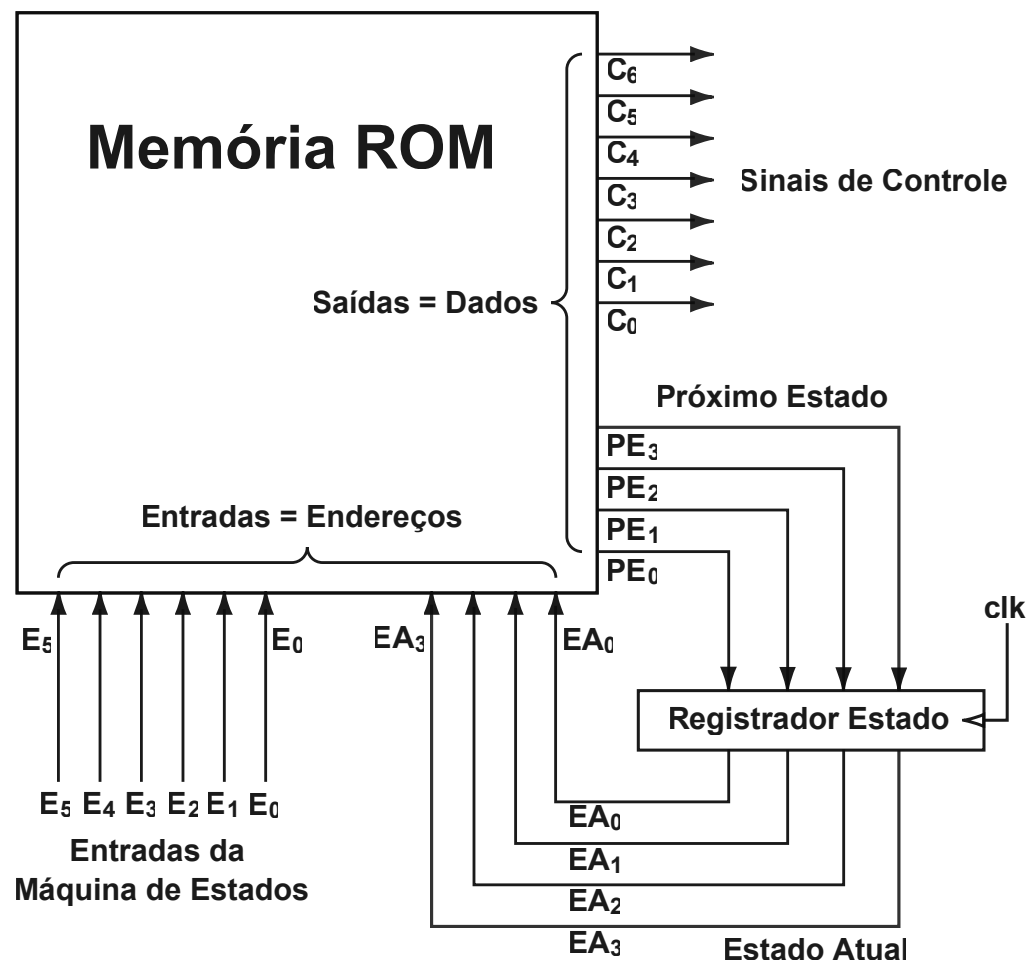



- Esse tipo de informação:
 - Da lógica de transição e de saída;
 - Pode ser armazenada em uma memória.




- 
- O conteúdo dessa memória é definido:
 - Pelos sinais de controle (saída);
 - Pelos sinais de próximo estado (saída):
 - Onde o valor do próximo estado está codificado em cada posição da ROM.
 - Os endereços dessa memória são definidos:
 - Pelos bits de entrada da máquina;
 - Pela codificação do estado atual (bits entrada):
 - Em quantidade que codifique todos os estados.
 - A montagem da memória é feita através de:
 - Tabelas;
 - Ou um programa montador de micro código.

- Considerando a máquina abaixo, com:
 - Seis entradas: E_0 a E_5 ;
 - Nove estados em 4 bits: EA_0 a EA_3 e PE_0 a PE_3 ;
 - Sete sinais de controle: C_0 a C_6 .



- 
- O dimensionamento da ROM:
 - Endereços: 10 bits:
 - Entradas: 6;
 - Estado atual: 4.
 - Dado: 11 bits:
 - Sinais (ou palavra) de controle: 7;
 - Próximo estado: 4.
 - Totalizando:
 - 2^{10} posições de 11 bits = $1024 \times 11 = 11.264$ bits.
 - Divididos em:
 - 64 (2^6) tabelas, uma para cada combinação de entrada;
 - Com 9 estados em cada tabela:
 - Definidos pelos 16 (2^4) endereços em cada tabela.

- 
- O endereçamento da ROM:
 - Terá 64 blocos de 16 posições, que são:
 - Endereçados pelo valor da entrada da máquina:
 - Conectados nos 6 bits mais significativos do endereço da ROM.
 - E o conteúdo, em cada bloco, será endereçado:
 - Pelos 4 bits menos significativos do endereço da ROM;
 - Conectado ao registrador de próximo estado.
 - A ROM possui 1024 posições de 11 bits cada, dos quais:
 - Os 7 bits mais significativos, são as palavras de controle, ordenadas pelo número do seu estado;
 - Os 4 bits menos significativos possuem a tabela de próximo estado para cada micro instrução.

- Nesse exemplo, teremos:
 - 64 tabelas a serem preenchidas;
 - Cada uma contendo os sinais de controle para cada estado.

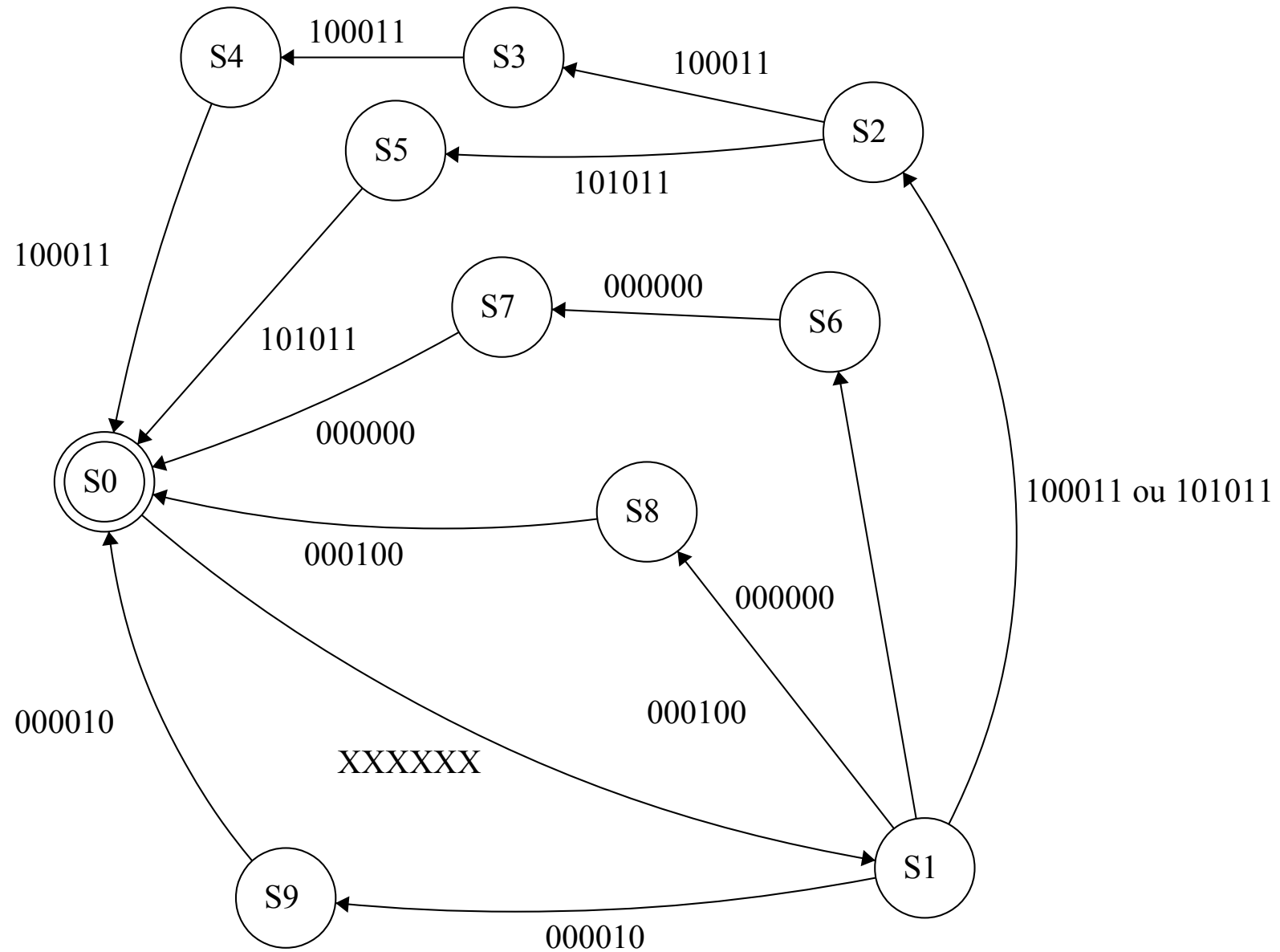
Controle	Estado (binário)								
	0000	0001	0010	0011	0100	0101	0110	0111	1000
C_0									
C_1									
C_2									
C_3									
C_4									
C_5									
C_6									

- Conteúdo dos 7 bits mais significativos:
 - De cada bloco de dados com 16 palavras:
 - Os 10 estados possíveis.
 - A ROM terá 64 repetições desse conteúdo:
 - Retirado da tabela anterior.

Endereço no Bloco (bits: 3~0) Equivalente ao Estado	Conteúdo (bits: 9~4) Palavras de Controle
0000	1001010
0001	0011000
0010	0010100
0011	0011000
0100	0100010
0101	0010101
0110	0010001
0111	1000011
1000	0100100
1001	1111000

**Os valores
dos bits 9~4
são somente
um exemplo.**

- Diagrama de estados:



- Os 4 bits menos significativos de cada bloco:
 - Devem conter a sequência de estados;
 - Referente à entrada que endereça aquele bloco.

	Entrada[5~0]				
Endereço No Bloco	Entrada (000000)	Entrada (000010)	Entrada (000100)	Entrada (100011)	Entrada (101011)
0000	0001	0001	0001	0001	0001
0001	0110	1001	1000	0010	0010
0010	XXXX	XXXX	XXXX	0011	0101
0011	0100	0100	0100	0100	0100
0100	0000	0000	0000	0000	0000
0101	0000	0000	0000	0000	0000
0110	0111	0111	0111	0111	0111
0111	0000	0000	0000	0000	0000
1000	0000	0000	0000	0000	0000
1001	0000	0000	0000	0000	0000

- Nesse caso, a sequência de cada entrada, seria:

Entrada	Sequência dos Estados (decimal)				
000000	0	1	6	7	
000010	0	1	9		
000100	0	1	8		
100011	0	1	2	3	4
101011	0	1	2	5	
Passo	1	2	3	4	5

Insper

www.insper.edu.br

