



## PRÁCTICA 6

### BIESTABLES

#### OBJETIVOS:

Una vez finalizada la práctica deberemos ser capaces de:

- ⦿ Comprender el comportamiento de los circuitos biestables
- ⦿ Explicar el funcionamiento de un biestable RS básico.
- ⦿ Comprender el comportamiento de un biestable D.
- ⦿ Construir un biestable D a partir de un biestable RS.
- ⦿ Implementar un biestable RS síncrono con entrada de reloj activa por nivel o por flanco.
- ⦿ Entender el comportamiento de un biestable síncrono con entradas asíncronas.
- ⦿ Identificar las formas básicas de desplazamiento de la información en un registro.
- ⦿ Construir y analizar contadores asíncronos tanto ascendentes como descendentes.

#### REFERENCIAS:

- ⦿ T.L. Floyd, *Fundamentos de los Sistemas Digitales*, 9ª Edición, Capítulo 7. "Latches, Flip-Flops y Temporizadores". Secciones 7-1 a 7-4.
- ⦿ J. Mª Angulo y J. García, *Sistemas Digitales y Tecnología de Computadores*, Capítulo 7. "Elementos Básicos de Demora"
- ⦿ Transparencias Tema 4 "Sistemas Digitales". Fundamentos de los Computadores.

#### ELEMENTOS NECESARIOS:

- ⦿ Programa de Simulación LogiSim con:
  - ✗ Circuitos biestables RS, D y JK.
  - ✗ Puertas lógicas.
  - ✗ Registros de desplazamiento.
  - ✗ Visualizadores y Pines para la introducción de datos

## INTRODUCCIÓN TEÓRICA

En prácticas anteriores, hemos visto circuitos cuya salida dependen en todo momento de la entrada presente en ese instante. A estos circuitos los habíamos denominado como *circuitos combinacionales*. Como contraposición a éstos tenemos los *circuitos secuenciales*, en los que la salida viene determinada tanto por el valor actual de las entradas como por su historia anterior. Alternativamente también los podemos definir como circuitos en los que la salida no depende solamente del valor de las entradas, sino del valor previo existente en la propia salida.

Por tanto, un sistema secuencial necesita conocer el estado en que se encuentra. Es decir, un sistema secuencial debe tener *memoria*.

Un biestable es el dispositivo encargado de almacenar un bit –ya sea 1 ó 0–, y de mantener dicho valor hasta que sea sustituido por otro. Es decir, en un biestable, una vez desaparecida la acción que hizo almacenar el 1 ó el 0, su efecto no desaparecerá. En consecuencia, serán capaces de almacenar un bit de información y constituyen la *celda elemental de memoria*.

Un biestable puede ser de diferentes tipos, según su lógica de disparo y según su sincronismo:

- ✗ En un biestable asíncrono todas las variaciones de la entrada pueden afectar a la salida, mientras que a un biestable síncrono solo le afectan las variaciones de la entrada producidas durante el nivel o flanco activo de reloj. Un biestable puede ser síncrono por nivel o flanco.
- ✗ Cada tipo biestable tiene distintas entradas y evolucionan ante ellas de modo distinto,

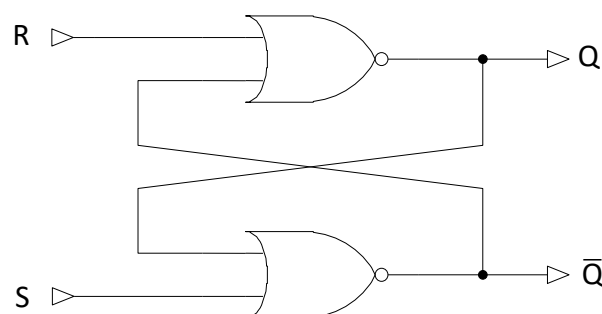


Figura 6.1 – Biestable RS asíncrono

aunque en todos los casos mantenga la función fundamental de almacenamiento. O sea, cada lógica de disparo hace evolucionar de distinto modo al biestable. Los biestables pueden ser de tipo RS, D, JK o T.

El circuito biestable básico es el biestable RS. La configuración básica consta de dos puertas NOR (figura 6.1). Está dotado de dos entradas, denominadas *S* (Set) y *R* (Reset), cuyo comportamiento es siguiente:

- ✗ Si ambas entradas están a cero, la salida permanece inalterada, manteniendo el valor que tuviera, tanto si es cero como uno.
- ✗ Si la entrada *R* está a 1 y la entrada *S* a 0, la puerta superior tendrá su salida forzada a 0, con lo que nos quedará que la salida *Q* valdrá 0 y a través de la realimentación de esta salida con la entrada de la otra (*S*) se forzará *Q* a 1.

- ✖ Si la entrada  $S$  está a 1 y la entrada  $R$  a 0, la puerta inferior tendrá su salida forzada a 0, con lo que nos quedará que la salida  $\bar{Q}$  valdrá 0 y a través de la realimentación de esta salida con la entrada de la otra ( $R$ ) se forzará  $Q$  a 1.
- ✖ Si ambas entradas  $R$  y  $S$  están a 1, estaremos forzando las salidas de las dos puertas a 1, con lo que entraremos en conflicto con las definiciones de  $Q$  y  $\bar{Q}$ , que en todo momento deben ser complementarias. Por esta razón, esta situación la definimos como *indefinida* o *prohibida*.

También es posible construir un biestable RS con puertas NAND. En este caso, el comportamiento es similar, si bien ahora las entradas serán activas a nivel bajo.

La señal de sincronismo, o reloj, solo afecta a cuándo evolucionan los biestables y no a qué hacen los biestables. La señal Clk se comporta como una llave que abre o cierra el paso de las

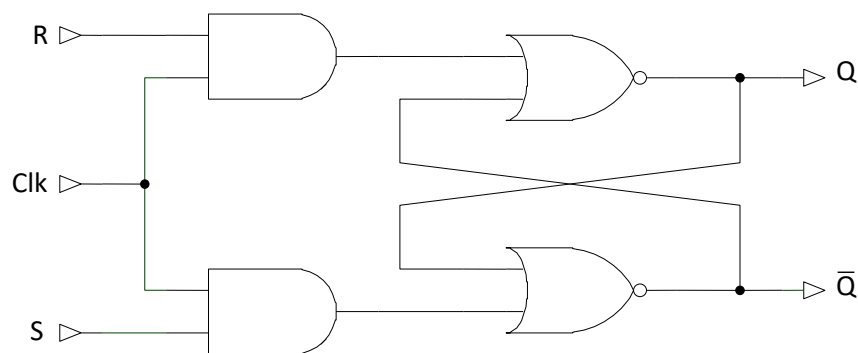


Figura 6.2 – Biestable RS síncrono activo por nivel ALTO

entradas RS. Observa la figura 6.2. Se trata de un biestable RS síncrono activo por nivel alto. Cuando la señal Clk se encuentra a 1 se comporta exactamente igual que un biestable asíncrono. Si Clk está a 0, cerrará el paso a cualquier variación que se produzcan en las entradas  $R$  y  $S$ .

Si el biestable es activo por flanco tendremos que solo dejará pasar los valores presentes en las entradas durante la transición de nivel alto a nivel bajo (si es activo por flanco de bajada) de la entrada del reloj o bien cuando su transición es de nivel bajo a nivel alto (si es activo por flanco de subida). Los biestables síncronos activos por flanco son los más utilizados en los sistemas secuenciales síncronos.

Otro tipo de biestable síncrono es el biestable D. Se diferencia del RS en que solo tiene una entrada ( $D$ ). Su comportamiento es tal, que cuando la entrada de reloj esta activada, la salida adopta siempre el mismo valor que tiene la entrada.

En los biestables que acabamos de comentar, tanto las entradas  $S$  y  $R$  como  $D$  se dice que son *entradas síncronas*, ya que los datos de estas entradas condicionan la salida sólo cuando tenemos activa la entrada de reloj. Esto significa que los datos se transfieren sincronizados con la señal de reloj. En la mayoría de circuitos integrados biestables vamos a encontrar también *entradas asíncronas*. Éstas pueden hacer variar la salida del biestable independientemente del reloj. Generalmente, la entrada capaz de poner a uno la salida recibe el nombre de Preset ( $P$ ), mientras que la que la pone a cero se denomina Clear ( $C$ ). Su funcionamiento prevalece frente a las entradas síncronas y son atendidas siempre y de forma independiente del reloj.

## REALIZACIÓN PRÁCTICA

1. Construye un circuito biestable de tipo RS síncrono activo por nivel alto utilizando únicamente puertas NAND. Proporciona la señal de reloj mediante elemento *Reloj*. Comprueba el funcionamiento. Obtén su tabla de verdad completa en función de las señales CLK, R y S.
2. Partiendo del diseño del biestable RS síncrono diseñado en el punto anterior, añade los elementos necesarios y modifícalo para convertirlo en un biestable D activo por nivel bajo dotado de entradas de Preset y Clear.
3. Coloca en el espacio de trabajo el biestable RS que incorpora el programa en la librería de elementos de memoria. Identifica las entradas y salidas de que dispone, comprueba su funcionamiento y escribe una tabla de verdad que las incluya a todas.
4. Implementa un registro de desplazamiento de cuatro bits con entrada y salida serie y carga paralela. Carga un valor inicial por sus entradas paralelas y a continuación desplaza la información por la salida serie con cada pulso de reloj.
5. Construye el contador asíncrono de dos bits de la Figura 6.1. Conecta la entrada a un reloj con una frecuencia de 1 Hz y observa las salidas de ambos biestables conectando visualizadores en las salidas Q1 y Q0.
  - a) Establece el tipo de contador y la relación existente entre sus formas de onda.
  - b) Toma las salidas en  $\bar{Q}$  en lugar de Q en ambos biestables. ¿Ante qué tipo de contador nos encontramos?
  - c) Vuelve al circuito original con salida en Q y solo cambia ahora la conexión de la entrada de reloj del segundo biestable conectándola a la salida  $\bar{Q}$  del primer biestable. Vuelve a observar la salida y determina el tipo de contador.

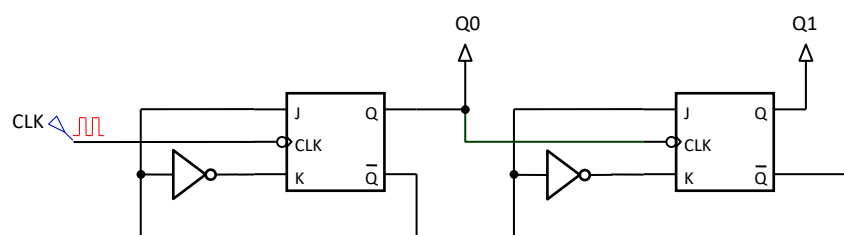


Figura 6.1 – Contador asíncrono de 2 bits