PRACTICA PROFESIONAL SUPERVISADA

*Procesamiento digital de imágenes por hardware: implementación en hardware de la operación de convolución en 2-D con reutilización dinámica de memoria*

### Alumnos: Casabella Martin, 39694763

Sulca Sergio, xxxxxxxx

Vignolles Ivan Maximiliano, xxxxxxxx

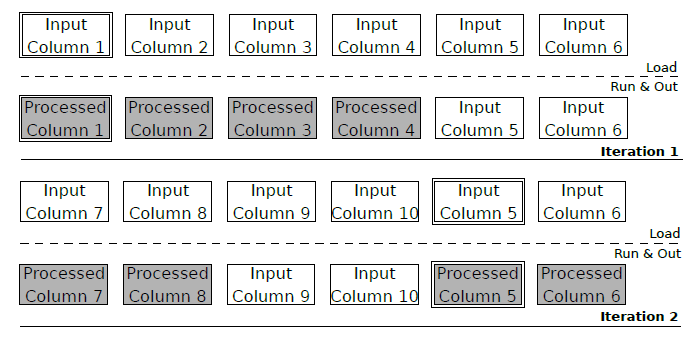
### Carrera: Ingeniería en Computación

### Tutor: Dr.Ing. Ariel L.Pola

**2018**

**Department of Research and Development Fundacion Fulgor**

, utilizando el desplazamiento circular de columnas mencionado, se puede apreciar en la siguiente figura:



Se ve en la figura, que hay una línea punteada que separa la etapa de carga y la de procesamiento y salida de datos.

Como consideramos un kernel con y s , :

* se necesitan o requieren columnas de memoria
* En la primera iteración, se cargan las memorias a con el nuevo lote (donde cada memoria instanciada alberga una columna del lote) y el resultado se almacena en las memorias a , marcadas con otro color y en la etapa *run & out.*
* En la segunda iteración, los datos del nuevo lote se cargan sin sobrescribir las memorias y . Luego del procesamiento, se almacenan los datos comenzando en la memoria hasta la última, para luego sobrescribir los datos del lote previo desde el principio.

La lógica del sistema se implementa en el bloque , que sirve como interfaz entre las memorias y el resto de los componentes, manteniéndolos independientes al grado de paralelismo del sistema y al número de iteración.

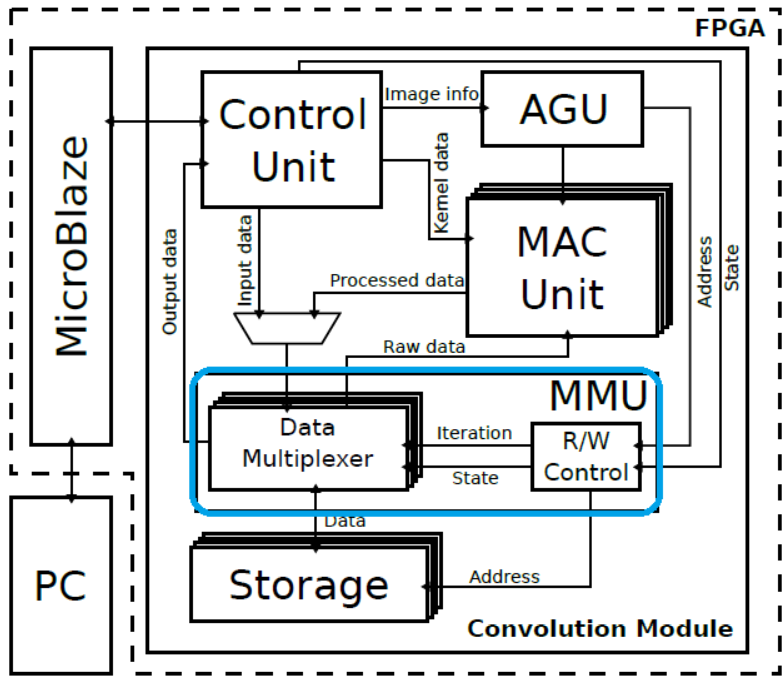
**)**

Este bloque, en cada iteración, mantiene un seguimiento de:

* Las posiciones de memoria donde el lote entrante debe ser almacenado
* la información que debe alimentar a cada unidad
* La posición de memoria donde la información procesada debe ser almacenada
* El orden en el cual la información procesada debe ser devuelta

Para cumplir con estas funciones, se basa en una máquina de estados finitos interna al módulo, donde cada estado corresponde a un conjunto de las posiciones citadas anteriormente. El número de estados está dado por el número de iteración de la ecuación:

Este bloque consta de un conjunto de multiplexores cuyas líneas o entradas de selección son manejadas por la máquina de estados mencionada, para así hacer el routing de la información entrante y saliente, como se ve en la figura resaltado en color azul:

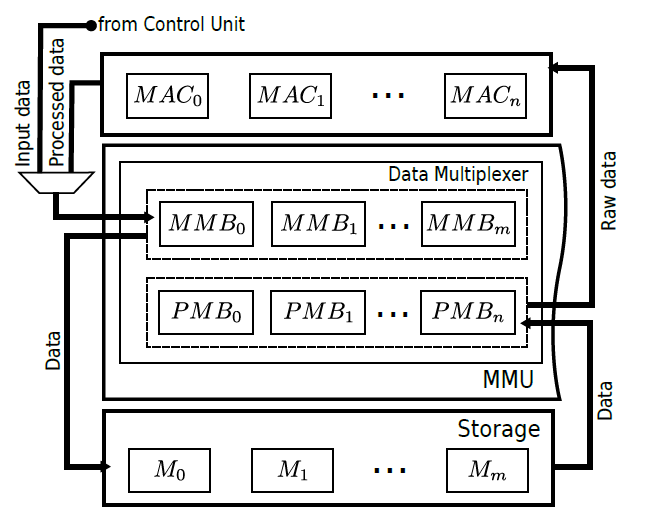


Analizando la arquitectura interna de los bloques que conforman este módulo, el bloque *data multiplexer* está conformado por un conjunto de bloques más pequeños clasificados en dos clases acorde a la función que cumplen:

Los hacen el routing de la información sin procesar (*raw data)* y la información desde las unidades hacia las memorias.

Los hacen el routing de la información desde las memorias hacia las unidades .

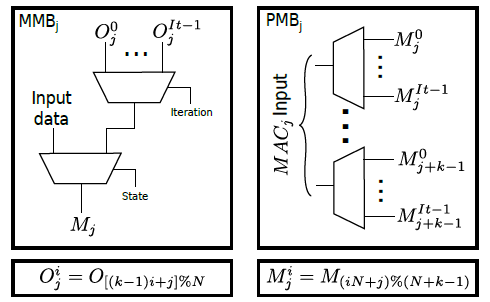
Este flujo se puede ver en la siguiente figura:



Tanto los bloques como los tienen un numero de entradas proporcional al numero de estados de la interna del bloque .

Las entradas a sus multiplexores se definen respectivamente:

El símbolo representa la operación modulo, y toma valores desde a .



# Características del proyecto

En el proyecto desarrollado se tienen las siguientes características:

* Implementación de la operación de convolución bidimensional en una FPGA
* Particionamiento de imagen por columnas, y carga de las mismas en la placa
* Procesamiento con cierto grado de paralelismo
* Kernel de 3x3, configurable
* Manejo de imágenes de escala de grises (cada píxel tiene asociado un valor de intensidad o escala de gris)
* Reutilización de hardware: específicamente, de Block RAM, uno de los elementos que mas energía consume en FPGAs.
* Funcionalidades y etapas en su totalidad: el sistema implementado cubre todas las etapas (carga, procesamiento, devolución )
* Escalabilidad
* Funcionalidades y etapas en su totalidad: el sistema implementado cubre todas las etapas (carga, procesamiento, devolución )
* Escalabilidad

Restricciones:

Debido al tamaño de la FPGA utilizada no se utilizo otra interfaz, como por ejemplo Ethernet o acceso directo a memoria (DMA). Pese a esta limitación, la arquitectura propuesta es indiferente a estos métodos.