

Digitaltechnik

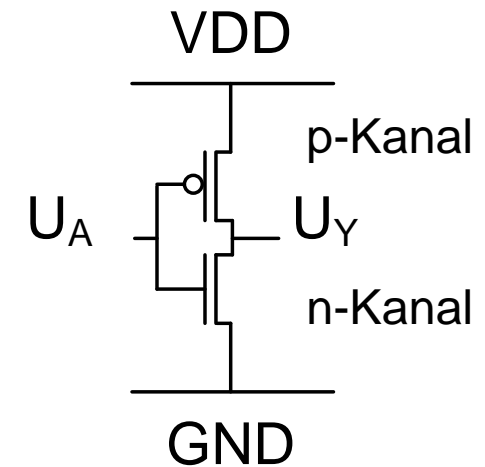
Kapitel 10, Halbleitertechnik

Prof. Dr.-Ing. M. Winzker

*Nutzung nur für Studierende der Hochschule Bonn-Rhein-Sieg gestattet.
(Stand: 21.03.2022)*

10.1 MOS-Transistoren

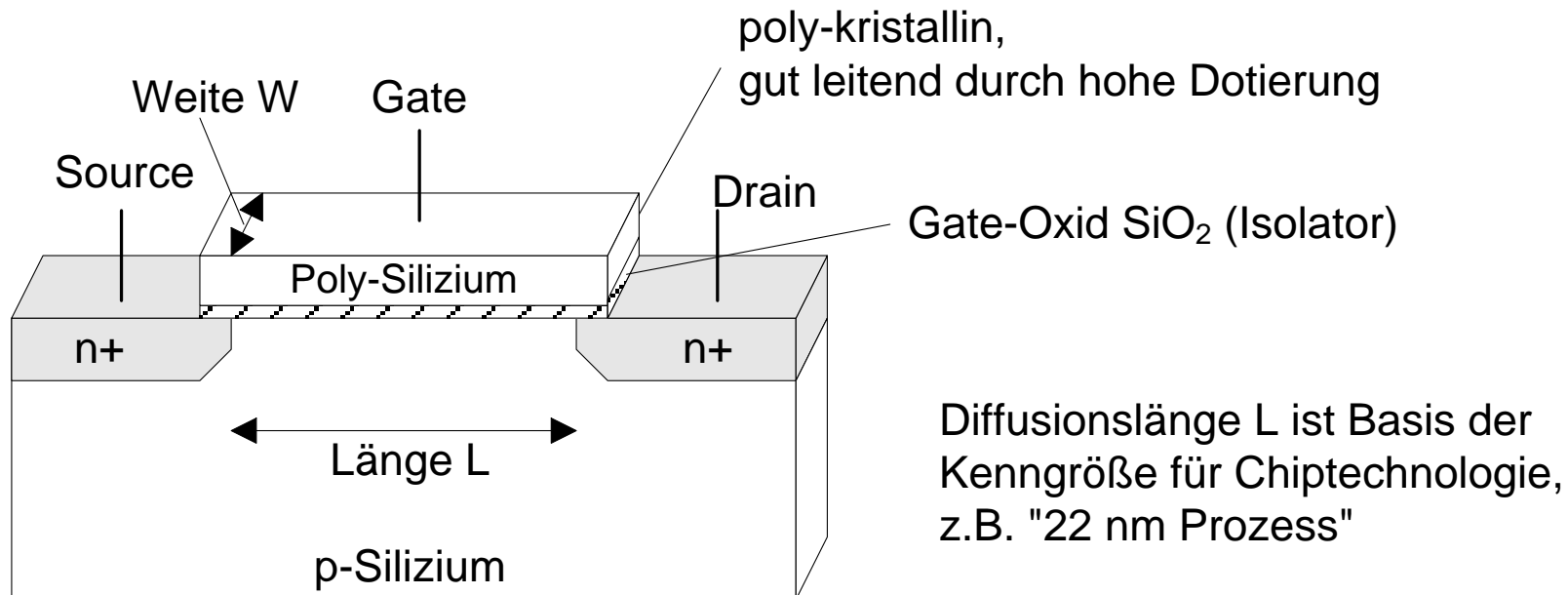
- Für CMOS-Schaltungen werden **Feldeffekttransistoren** genutzt
- CMOS steht für „Complementary Metal-Oxid-Semiconductor“ d.h.
 - komplementär; sich ergänzende Schalter zu Versorgungsspannung und Masse
 - mit Feldeffekt-Transistoren
- Die Transistoren arbeiten als (relativ gute) Schalter
- Ein Schalter ist immer nicht-leitend, daher kein ständiger Stromfluss
- Einfachstes Bauelement: Inverter (siehe Bild)
 - Bei U_A etwa GND leitet p-Kanal-Transistor und U_Y wird VDD
 - Bei U_A etwa VDD leitet n-Kanal-Transistor und U_Y wird GND



Zur Vertiefung: H. Göbel, „Einführung in die Halbleiter-Schaltungstechnik,“ Springer-Vieweg, 2014. Kapitel 4, 11, 12, 13

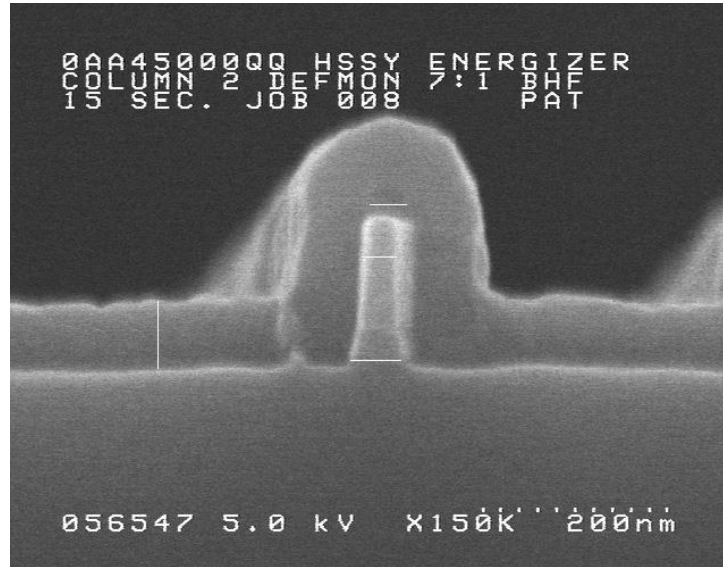
n-Kanal MOS-Transistor

- Grundmaterial ist Silizium
- Source („Quelle“) und Drain („Abfluss“) sind stark negativ dotiert (n^+)
- Dazwischen liegt leicht positiv dotiertes Substrat
 - ➔ Ladungsträger (Elektronen) können durch pn-Übergang zum Substrat nicht zwischen Source und Drain fließen



Skalierung

- Durch immer kleinere Abmessungen der Transistoren wurde das Moore'sche Gesetz erreicht
- Kenngröße ist die Länge des Gates
 - Relativ aktueller CMOS-Transistor im Elektronenmikroskop (ca. 50 nm)



(Foto: IBM)

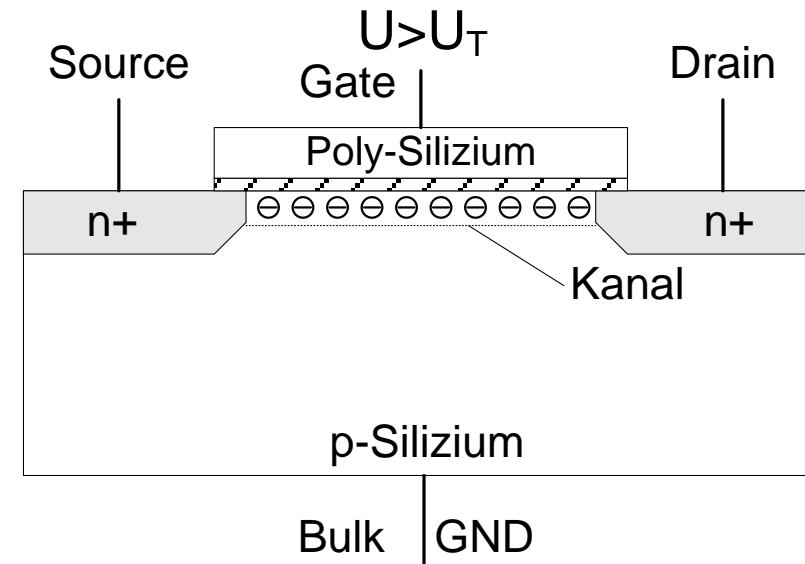
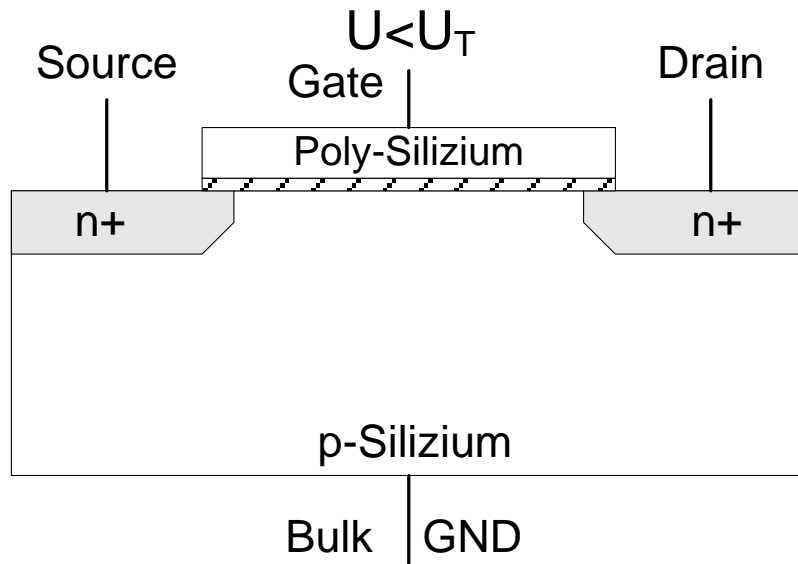
- „Früher“ entsprach die Technologie der physikalischen Gate-Länge
- „Heute“ ist die Gate-Länge eine Kenngröße mit nur noch ungefährem physikalischem Bezug

Strukturgrößen

10 μm – 1971
6 μm – 1974
3 μm – 1977
1.5 μm – 1982
1 μm – 1985
800 nm – 1989
600 nm – 1994
350 nm – 1995
250 nm – 1997
180 nm – 1999
130 nm – 2001
90 nm – 2004
65 nm – 2006
45 nm – 2008
32 nm – 2010
22 nm – 2012
14 nm – 2014
10 nm – 2016
7 nm – 2018
5 nm – ~2020
3 nm – ~2021
2 nm – ~2024

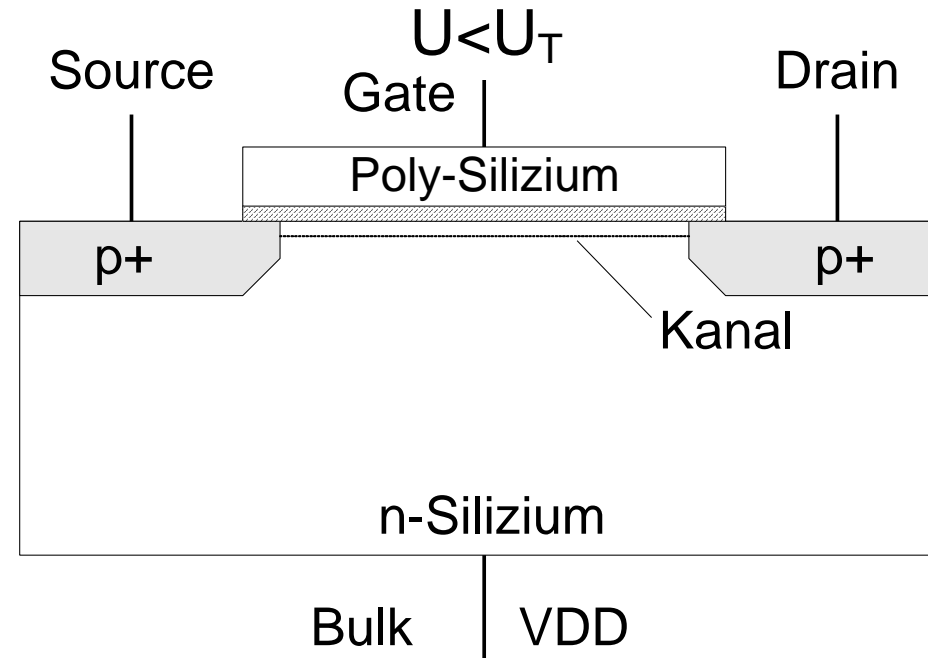
Funktion des n-Kanal MOS-Transistors

- Durch Anlegen einer positiven Gate-Spannung werden p-Ladungsträger (Löcher) aus p-Silizium verdrängt
 - Potential des Substrats muss definiert sein (Anschluss B)
- Es entsteht ein leitender **n-Kanal** zwischen Source und Drain
 - ➔ Der Transistor öffnet den Stromfluss
- Mindestspannung für Entstehung eines Kanals heißt **Schwellenspannung** U_T (Threshold)



p-Kanal MOS-Transistor

- Austausch der Dotierung führt zu inversem Verhalten
- Negative Spannung öffnet Transistor, d.h. U_T ist negativ
- Durch Verbinden des Substrats mit Versorgungsspannung U_S ist 0 Volt negativ (relativ zu Substrat)



Für n-Kanal und p-Kanal Transistoren

- CMOS verwendet selbstsperrende Transistoren (Anreicherung-, Enhancement-Typ)
- Durch Dotierung kann auch ein selbstleitender Transistor erzeugt werden (Verarmungs-, Depletion-Typ)

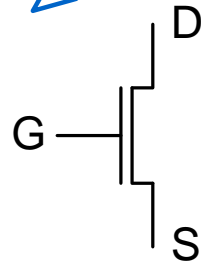
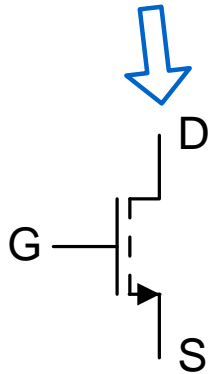
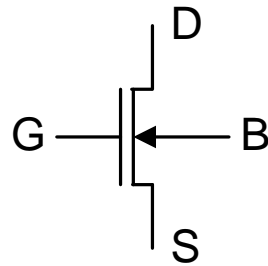
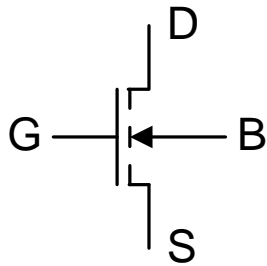
Schaltsymbole für MOS-Transistoren

- Für CMOS wird nur Anreicherungstyp verwendet
- Vereinfachte Darstellung für größere CMOS-Schaltbilder

n-Kanal

Anreicherungstyp

Verarmungstyp



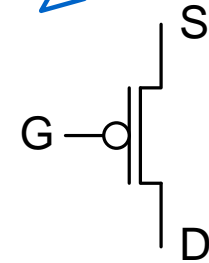
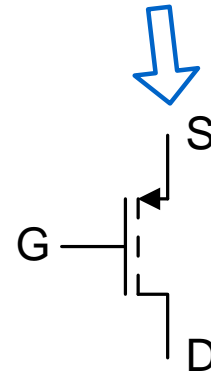
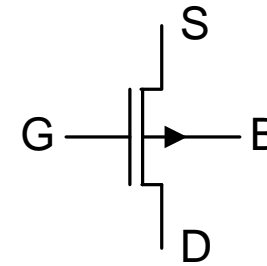
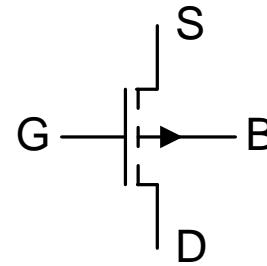
Bulk auf Source

vereinfacht

p-Kanal

Anreicherungstyp

Verarmungstyp



Bulk auf Source

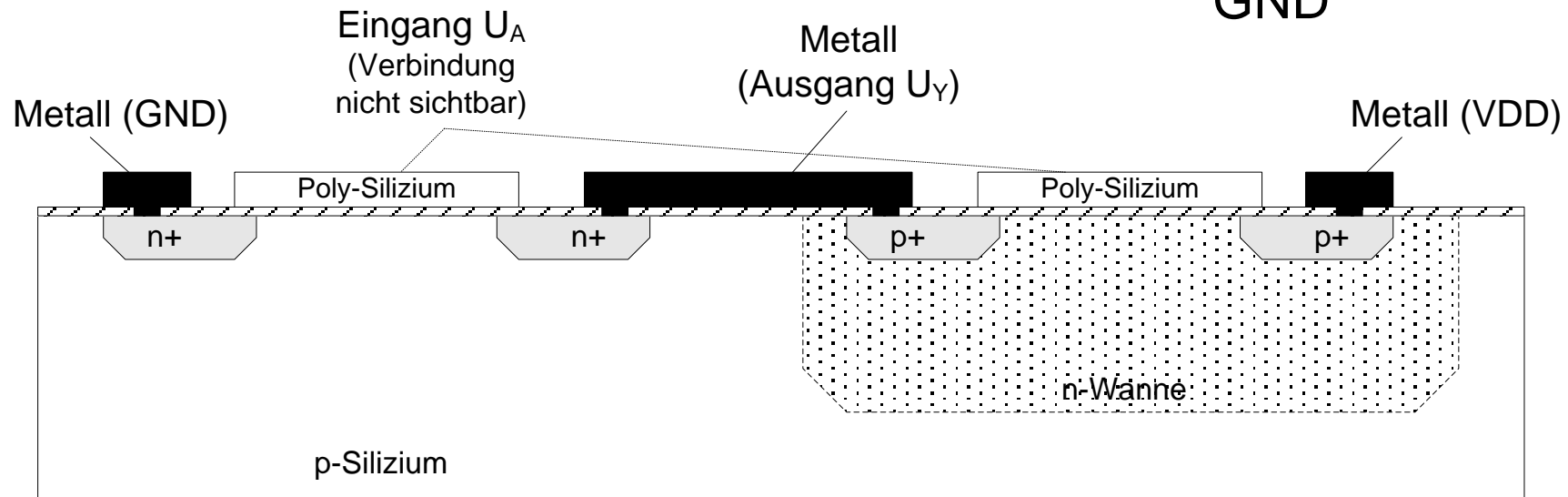
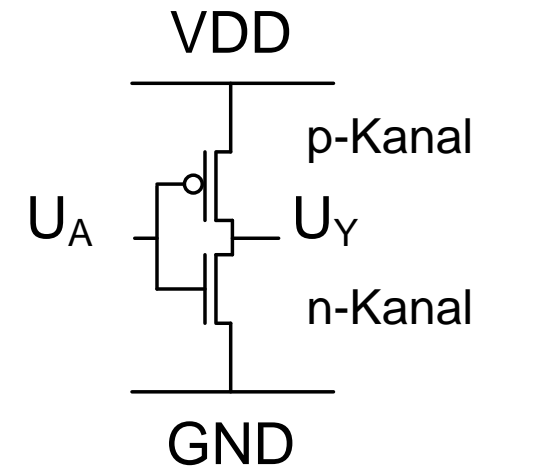
vereinfacht

Physikalischer Aufbau eines CMOS-Inverters

- Silicon-on-Isolator wird in der Praxis verwendet, ist aber sehr aufwändig

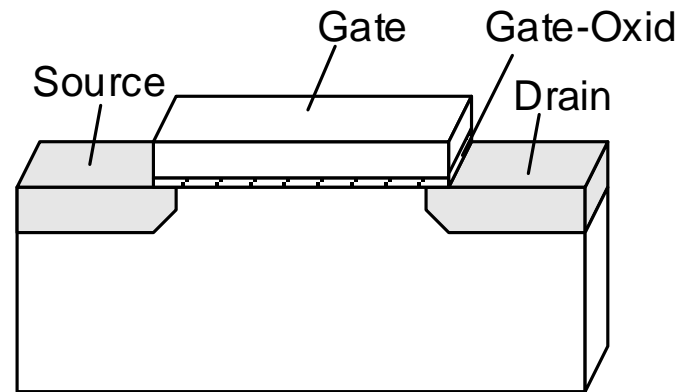
Einfachere Alternative:

- Verwendung eines p-dotierten Substrats
- Umdotierung eines Bereichs (n-Wanne)

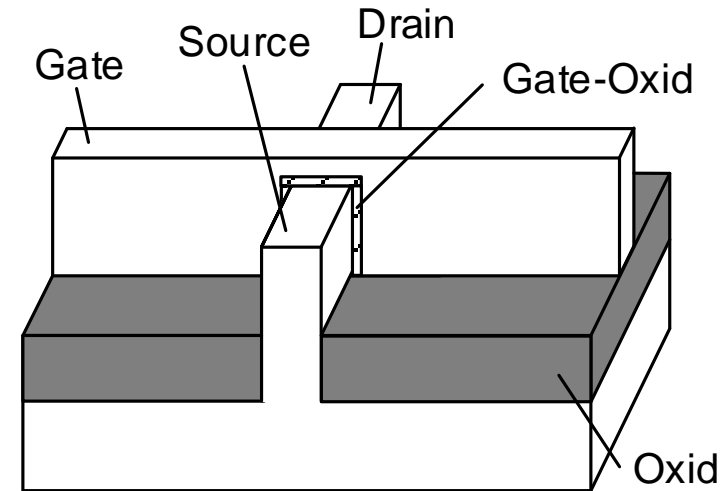


FinFET Transistoren

- Durch kleiner werdende Strukturen verschlechtern sich die Eigenschaften der CMOS-Transistoren
- Aktuelle Strukturen legen das Gate daher um den Kanal herum (FinFET)
- Einsatz von Nanowires angekündigt
 - Technologiebezeichnung (z.B. 22 nm) ergibt sich mittlerweile aus Strukturgrößen und nicht mehr direkt als Gate-Länge



Planar-Transistor



FinFET-Transistor

Lesetipps:

<https://spectrum.ieee.org/semiconductors/devices/the-nanosheet-transistor-is-the-next-and-maybe-last-step-in-moores-law>

<https://www.elektroniknet.de/elektronik/halbleiter/die-zukunft-von-moore-s-law-ist-besser-als-jemals-zuvor-172067.html>

Zukünftige Skalierungstechniken

Vorhersage 2018: Path to 2 nm May Not Be Worth It

- Engineers see many options to create 5-, 3- and even 2-nm semiconductor process technologies, but some are not sure that they will be able to squeeze commercial advantages from them even at 5 nm. The increasing complexity and cost of making ever-smaller chips is leading to diminishing returns.

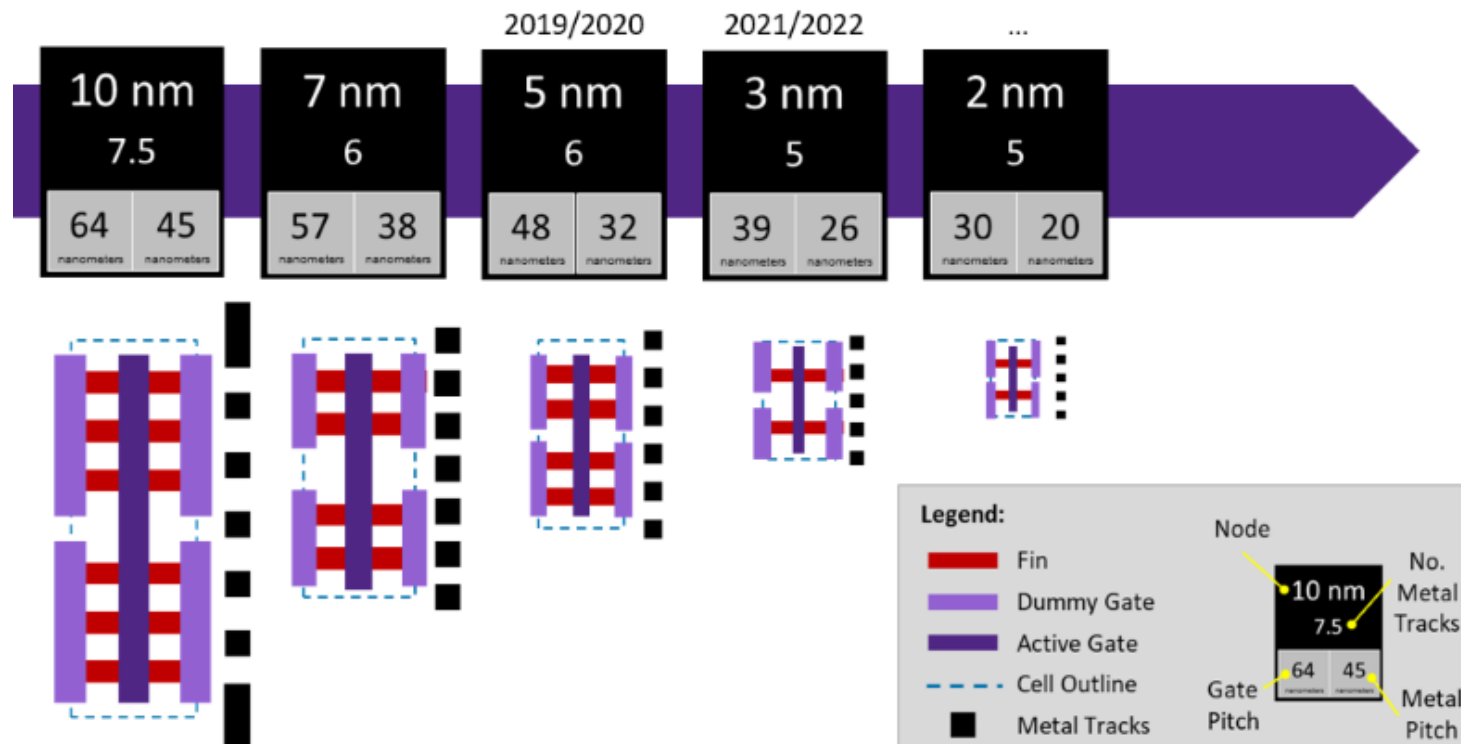
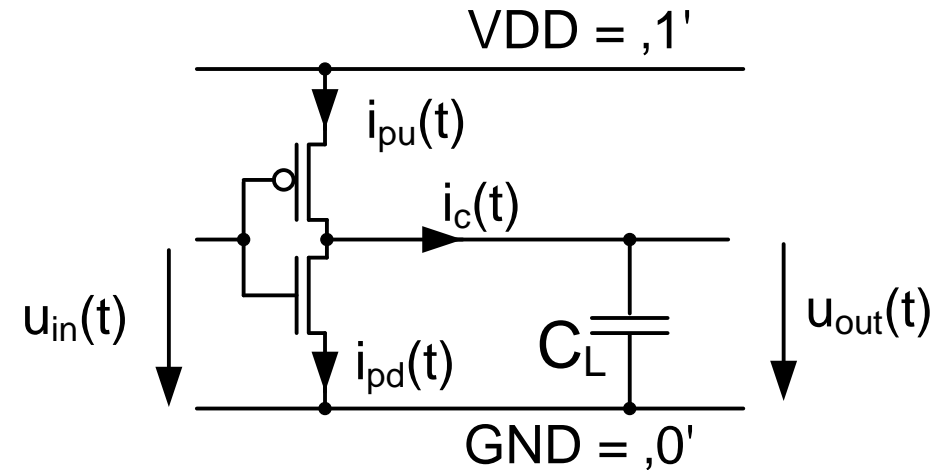


Bild: Synopsys

10.2 Verlustleistung von CMOS-Schaltungen

Zur Analyse einfache Struktur:

- Inverter als einfachstes Bauelement
- Kapazität als Ausgangslast
 - Zusammenfassung von Leitungskapazität und Gate-Kapazität der nächsten Stufe



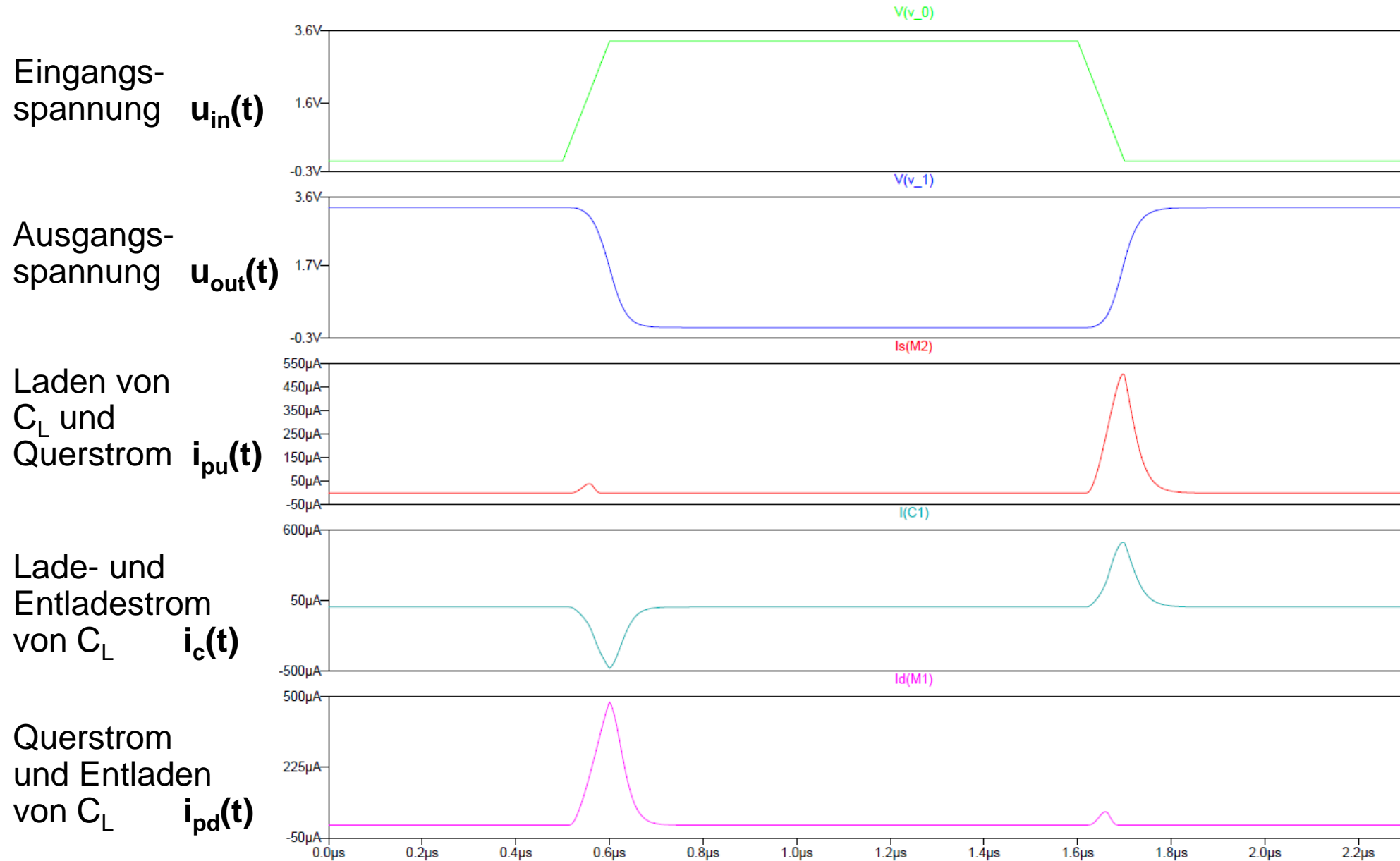
Drei Anteile der Verlustleistung

1. Umladen der Kapazität C_L am Ausgang
2. Querströme, wenn beide Transistoren im Übergang teilweise leiten
3. Leckströme im Transistor

➔ Anteile 1 und 2 nur bei Aktivität einer Schaltung

➔ Anteil 3 auch im Ruhezustand

Analogsimulation eines CMOS-Inverters



Verlustleistung durch Umladen von C_L

Als wesentlicher Anteil soll hier nur „Umladen von C_L “ betrachtet werden

- Das Aufladen über den Pull-Up-Transistor wird berechnet
- Wenn im Zeitraum T der Kondensator geladen und wieder entladen wird, gilt mit $P=U \cdot I$

$$P_C = \frac{1}{T} \int_t^{t+T} u(t) i(t) dt$$

- Die Spannung $u(t)$ ist konstant gleich der Versorgungsspannung

$$P_C = \frac{1}{T} V_{DD} \int_t^{t+T} i(t) dt$$

- Die Stromgleichung für den Kondensator lautet $i(t) = C \, du(t)/dt$
- Nach Einsetzen wird nach du integriert und die Integrationsgrenzen müssen angepasst werden

$$P_C = \frac{1}{T} V_{DD} C_L \int_{u_{out}(t)}^{u_{out}(t+T)} du$$

- Das Integral entspricht der Spannungsdifferenz zwischen 0V und VDD, daher gilt

$$P_C = \frac{1}{T} V_{DD} C_L V_{DD}$$

Verlustleistung durch Umladen von C_L (II)

- Der Anteil $1/T$ beschreibt die Zeit für Aufladen und Entladen des Kondensators
- Die meisten Leitungen einer Schaltung haben nicht in jedem Takt eine Aktivität
- Dieser Faktor wird durch die Schaltaktivität σ beschrieben
 - Die Schaltaktivität σ ist die Wahrscheinlichkeit einer 0-1-Flanke pro Taktzyklus
- Werte für σ sind:
 - Taktsignal: $\sigma = 1$ Jeder Takt eine steigende Taktflanke
 - LSB eines Zählers: $\sigma = 0,5$ abwechselnd 0 und 1
 - MSB eines 8bit-Zählers: $\sigma = 0,004$ 0-1-Wechsel nach 256 Takten
 - Audio oder Videosignal: $\sigma = 0,3 \dots 0,1$ je nach Signal
 - „Divide-by-Zero“- oder Reset-Leitung einer CPU: $\sigma_i \approx 0$
- Mit der Taktfrequenz kombiniert ergibt sich eingesetzt für $1/T$

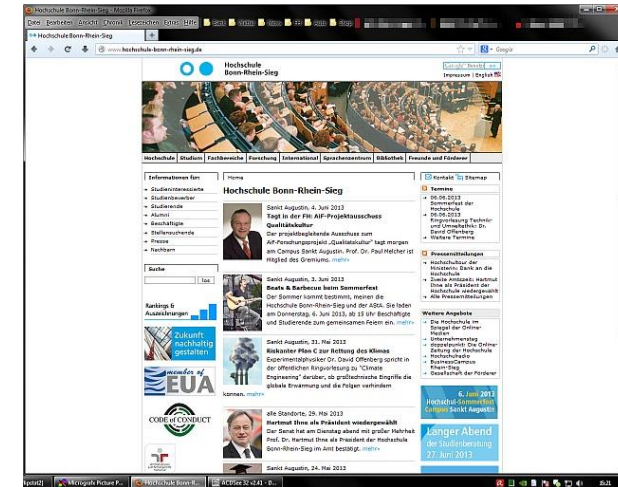
$$P_C = \sigma f V_{DD}^2 C_L$$

- Summiert über alle Knoten einer Schaltung:

$$P_C = \sum_{i=\text{all nodes}} \sigma_i f V_{DD}^2 C_{L,i}$$

Schaltaktivität von Videosignalen

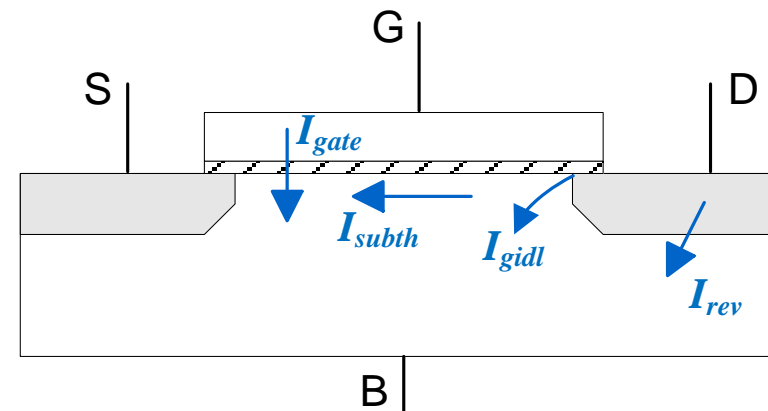
- Testbilder in RGB-Darstellung mit 3·8 bit (1280·1024 Pixel)
 - Foto „Strandweg“ hat $\sigma \approx 0,33$
 - Foto „Möwe“ hat $\sigma \approx 0,2$
 - Screenshot „Homepage“ hat $\sigma \approx 0,1$
- Schaltaktivität ist teilweise intuitiv erkennbar, teilweise nicht
 - Strukturen in linkem Bild, gleichmäßige Flächen in anderen Bildern
 - **Aber:** Graues Bild mit vielen Wechseln zwischen 127 u. 128 hat auch hohe Aktivität:
„0111 1111“ \leftrightarrow „1000 0000“



Quelle:
Abschlussarbeit H.
Waterstradt, 2013

Leckströme

- Für die Verlustleistung sind die Leckströme von hoher Bedeutung
 - Signifikanter Anteil für Strukturgrößen unter 90nm
- Prinzipiell gibt es vier Anteile
 - Subthreshold Leakage I_{subth}
 - Kanal ist nicht vollständig ausgeschaltet
 - Gate Leakage I_{gate}
 - Tunneleffekte durch sehr dünnes Oxyd
 - Reverse Bias Junction Leakage I_{rev}
 - Sperrstrom des pn-Übergangs
 - Gate Induced Drain Leakage I_{gidl}
 - Leckstrom durch Feldstärke der Drain-Spannung



Quelle und zum Nachlesen: L. Chen et.al., „Low Power Design Methodologies for Digital Signal Processors,“ in N.N. Tan et.al. „Ultra-Low Power Integrated Circuit Design“, Springer 2014.

Anteile der Leckströme

- **Hauptanteil** der Leckströme ist Subthreshold Leakage I_{subth}
 - **Geringerer Anteil** für Gate Leakage I_{gate} und Reverse Bias Junction Leakage I_{rev}
 - **Vernachlässigbar** ist Gate Induced Drain Leakage I_{gidl}
 - Die Subthreshold Leakage berechnet sich zu $I_{subth} = \beta U_{T0}^2 e^{\frac{U_{GS} - U_{th}}{n U_{T0}}}$
 - Dabei sind
 - Verstärkungsfaktor des Transistors $\beta = C'_{ox} \cdot \mu_n \cdot \frac{w}{l}$
 - Temperaturspannung $U_{T0} = \frac{k_B T}{q}$ (ca. 25 mV bei Zimmertemperatur [Rabaey])
aus Boltzmann-Konstante, Temperatur, Elementarladung
 - Prozessparameter n (1 bis 2,5; typisch 1,5 [Rabaey])
- ➔ Starke, exponentielle Abhängigkeit von der Schwellenspannung
- ➔ Bei steigender Temperatur ebenfalls Anstieg von I_{subth}

Video zur Temperaturabhängigkeit der statischen Verlustleistung:

https://youtu.be/8eZ_siOrtXY

Exponentielle Abhängigkeit von Schwellenspannung

- Bei ausgeschaltetem Gate ($U_{GS} = 0V$) gilt $I_{subth} \sim e^{\frac{-U_{th}}{nU_{T0}}}$
- Ein U_{th} von 0,1V und 0,4V ergibt für I_{subth} den Faktor 3000

$$e^{(-0,1V/1,5 \cdot 0,025V)} = 0,0695$$

$$e^{(-0,4V/1,5 \cdot 0,025V)} = 0,000\,0233$$

Wahl der Schwellenspannung

- Die Versorgungsspannung wird zunächst möglichst klein gewählt, da
 - Quadratischer Anteil an dynamischer Verlustleistung
 - Feldstärken dürfen bei kleineren Strukturen nicht zu hoch werden
- Höhere Schwellenspannung verbessert Leckströme
- Kleinere Schwellenspannung beschleunigt Schaltung
 - ➔ Kompromiss erforderlich
- Verschiedene Prozess-Varianten durch Halbleiterhersteller möglich
 - High-Performance
 - Low-Power

Optionen zur Verringerung der Verlustleistung

1. Umladen der Ausgangskapazität C_L

- Verringerung des Spannungshubs (quadratischer Einfluss)
- Geringere Kapazität der einzelnen Lastenkapazitäten C_L
 - ➔ Geringere Strukturgröße der CMOS-Technologie („22nm statt 90nm“)
- Geringere Anzahl an Lastenkapazitäten C_L
 - ➔ Geschicktes Schaltungsdesign
- Geringere Schaltaktivität an den Knoten
 - ➔ Abschalten ungenutzter Module, geringere Taktfrequenz (CPU im Laptop)

2. Querströme durch Transistoren bei Umschalten

- Maßnahmen ähnlich wie bei 1.)
- Signalfanken nicht unnötig flach (wird ohnehin angestrebt)

3. Leckströme im Transistor

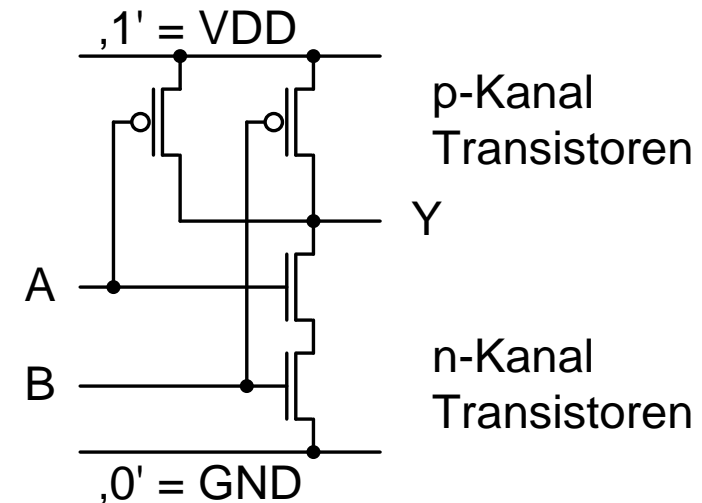
- Wahl der Transistor-Geometrie
- Höhere Strukturgröße der CMOS-Technologie
 - ➔ Geringere Schaltgeschwindigkeit und Konflikt mit 1.)

10.3 Logikschaltungen

- In „Göbel“, Kapitel 11.2 werden verschiedene Schaltungstechniken kurz genannt
 - Die heutzutage wesentliche Schaltungstechnik ist CMOS
- Kennzeichen von CMOS-Logikschaltungen ist die Kombination zweier Transistor-Netzwerke
 - Ein Netzwerk von p-Kanal-Transistoren kann den Ausgang nach VDD, also ,1‘ ziehen
 - Ein Netzwerk von n-Kanal-Transistoren kann den Ausgang nach GND, also ,0‘ ziehen
 - Es ist stets genau eins der Netzwerke leitend

Beispiel NAND-Gatter

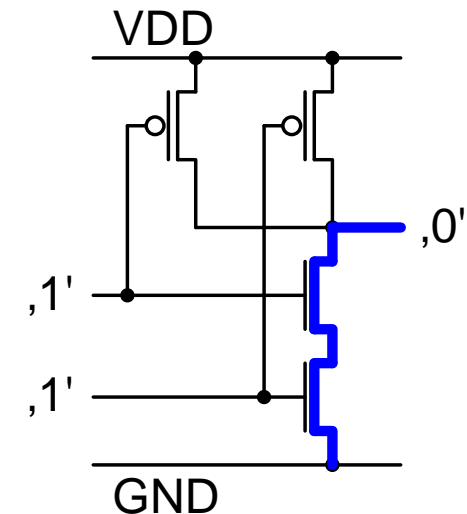
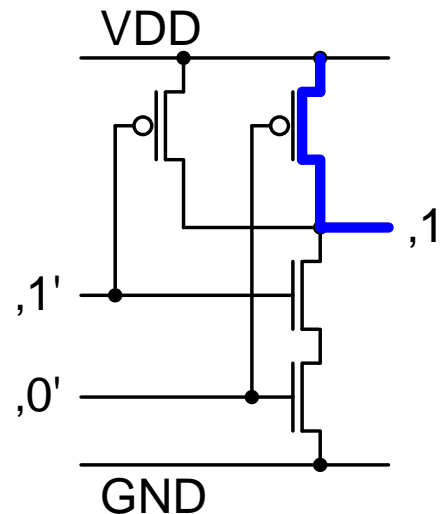
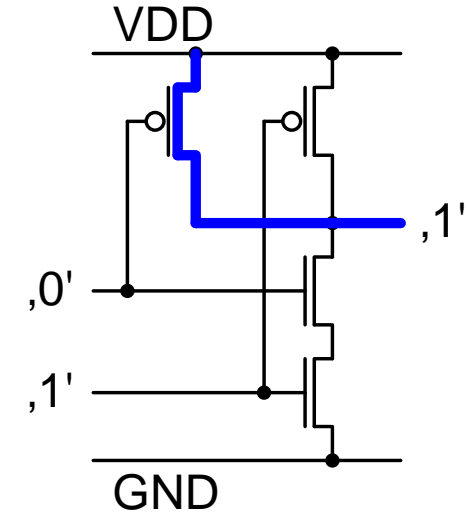
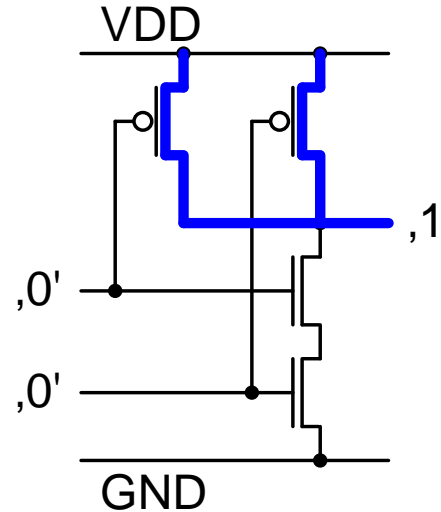
- NAND („not and“) ist eine Kombination von UND sowie Inverter
 - Wenn beide Eingänge ,1‘ sind, ist das UND gleich ,1‘, also NAND gleich ,0‘
 - Schaltung siehe Bild



Funktionsprinzip

Zwei Eingänge, also **vier mögliche Fälle**

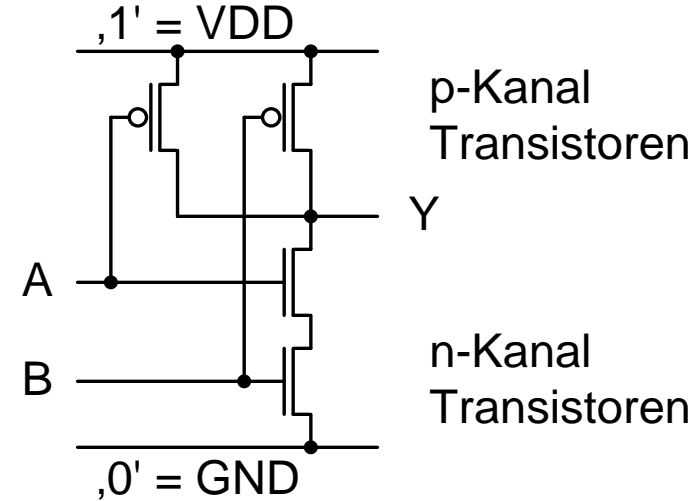
- p-Kanal-Transistoren (oben, mit Kreis) leiten bei ,0‘
- n-Kanal-Transistoren (unten) leiten bei ,1‘
- Nur bei ,1‘ und ,1‘ ergibt sich ,0‘ am Ausgang
➔ NAND-Funktion



Aufbau von CMOS-Gattern

Zwei wichtige Eigenschaften von CMOS-Gattern

- Komplementärfunktion der Netzwerke
 - Es ist stets genau eins der Netzwerke leitend
 - ➔ Darum sind die Netzwerke gegensätzlich aufgebaut
 - Hier: Parallelschaltung der p-Kanal-Transistoren und Reihenschaltung der n-Kanal-Transistoren
- Invertierung
 - Die p-Kanal-Transistoren leiten bei einer ,0‘
 - ➔ Darum beinhaltet die Funktion von CMOS-Gattern normalerweise eine Invertierung
 - Eine UND-Funktion wird durch einen zusätzlichen Inverter erzeugt
 - Aber: Zusätzliche Transistoren und Verzögerung
- Für kompakte Schaltungen wird möglichst eine Funktion mit invertierenden Funktionen verwendet
 - De Morgansche Gesetze, z.B.: $\overline{A} \vee \overline{B} = \overline{A \& B}$



Dimensionierung von CMOS-Gattern

Ziel:

- Schaltzeit von ,0' nach ,1' und von ,1' nach ,0' soll gleich sein

Aber:

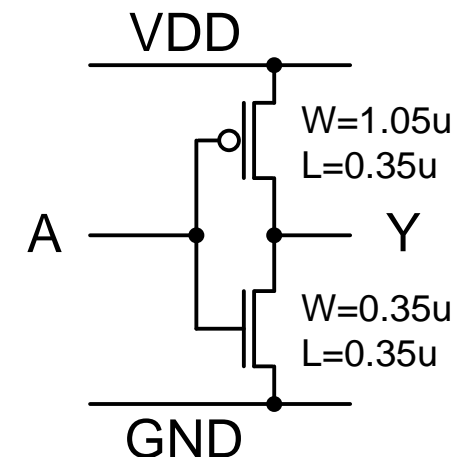
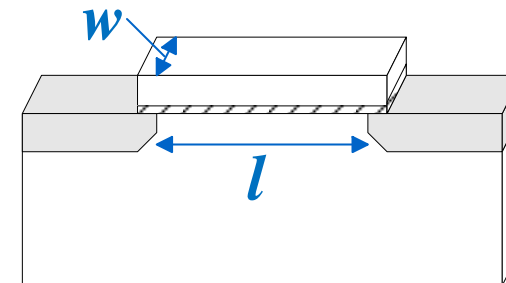
- p-Kanal-Transistoren haben etwa 2- bis 3-fachen Widerstand
 - Grund: Geringere Beweglichkeit der Löcher
- Reihenschaltung von Transistoren erhöht Widerstand

Lösung:

- Die Weite w der Transistoren wird angepasst
 - Doppelte Weite entspricht halbem Widerstand
- Die Länge l entspricht der Technologie
- W und L können im Schaltbild angegeben werden

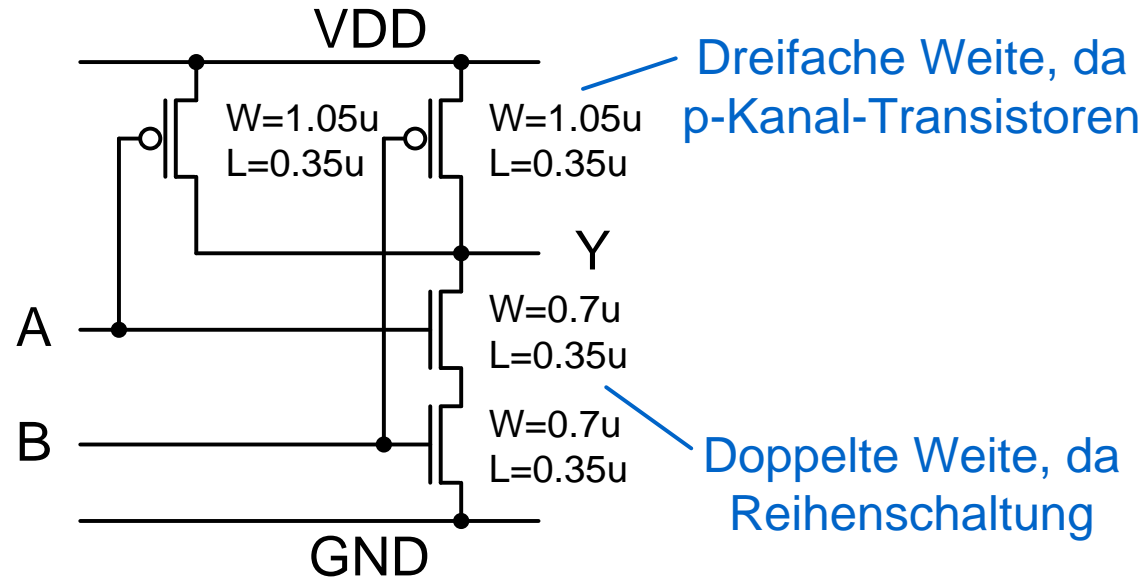
Im Schaltbild:

- Technologie: $0,35\ \mu\text{m}$
- Faktor 3 für p-Kanal-Transistor



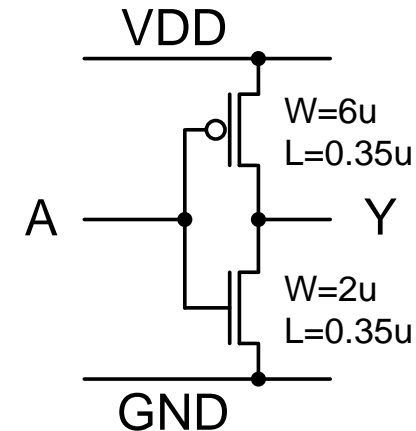
Dimensionierung von CMOS-Gattern (II)

Für Logikgatter ist weitere Anpassung nötig



Durch Dimensionierung der Transistoren ist auch Erhöhung der Treiberstärke möglich

- Inverter zum Treiben langer Leitungen mit hoher Kapazität
- Aber:
 - Mehr Platzbedarf
 - Höhere Gate-Kapazität der Transistoren

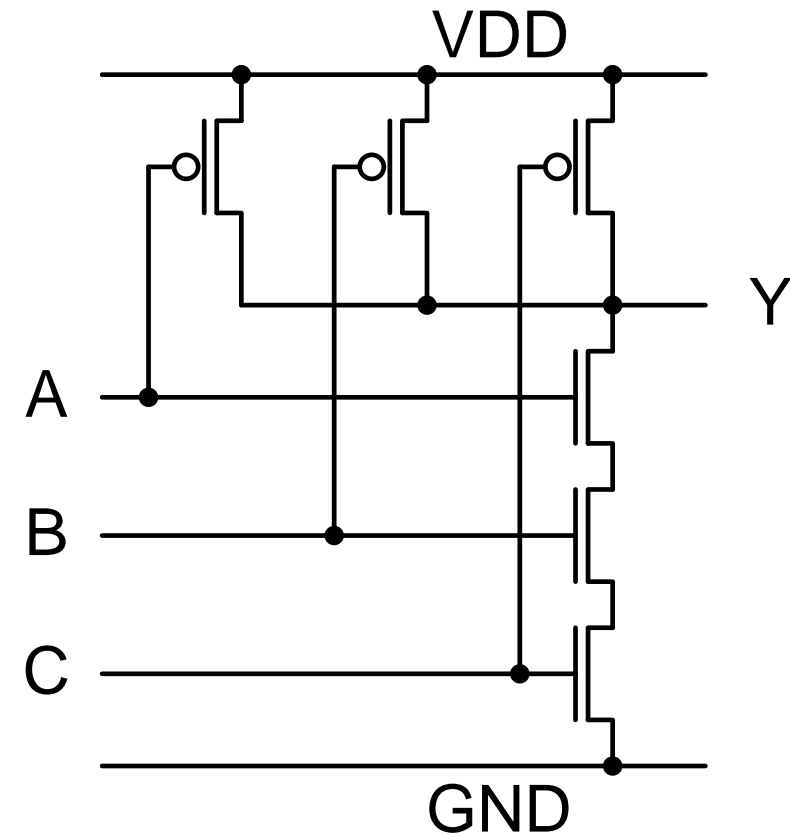


Aufgabe: CMOS-Gatter

Aufgabe 10-1

- a) Welche Funktion hat das dargestellte CMOS-Gatter?
- b) Dimensionieren Sie das CMOS-Gatter so, dass die Schaltzeit von ,0' nach ,1' und von ,1' nach ,0' gleich ist.

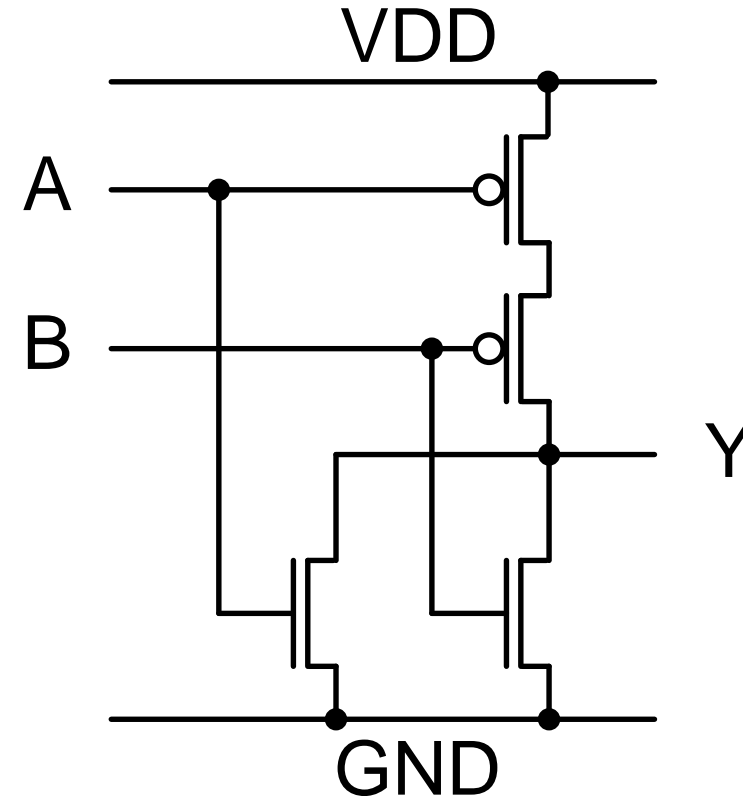
- Technologie: $0,35\ \mu\text{m}$
- p-Kanal-Transistoren haben bei gleicher Geometrie 3-fachen Widerstand
- Das Netzwerk der n-Kanal-Transistoren soll im ungünstigsten Fall den Widerstand eines Transistors mit $W=0.35\mu$ / $L=0.35\mu$ haben



Aufgabe: CMOS-Gatter

Aufgabe 10-2

- a) Welche Funktion hat das dargestellte CMOS-Gatter?
- b) Dimensionieren Sie das CMOS-Gatter so, dass die Schaltzeit von ,0' nach ,1' und von ,1' nach ,0' gleich ist.
- Technologie: $0,35\text{ }\mu\text{m}$
 - p-Kanal-Transistoren haben bei gleicher Geometrie 3-fachen Widerstand
 - Das Netzwerk der n-Kanaltransistoren soll im ungünstigsten Fall den Widerstand eines Transistors mit $W=0,35\text{ }\mu\text{ / }L=0,35\text{ }\mu$ haben



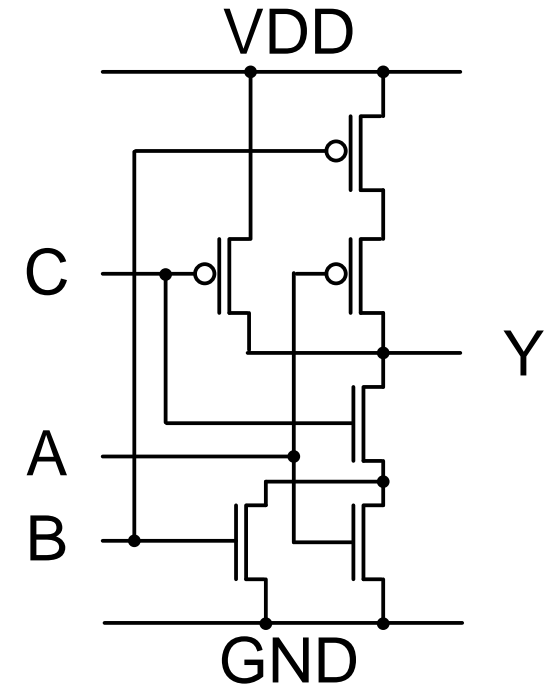
Komplexgatter

- Durch Verschaltung mehrerer Transistoren können komplexe Funktionen gebildet werden
- Wichtig ist wieder die **Komplementärfunktion** der Netzwerke, also genau eins der Netzwerke ist leitend
 - p-Kanal: A und B in Reihe, C parallel dazu
 - n-Kanal: A und B parallel, C in Reihe dazu
- Funktion durch Ausprobieren aller 8 Möglichkeiten oder durch Analyse

Analyse

- Betrachtung des **n-Kanal-Netzwerks**
- Leitend, wenn A oder B ,1‘ und zusätzlich C ,1‘ auf ist
- Dann wird Y auf ,0‘ gezogen, also übliche Invertierung

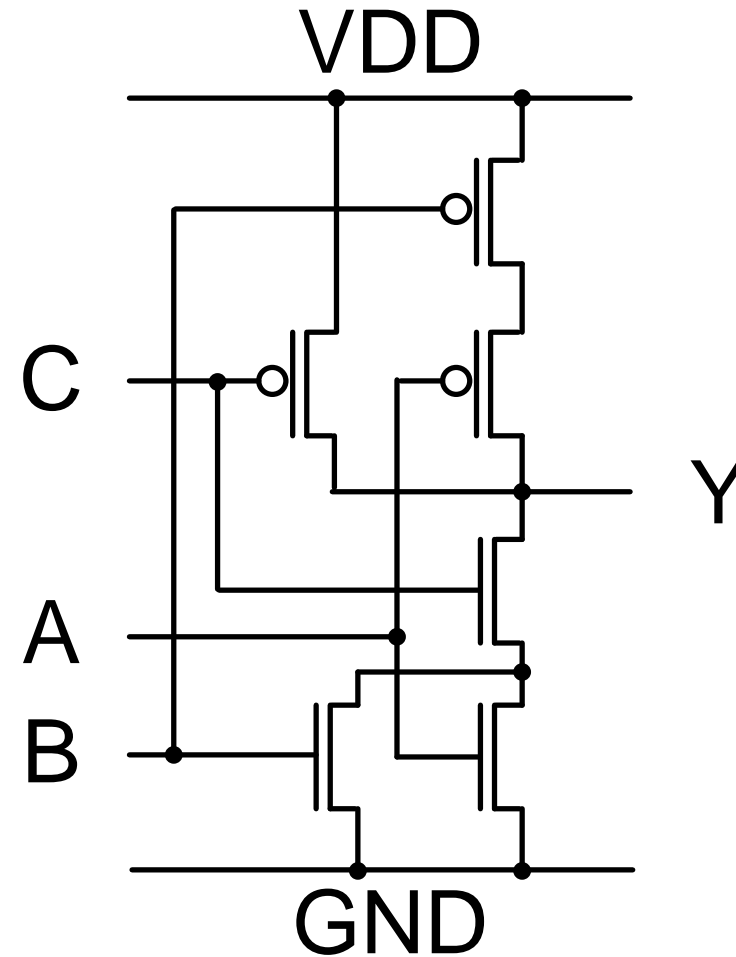
➔ Funktion also: $Y = \overline{(A \vee B) \& C}$



Aufgabe: Komplexgatter

Aufgabe 10-3

- a) Dimensionieren Sie das CMOS-Gatter so, dass die Schaltzeit von ,0' nach ,1' und von ,1' nach ,0' gleich ist.
- Technologie: $0,35\ \mu\text{m}$
 - p-Kanal-Transistoren haben bei gleicher Geometrie 3-fachen Widerstand
 - Das Netzwerk der n-Kanaltransistoren soll im ungünstigsten Fall den Widerstand eines Transistors mit $W=0.35\mu$ / $L=0.35\mu$ haben

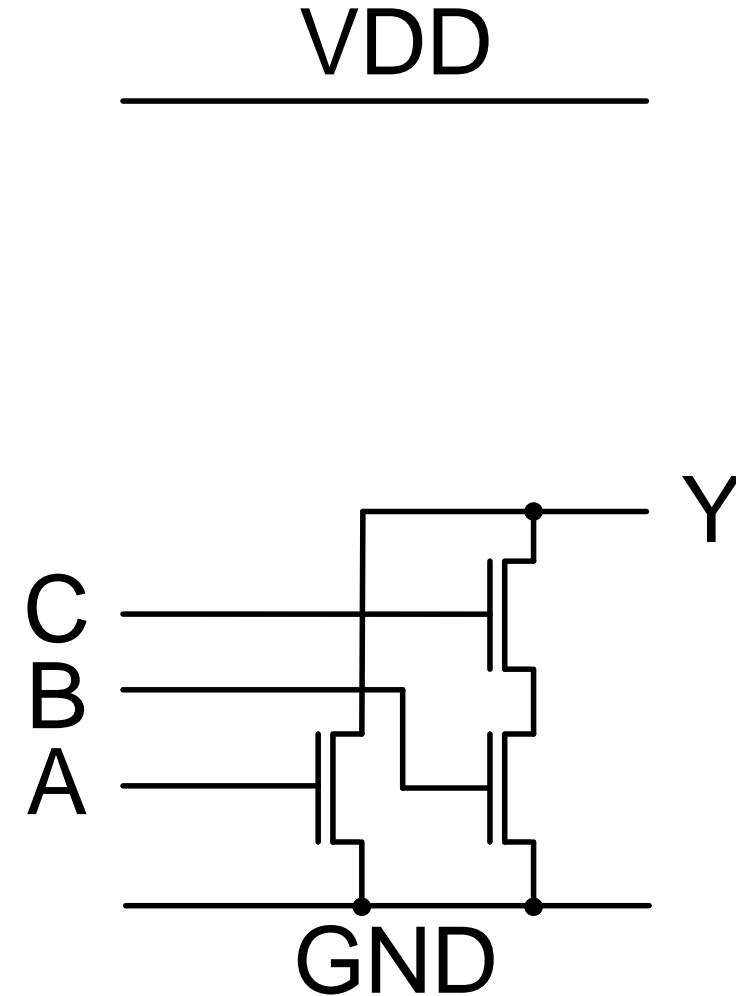


Aufgabe: Komplexgatter

Aufgabe 10-4

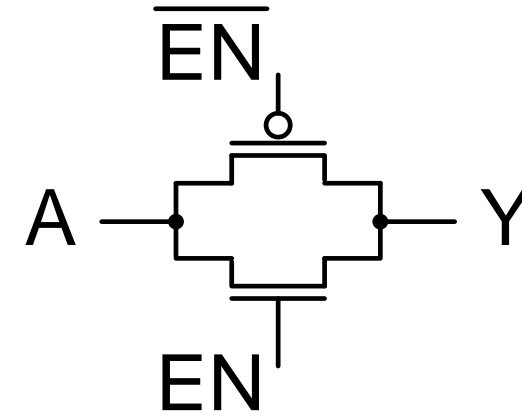
Gegeben ist das abgebildete n-Kanal-Netzwerk.

- Ergänzen Sie das p-Kanal-Netzwerk so, dass bei jeder Eingangskombination genau eins der beiden Netzwerke (n-Kanal, p-Kanal) leitend ist.
- Welche Funktion hat das CMOS-Gatter?
- Dimensionieren Sie das CMOS-Gatter so, dass die Schaltzeit von ,0' nach ,1' und von ,1' nach ,0' gleich ist.
 - Technologie: $0,35\text{ }\mu\text{m}$
 - p-Kanal-Transistoren haben bei gleicher Geometrie 3-fachen Widerstand
 - Das Netzwerk der n-Kanaltransistoren soll im ungünstigsten Fall den Widerstand eines Transistors mit $W=0.35\mu$ / $L=0.35\mu$ haben



Logikfunktionen mit Transmission-Gates

- Eine andere Logikstruktur ist das **Transmission-Gate**
- Die Transistoren schalten keine Verbindung nach VDD oder GND, sondern geben ein Eingangssignal weiter
- Vorteil
 - Geringerer Schaltungsaufwand möglich
- Nachteil
 - Keine Treiberfunktion
 - ➔ Gegebenenfalls nachfolgender Inverter nötig



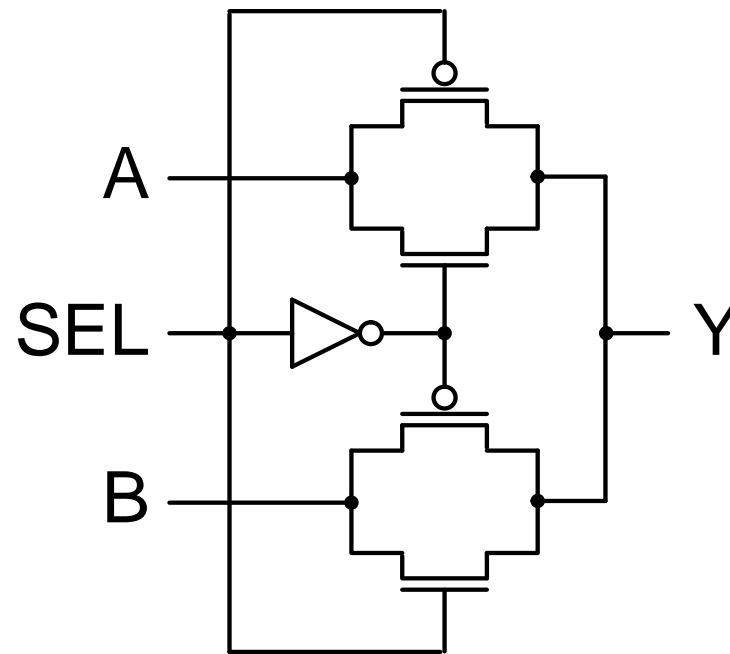
Zu beachten

- n-Kanal- **und** p-Kanal-Transistor nötig
 - n-Kanal-Transistor schaltet ,1' reduziert um Schwellspannung weiter
 - p-Kanal-Transistor schaltet ,0' reduziert um Schwellspannung weiter
- Steuersignal muss in zwei Polaritäten anliegen
- Vereinfachte Version mit nur einem Transistor möglich
 - Kann ungünstig für Verlustleistung sein

Logikfunktionen mit Transmission-Gates (II)

Beispiel Multiplexer

- 6 Transistoren (2 im Inverter)
- Eventuell Treiber für Ausgang Y sinnvoll

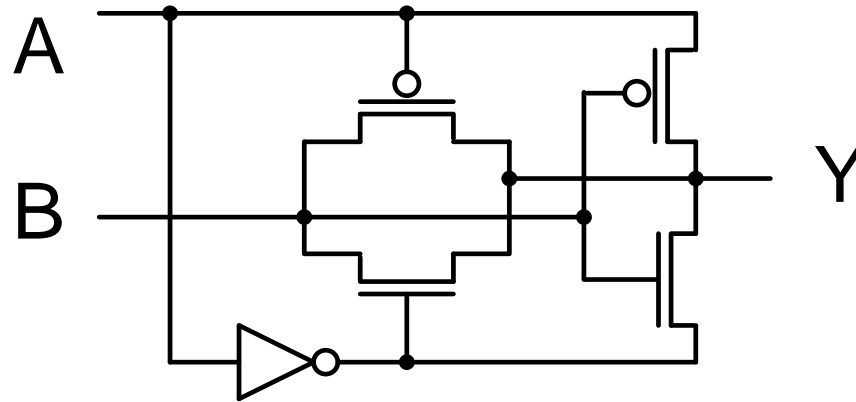


XOR-Gatter mit Transmission-Gate

- Mit Transmission-Gate können manche Logikfunktionen sehr einfach implementiert werden
 - Der Entwurf erfordert jedoch manchmal „Tricks“
 - ➔ In der Literatur finden sich Schaltungen für Grundfunktionen

Beispiel XOR-Gatter

- Exklusiv-Oder-Funktion $A \oplus B$
- 6 Transistoren (2 im Inverter)



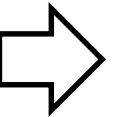
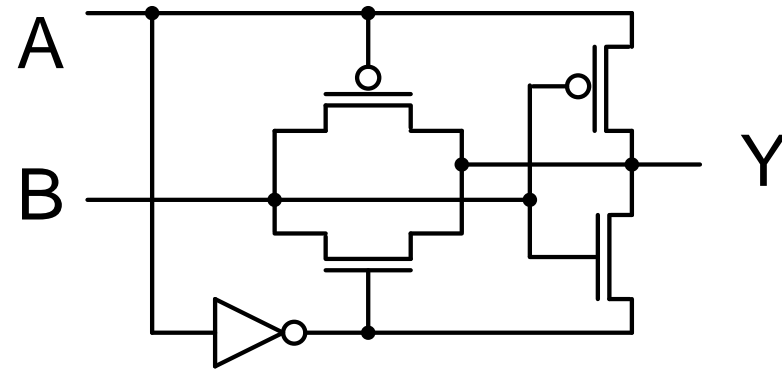
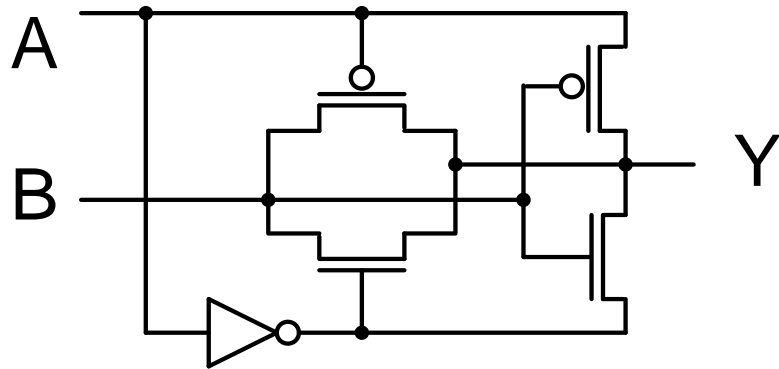
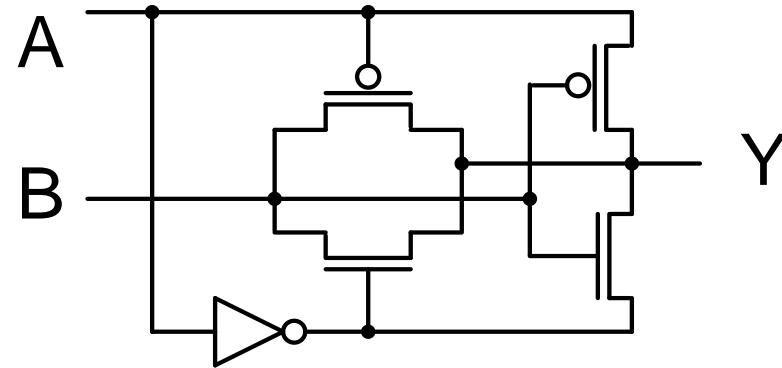
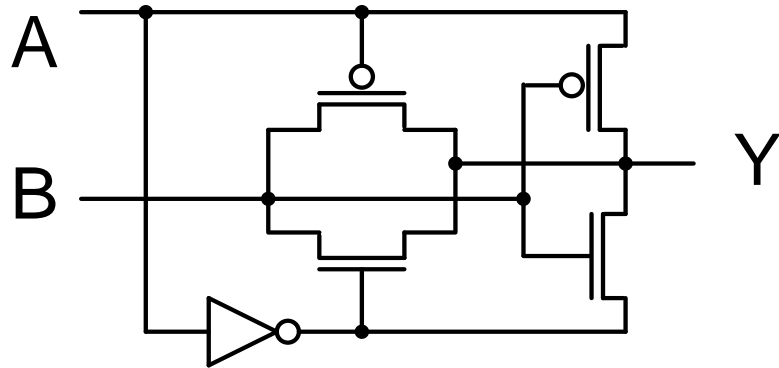
Ausführliche Beschreibung:

- Cordes, Waag, Heuck, “Integrierte Schaltungen,” Pearson, 2010, S. 758ff.

Aufgabe: XOR-Gatter mit Transmission-Gate

Aufgabe 10-5

a) Ermitteln Sie die Funktion des XOR-Gatters für alle möglichen Eingangskombinationen



Industriepraxis für komplexes Logikgatter: Volladdierer

- Addition ist eine sehr häufige Funktion in digitalen Systemen
- Die Grundzelle des Volladdierers ist darum von besonderem Interesse
- Untersuchung verschiedener Strukturen z.B. in:
J.-F. Lin, et.al. „A Novel High-Speed and Energy Efficient 10-Transistor Full Adder Design,“ IEEE Transactions on Circuits and Systems I, Vol. 54, Iss. 5, 2007.

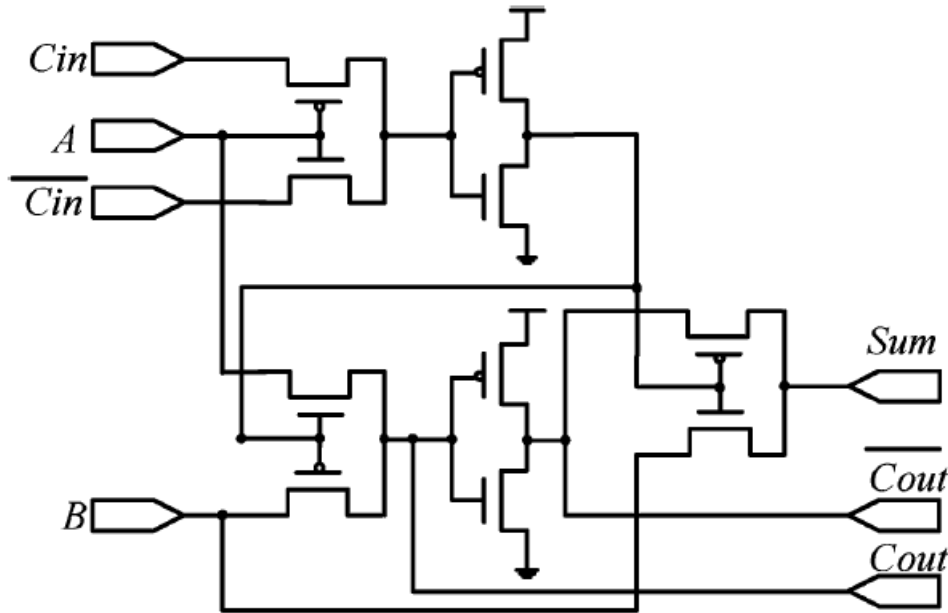


Bild: Lin, et.al.

CLRCL = complementary
and level restoring carry
logic

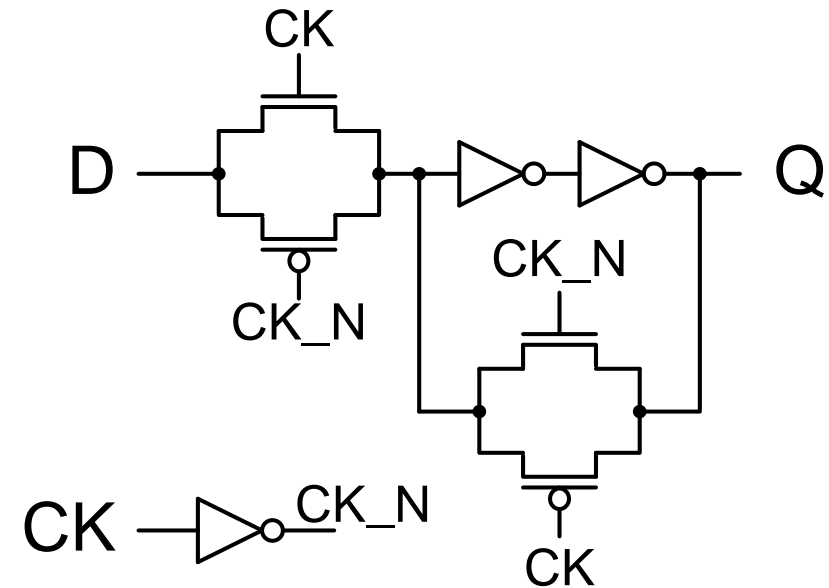
Fig. 4. MOS circuit schematic design of the CLRCL full adder.

Flip-Flop

- Für ein Flip-Flop gibt es verschiedene Implementierungsmöglichkeiten
- Als Vorstufe wird zunächst ein **taktpiegelgesteuertes D-FF** betrachtet

Funktion

- CK='1': Das linke Transmission-Gate für den Eingang D leitend
 - ➔ Das FF ist **transparent**
- CK='0': Das linke Transmission-Gate sperrt, das Transmission-Gate in der Rückkopplung ist leitend
 - Die Rückkopplung speichert den Wert von Q
 - ➔ Das FF speichert Daten (bei CK=,0')

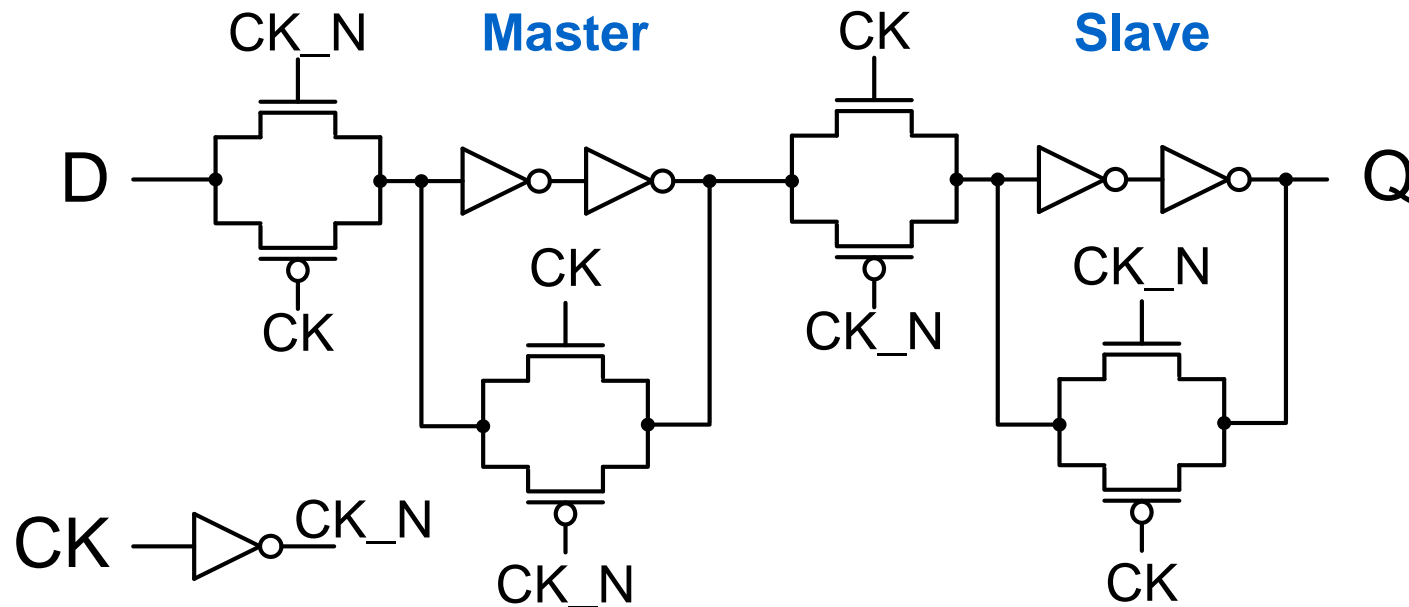


Ausführliche Beschreibung, auch für nächste Folie:

- Cordes, Waag, Heuck, "Integrierte Schaltungen," Pearson, 2010, S. 796ff.

Flip-Flop (II)

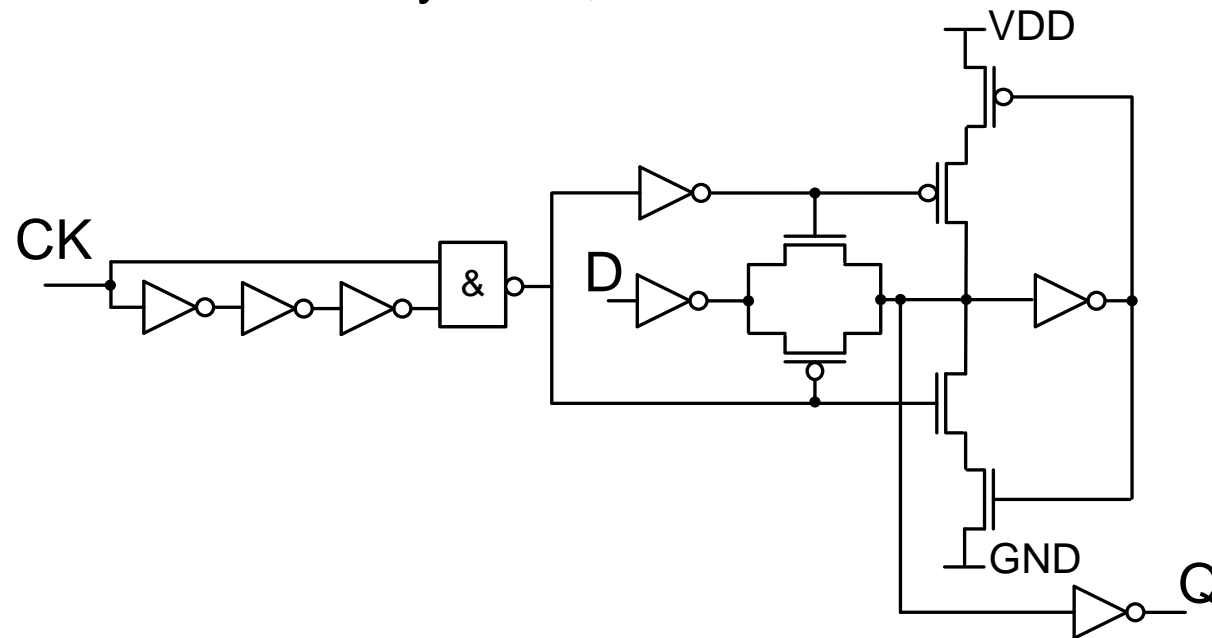
- Gewünscht ist ein **taktflankengesteuertes D-FF**
 - Nur beim Übergang von ,0' nach ,1' soll das FF den Eingang abfragen
- Umsetzung durch zwei taktpegelgesteuerte D-FFs
 - Das Master-FF ist für $CK=0'$ transparent
 - Bei $CK=0'$ nach ,1' wird der Wert im Master gehalten, der Slave ist transparent
 - Bei $CK=1'$ nach ,0' hält der Slave den alten Wert der steigenden Taktflanke



Flip-Flop (V)

- Flip-Flops werden in Schaltungen sehr häufig eingesetzt und schalten häufig
 - ➔ Flächenbedarf und Verlustleistung sind entsprechend wichtig
 - Flächenbedarf ist etwa proportional zur Transistoranzahl
 - Unterschiedliche Schaltaktivität bei Signalwechsel von D und CK
- Eine ausführlicher Vergleich von 19 verschiedenen Flip-Flops findet sich in:
M. Alioto, E. Consoli, G. Palumbo, „Analysis and Comparison in the Energy-Delay-Area Domain of Nanometer CMOS Flip-Flops”, IEEE Trans. VLSI Systems, 2011.
- „... the most energy-efficient throughout a wide region of the energy-delay design space is the TGPL.”

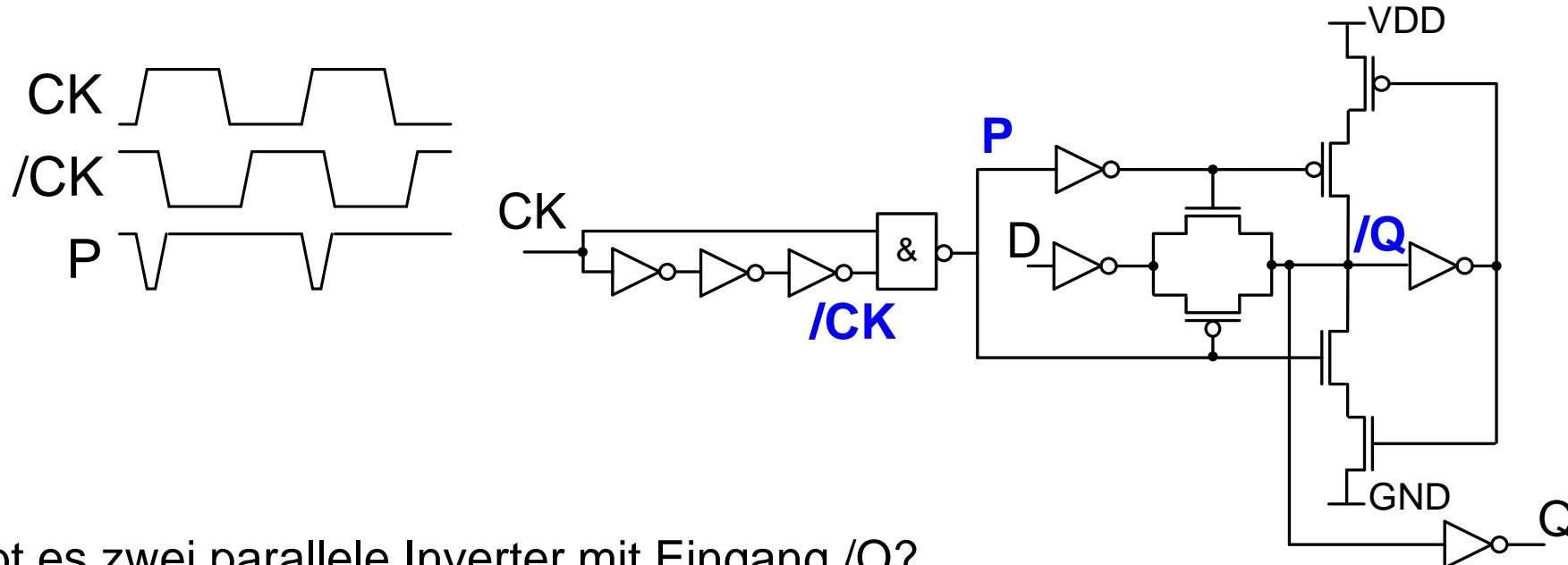
(TGPL = Transmission Gate Pulsed Latch)



Flip-Flop (VI)

Funktion des Transmission Gate Pulsed Latch

- Das Taktsignal wird durch die drei Inverter verzögert und invertiert
- Bei einer steigenden Taktflanke wird P (Puls) kurzzeitig ,0‘
- Bei $P=0$ öffnet das Transmission-Gate und D wird nach /Q geschrieben; außerdem wird der Rückkopplungsinverter „abgekoppelt“
- Bei $P=1$ schreibt der Rückkopplungsinverter nach /Q und speichert den Flip-Flop-Inhalt

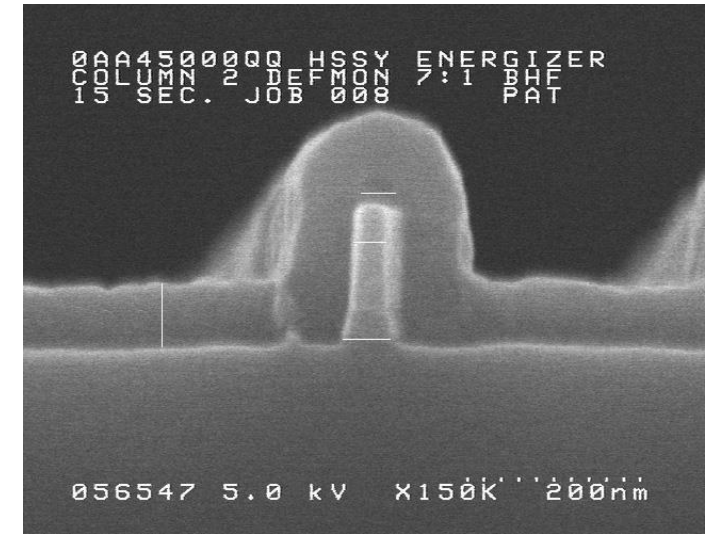


Frage

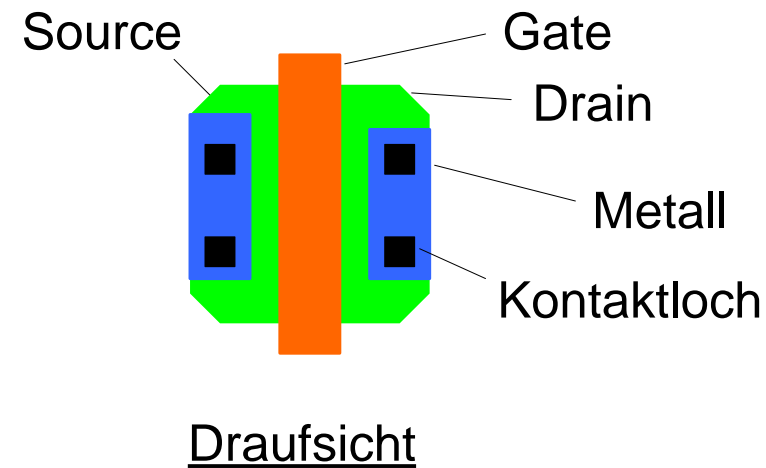
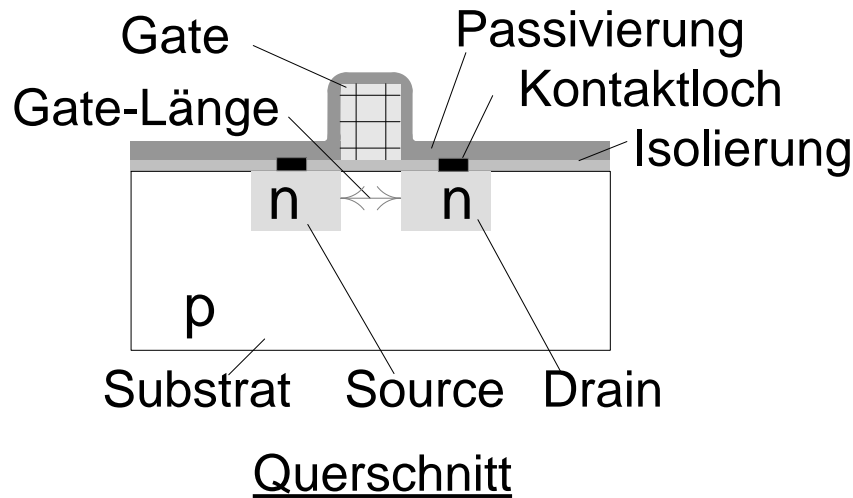
- Warum gibt es zwei parallele Inverter mit Eingang /Q?

10.4 Layout

- Die geometrische Anordnung der Transistoren und Verbindungsleitungen wird als Layout bezeichnet
- Die Kapazität der Verbindungsleitungen ist mitbestimmend für Verzögerungszeit und Verlustleistung
- Bild: Relativ aktueller CMOS-Transistor im Elektronenmikroskop (ca. 50 nm Gate-Länge)

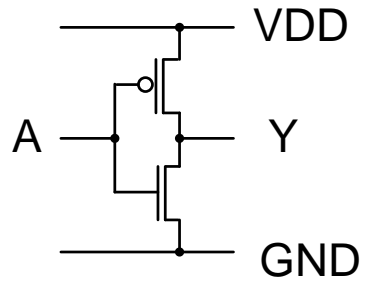


(Foto: IBM)



Layout eines Inverters

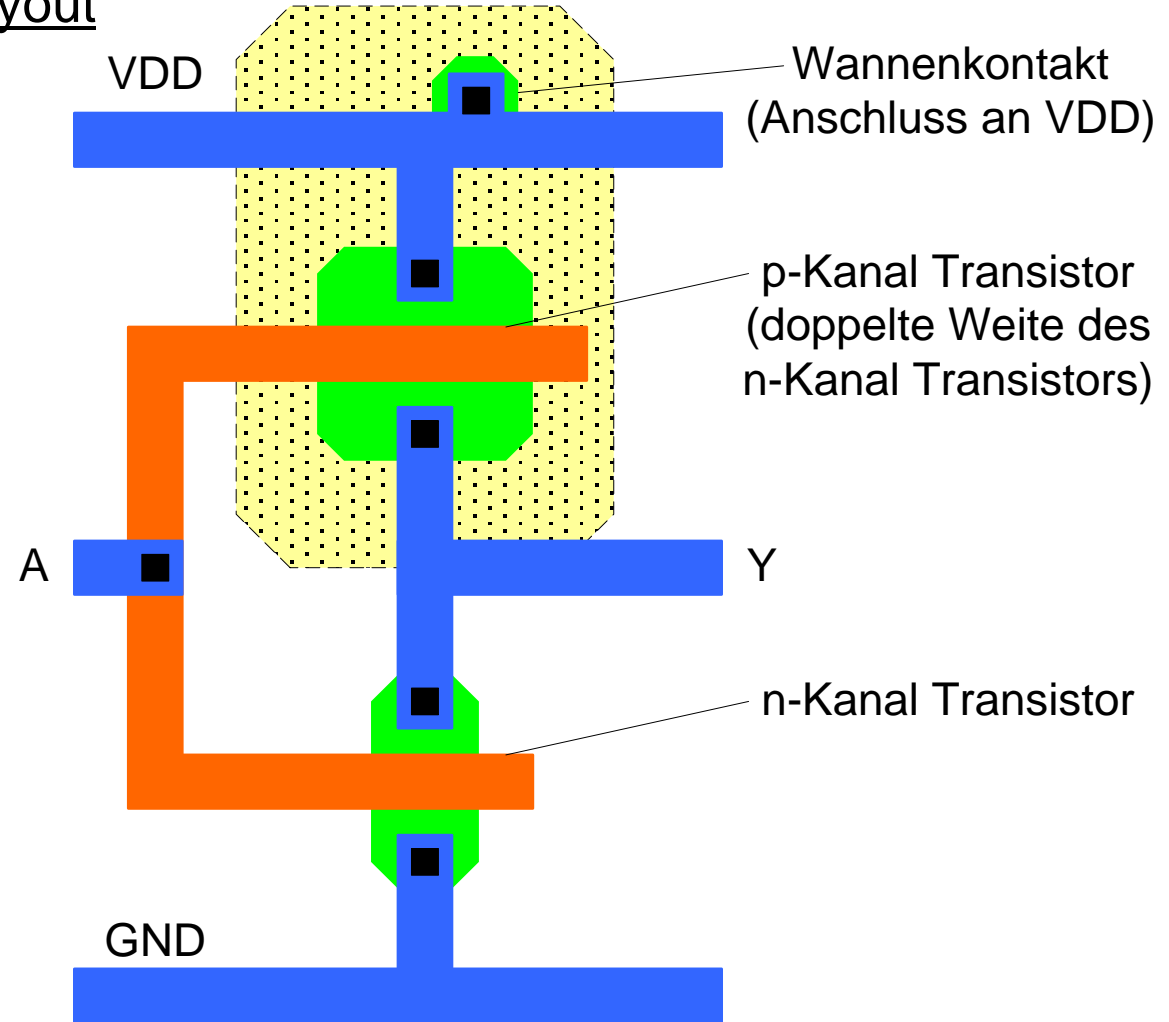
Schaltplan



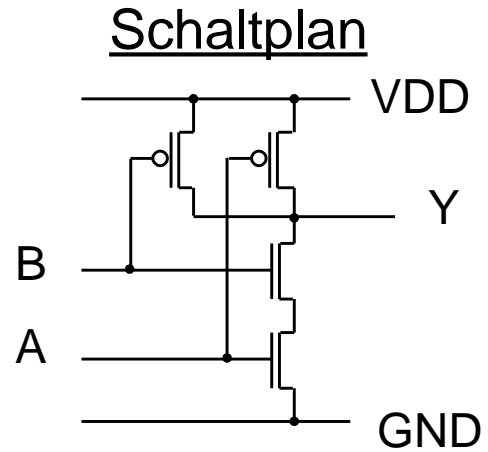
Legende

	Metall
	Via (Kontaktloch)
	Poly-Silizium
	Aktiv (Source / Drain)
	n-Wanne





Layout

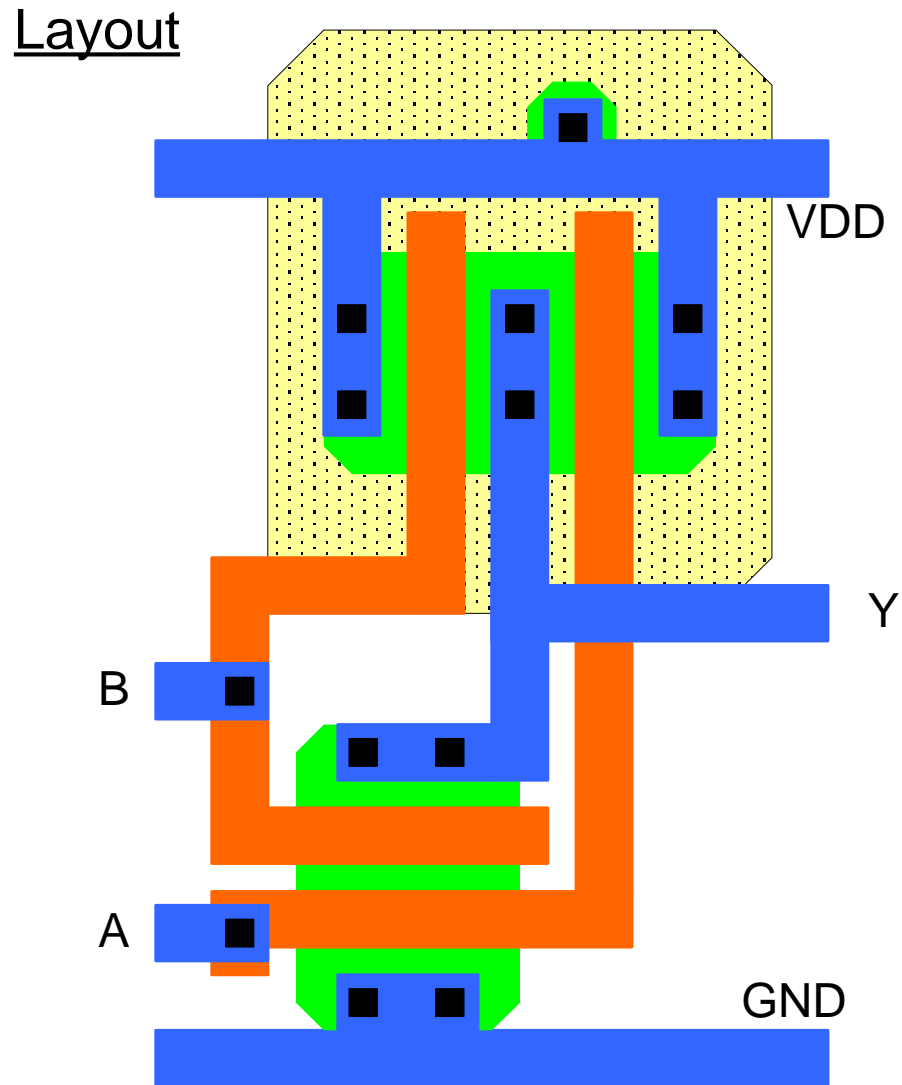


Layout eines NAND-Gatters



Legende

-  Metall
-  Via (Kontaktloch)
-  Poly-Silizium
-  Aktiv (Source / Drain)
-  n-Wanne





Übungsaufgabe: Layout

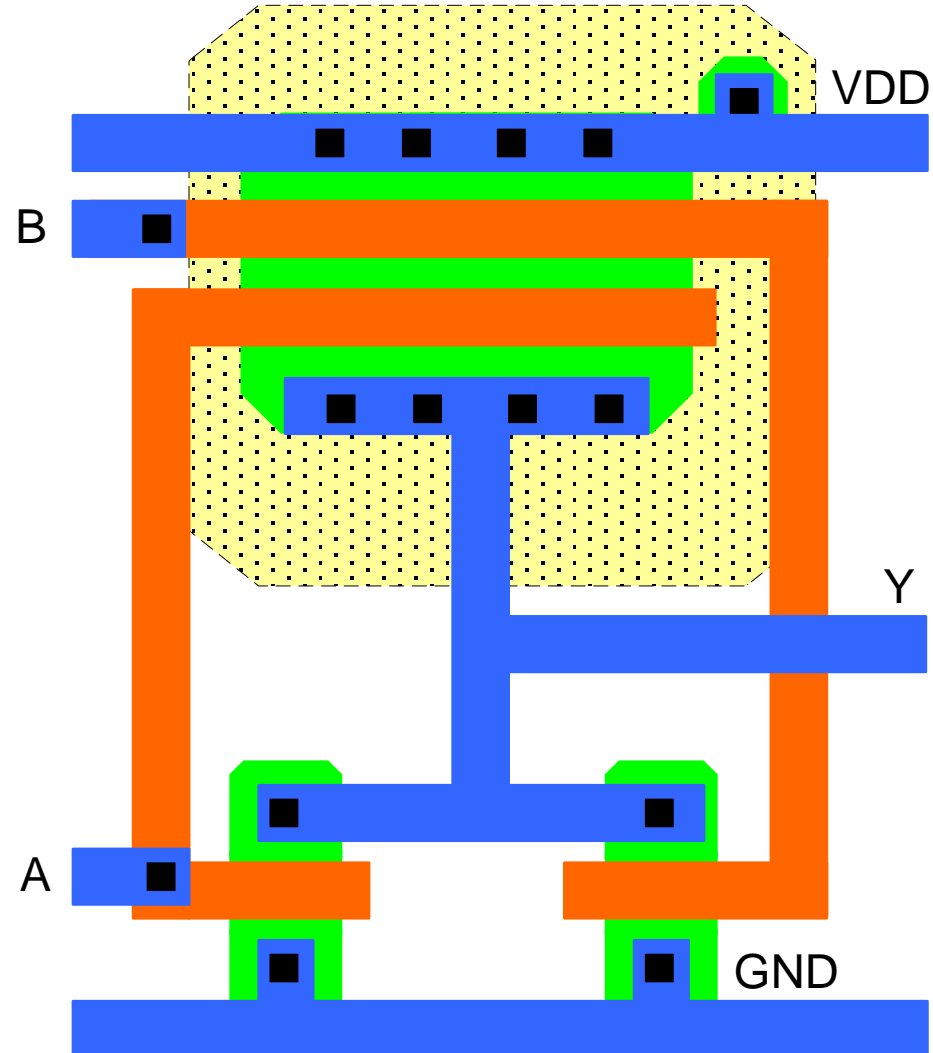
Aufgabe 10-6

Gegeben ist das Layout eines CMOS-Gatters.

- a) Wie viele Transistoren hat die Schaltung?
- b) Zeichnen Sie den Schaltplan.
- c) Wie lautet die Funktion?

Legende

	Metall
	Via (Kontaktloch)
	Poly-Silizium
	Aktiv (Source / Drain)
	n-Wanne

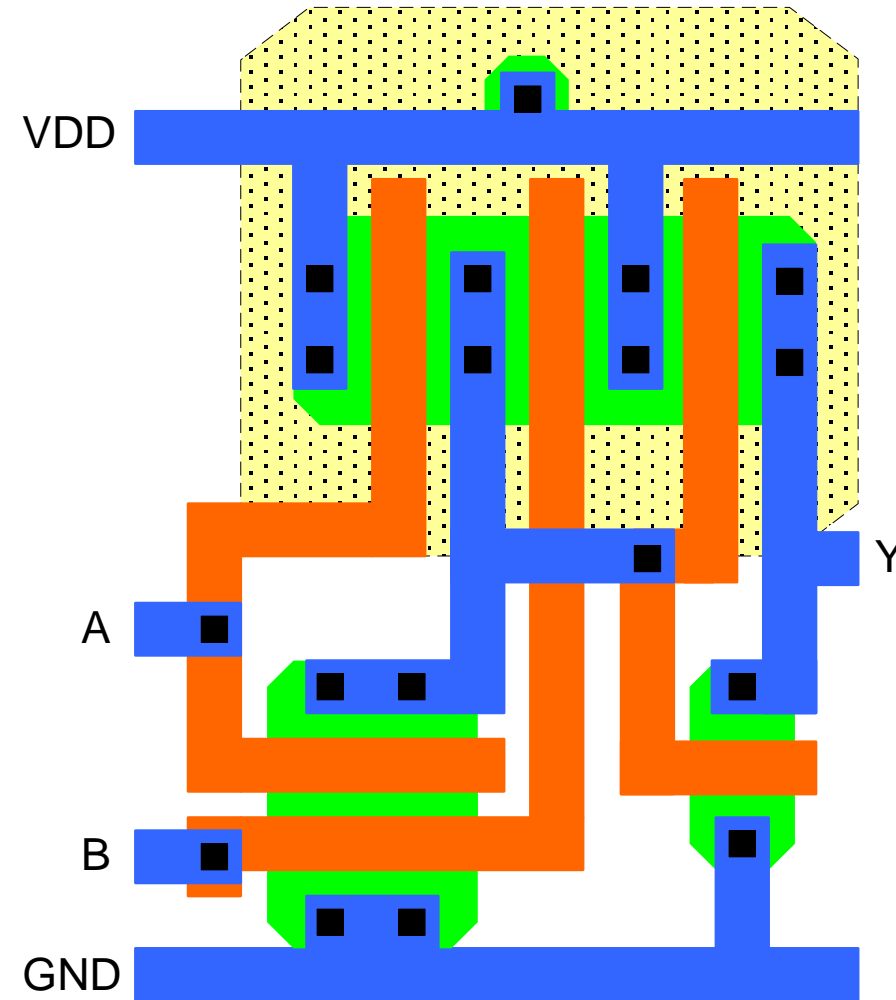


Übungsaufgabe: Layout

Aufgabe 10-7

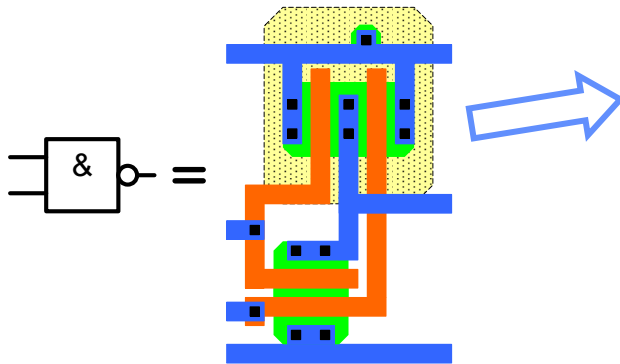
Gegeben ist das Layout eines CMOS-Gatters.

- a) Wie viele Transistoren hat die Schaltung?
- b) Zeichnen Sie den Schaltplan.
- c) Wie lautet die Funktion?



Chip-Layout

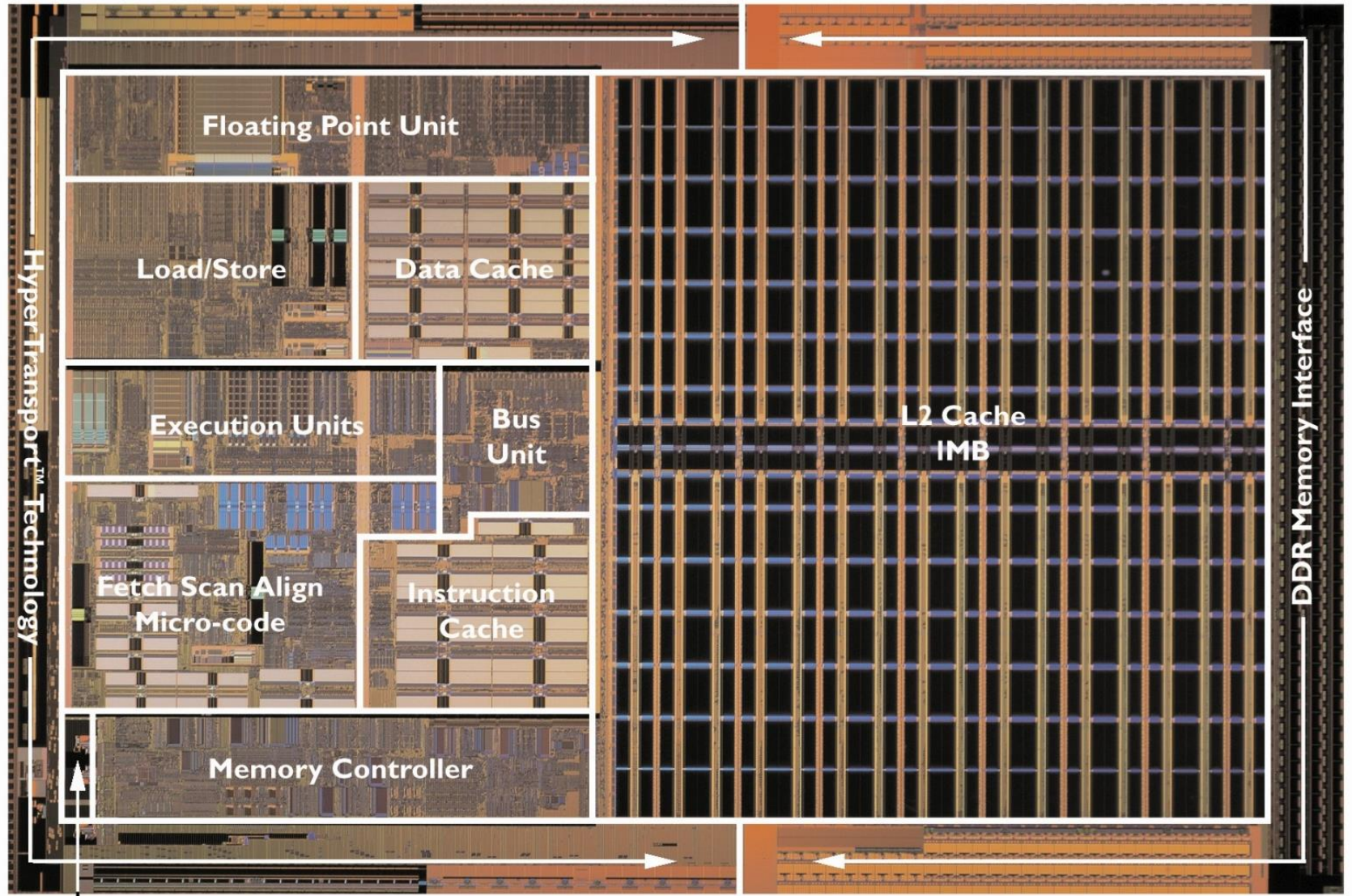
- Grundelemente stehen als **Standardzellen** in einer Bibliothek zur Verfügung
- Einheitliche Höhe der Zellen erlaubt einfache Anordnung
- Benachbarte Zeilen werden vertikal gespiegelt, damit n-Wannen aneinander passen
- Placement und Routing oft automatisch durch EDA-Programme



(Quelle: Infineon)

Layout: AMD Athlon 64 FX (2003)

- 2 cm², 130 nm CMOS
- 100 Mio. Transistoren
- Reguläre Struktur in „Floating Point Unit“ und Cache-Speicher durch Hand-Platzierung
- Gleichmäßige Verteilung im „Memory Controller“ vermutlich durch automatische Platzierung



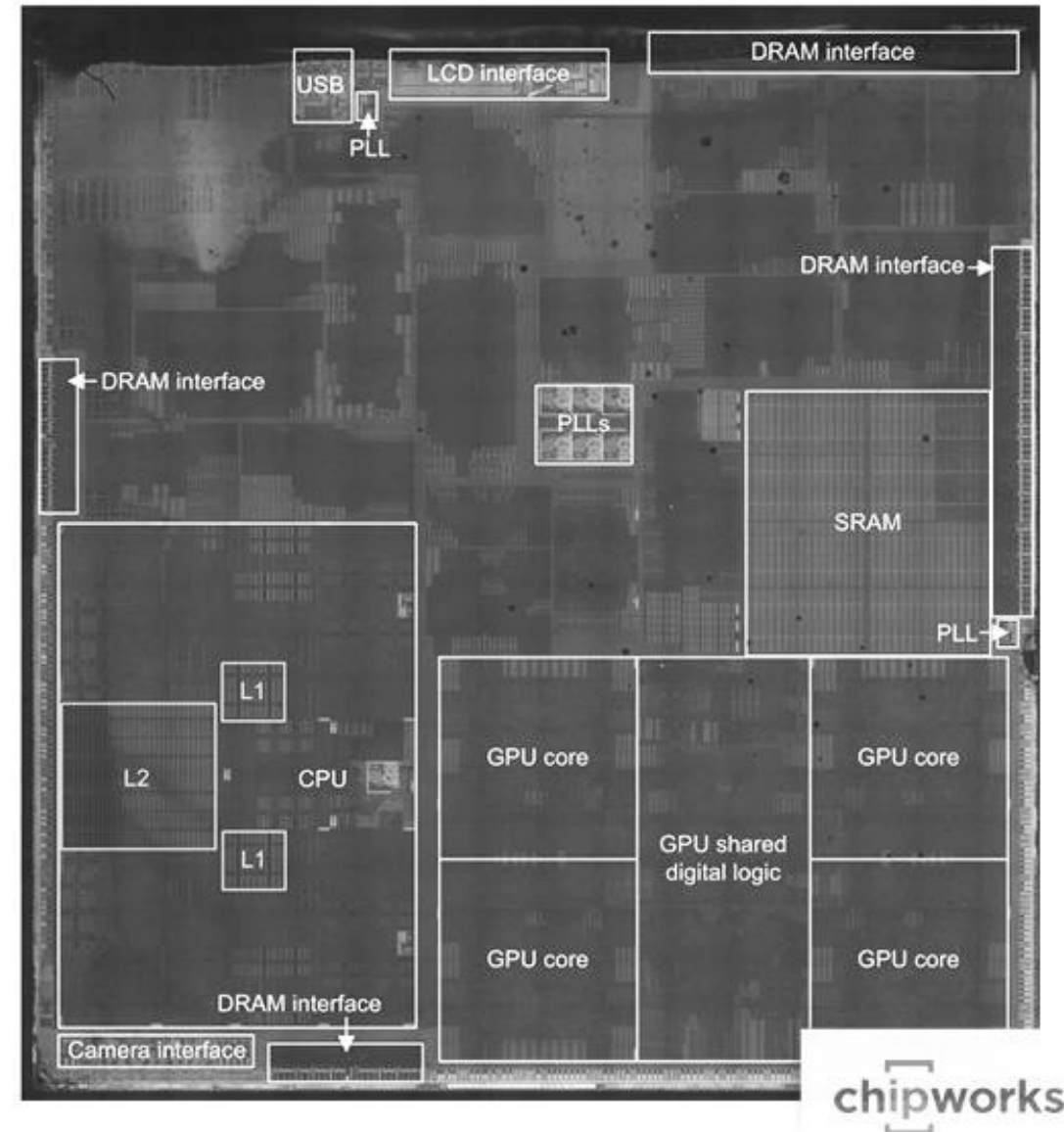
(Foto: AMD)

Layout: System-on-Chip (SoC) für Smartphone (2014)

System-on-Chip ist ein komplettes System integriert auf einem IC.

Hier:

- 1 Milliarde Transistoren auf rund 1 Quadratzentimeter Fläche
- Zentrale Steuereinheit des Geräts mit zwei CPU-Kernen und der Grafikerzeugung (GPU)
- Lokaler Speicher (L1, L2, SRAM)
- Schnittstellen für externen Speicher (DRAM), Kamera, USB und das (LCD)
- Taktaufbereitung mit PLLs (Phase-Locked-Loop)
- DRAM extern wegen spezieller CMOS Technologie



Quelle: <https://www.chipworks.com/about-chipworks/overview/blog/inside-iphone-6-and-iphone-6-plus-part-2> (nicht mehr verfügbar)

(Foto: Chipworks)

Spezialfall: Cerebras Systems (2019)

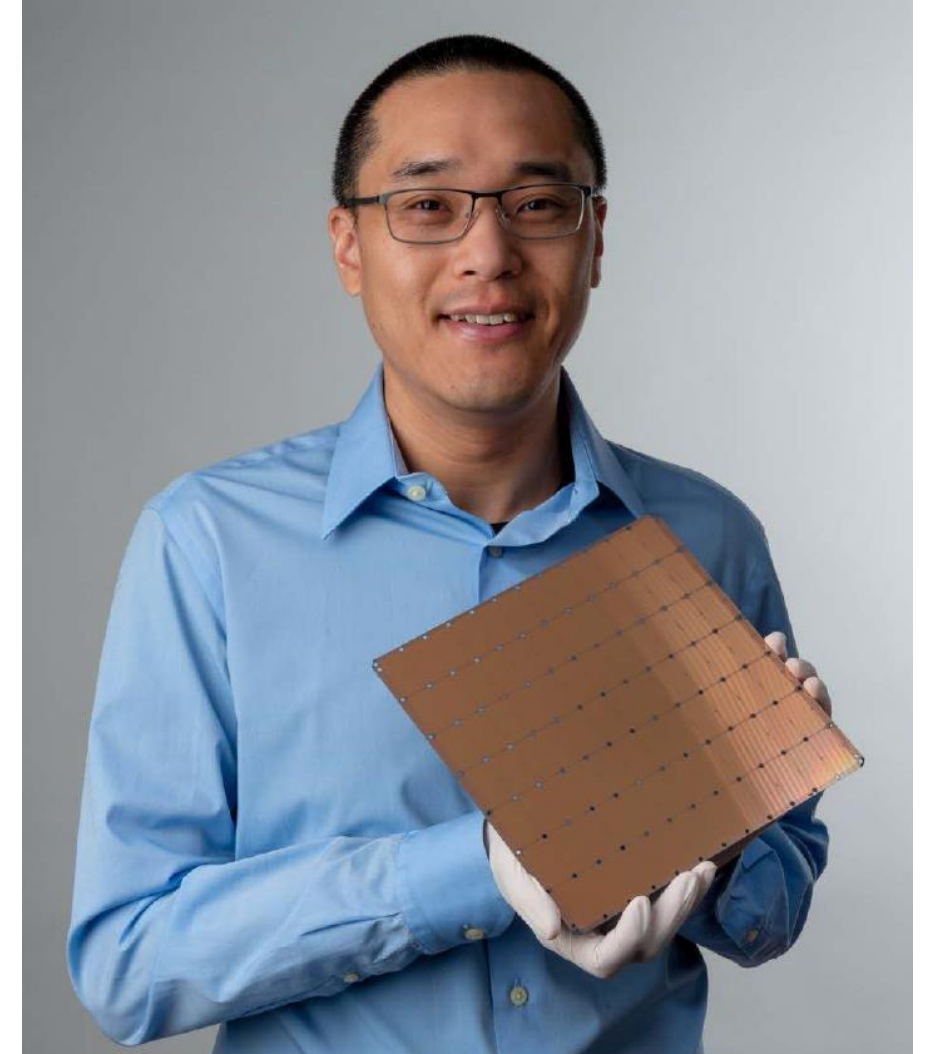
Typische ICs haben eine Fläche im Bereich von 1 cm²

- High-Performance CPUs/GPUs etwas mehr
- Low-Cost Consumer ICs etwas weniger

Es gibt aber auch Extrembeispiele, die deutlich aus dieser Größenordnung herausfallen

Wafer-Scale Deep Learning von Cerebras System

- IC auf komplettem Wafer (Silizium-Scheibe)
- „Largest Chip Ever Built“
- 462 cm² (über 20 cm Kantenlänge)
- $1,2 \cdot 10^{12}$ Transistoren (engl.: trillion; dt.: Billion)
- 400,000 AI Optimized Cores
- 16nm process



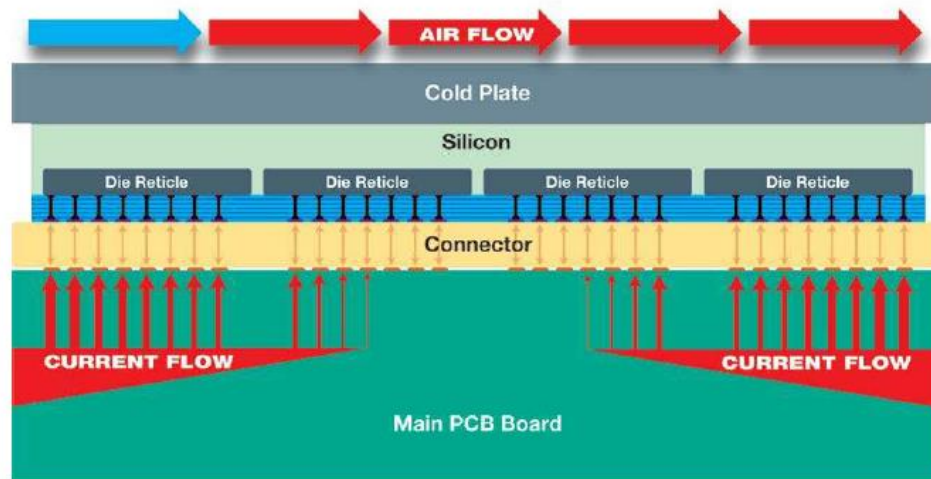
(Foto: Cerebras)

Spezialfall: Cerebras Systems (2019) (II)

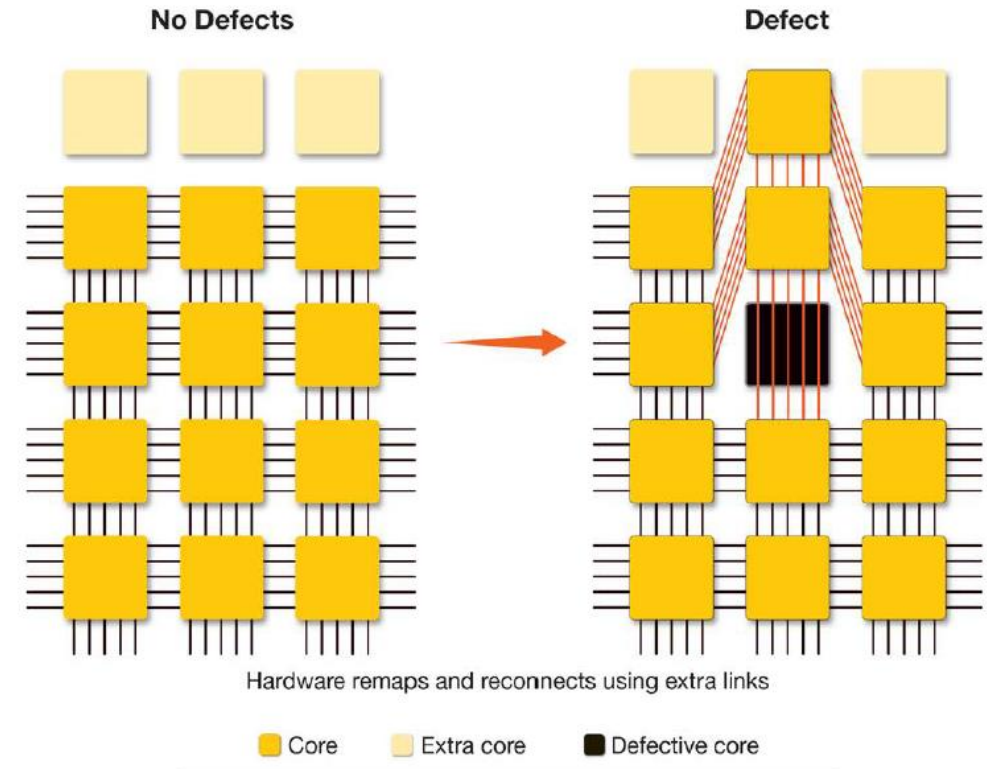
Viele technische Herausforderungen, z.B.:

- Energiezufuhr und Abfuhr der Verlustleistung
- Fertigung wird auf jeden Fall defekte Bereiche enthalten

Power and Cooling



Redundancy is Your Friend



Vortragsfolien und Video von Konferenzpräsentation:

<https://www.cerebras.net/wafer-scale-deep-learning-hot-chips-2019-presentation/>

Update: Cerebras Wafer Scale Engine 2 (2021)

Successor to the world's largest computer chip, the WSE

- 7nm chip
- 2.6 trillion transistors
- 850,000 AI Optimized Cores
- Each chip retails for around \$2m

„With a high price and new architecture, it appears that the WSE has only been used in a handful of deployments, including for the DOE's [Department of Energy] test.”

“At GSK [GlaxoSmithKline] we are applying machine learning to make better predictions in drug discovery, so we are amassing data – faster than ever before – to help better understand disease and increase success rates,” said Kim Branson, SVP [Senior Vice President] of AI/ML [Artificial Intelligence / Machine Learning] at GlaxoSmithKline.”



Design-Rules für IC-Layout

- Für die einzelnen Geometrien gibt es Regeln, die „Design-Rules“
 - **Mindestbreiten** von Leitungen
 - Poly-Silizium liegt auf flachem Substrat
 - Metall liegt auf „hügeligem“ Untergrund
 - ➔ Mindestbreite von Metall vermutlich größer
 - ➔ Mindestbreite von zweiter Metalllage vermutlich größer als bei erster
 - **Mindestabstände**
 - Abstand zweier Poly-Silizium-Leitungen
 - Abstand zweier Metall-Leitungen
 - **Mindestüberlappungen**
 - Überlappung von Via (Kontaktloch) zu Poly-Silizium und Metall
- Design-Rules werden durch EDA-Programm überprüft
 - DRC = Design-Rule-Check

Elektrische Eigenschaften der Layout-Ebenen

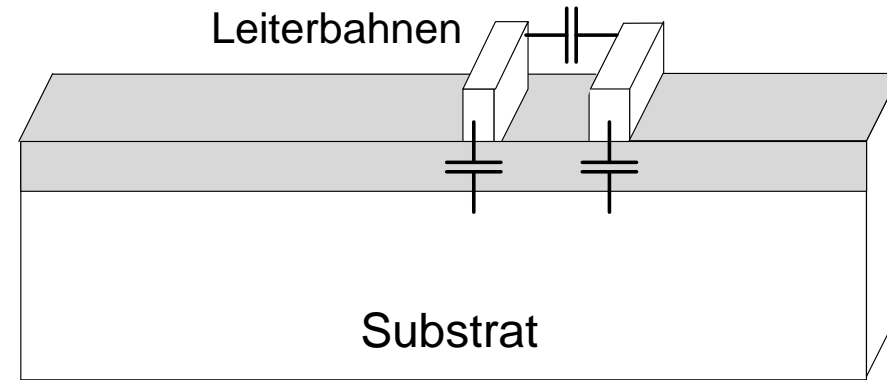
- Für den Entwurf wichtig sind insbesondere
 - Kapazitäten der Leitungen
 - Widerstände von Leitungen und Verbindungen

Kapazitäten

- Kapazitäten bestehen zwischen
 - Leiterbahn und Substrat
 - Leiterbahnen untereinander

Typische Werte (nach Göbel)

- $C'_{\text{Alu}} \approx 0,1 \text{ fF}/\mu\text{m}^2$
- $C'_{\text{Poly}} \approx 0,1 \text{ fF}/\mu\text{m}^2$
- $C'_{\text{Oxyd}} \approx 1 \text{ fF}/\mu\text{m}^2$



Elektrische Eigenschaften der Layout-Ebenen (II)

Widerstände

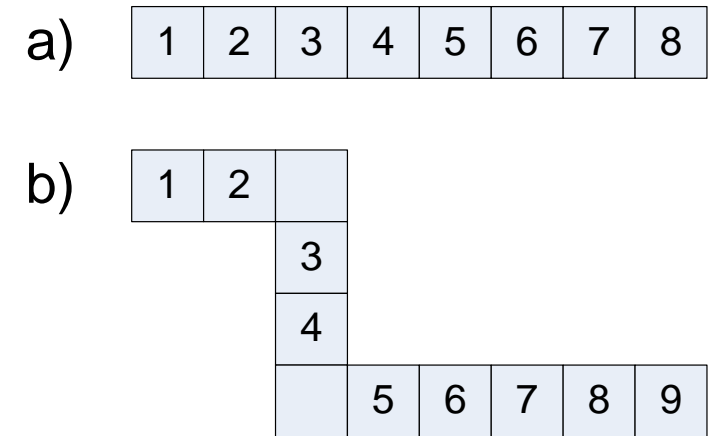
- Leitungswiderstände sind proportional zur Länge und umgekehrt proportional zur Breite
- ➔ Darum wird häufig der Flächenwiderstand für ein Quadrat angegeben
 - Typischer Wert für Metalleitungen aus Aluminium $R_{\square, \text{Alu}} \approx 0,1 \, \Omega/\square$
 - Typischer Wert für Leitungen aus Polysilizium $R_{\square, \text{Poly}} \approx 50 \, \Omega/\square$
- Zur Widerstandsbestimmung werden dann Quadrate gezählt
 - Eckquadrate zählen halb

Bild: Leiterbahnen aus Metall

a) 8 Quadrate, also $R = 0,8 \, \Omega$

b) 9 Quadrate plus 2 halbe ergibt 10, also $R = 1 \, \Omega$

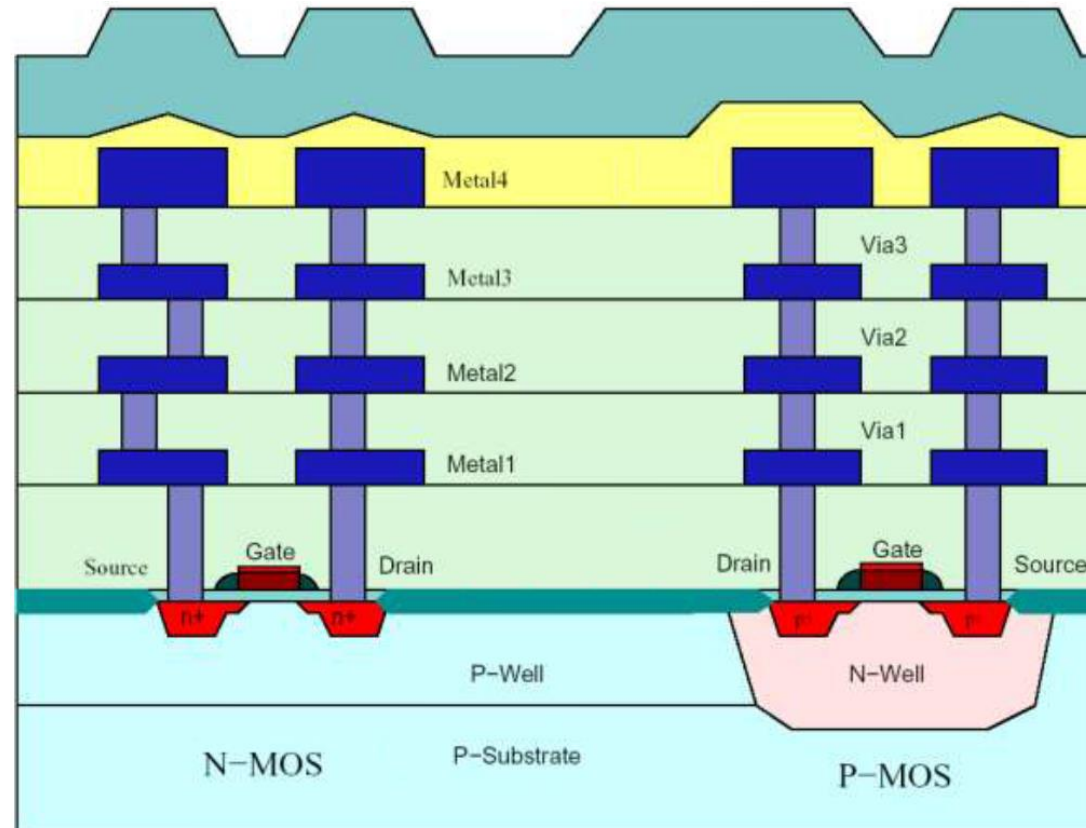
- Widerstände von Durchkontaktierungen (Via) $R_{\text{Via}} \approx 2 \, \Omega$



(Alle Werte nach Göbel)

Industriepraxis: Realer CMOS-Prozess

- Werte für reale CMOS-Prozesse sind normalerweise vertraulich
- Für Hochschulen gibt es 0,35 μm CMOS Prozess von AMS (Austria Micro Systems)
- Angaben nach „CMP annual users meeting, 23 January 2014“
http://cmp.imag.fr/aboutus/slides/Slides2014/02_AMS_2014.pdf (Bild etwas vereinfacht)



Industriepraxis: Realer CMOS-Prozess (II)

- Verschiedene Varianten verfügbar
 - U.a. mit EEPROM-Zellen und für Mixed-Signal-Funktionen
- Variante C35B3C0
 - Drawn MOS Channel Length 0.35 μm
 - Operating Voltage 2.5 – 3.6 V
 - Number of Masks 14
 - Number of Masking layers 17
 - Number of Metal Layers 3
 - Number of Poly Layers 2 (für Analog-Funktionen)
 - Flip-Flop Delay 0.8 ns
 - NAND2 Delay 0.1 ns
 - NAND2 Area 54.6 μm^2
 - NAND2 Power 2 $\mu\text{W}/\text{MHz}$

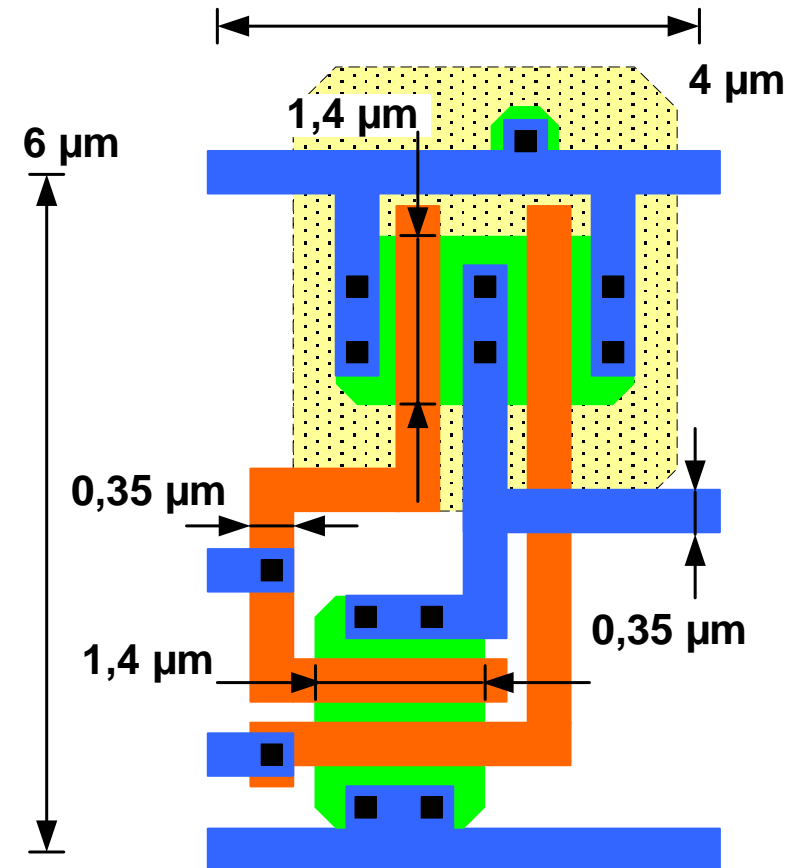
Industriepraxis: Realer CMOS-Prozess (III)

- Detaillierte Prozess-Parameter aus „AMS Process Parameters C35“ (Google-Suche)
 - POLY1 sheet resistance $8 \Omega/\square$
 - MET1 sheet resistance $80 \text{ m}\Omega/\square$
 - MET2 sheet resistance $80 \text{ m}\Omega/\square$
 - MET3 sheet resistance $40 \text{ m}\Omega/\square$
 - VIA resistance $0.5 \times 0.5 \mu\text{m}^2$ $1.2 \Omega/\text{Via}$
 - POLY1 - DIFF area $4.54 \text{ fF}/\mu\text{m}^2$
 - POLY1 – WELL area $0.119 \text{ fF}/\mu\text{m}^2$ (Fläche)
 - POLY1 – WELL perimeter $0.053 \text{ fF}/\mu\text{m}$ (Seitlich)
 - MET1 – WELL area $0.023 \text{ fF}/\mu\text{m}^2$ (Fläche)
 - MET1 – WELL perimeter $0.041 \text{ fF}/\mu\text{m}$ (Seitlich)
 - MET1 - MET1 coupling $0.087 \text{ fF}/\mu\text{m}$
 - ...
- Auch Design Rules: „AMS 0.35 CMOS Design Rules“ (Google-Suche)

Übungsaufgabe

Aufgabe 10-8

- Berechnen Sie die Lastkapazität für ein CMOS-Gatter. Es gelten folgende (vereinfachte) Annahmen:
 - Die Breite von Metall- und Poly-Leitungen ist $0,35\mu\text{m}$
 - Am Ausgang eines Gatters hängen drei NAND-Gatter (siehe Bild)
 - Die Verbindungsleitungen zu den Gattern sind jeweils $100\mu\text{m}$ lang (inklusive Verdrahtung im Gatter)
 - Die Prozess-Werte lauten:
 - $C'_{\text{Oxyd}} = 4,5\text{ fF}/\mu\text{m}^2$
 - $C'_{\text{Alu}} = C'_{\text{Poly}} = 0,1\text{ fF}/\mu\text{m}^2$
- Berechnen Sie die Verlustleistung durch Umladen der Lastkapazität: $P_C = \sigma f V_{DD}^2 C_L$
 $3,3\text{ V}$, 100 MHz , $\sigma = 0,5$ (abwechselnd 0 und 1)
- Vergleichen Sie mit NAND2 Power: $2\mu\text{W}/\text{MHz}$



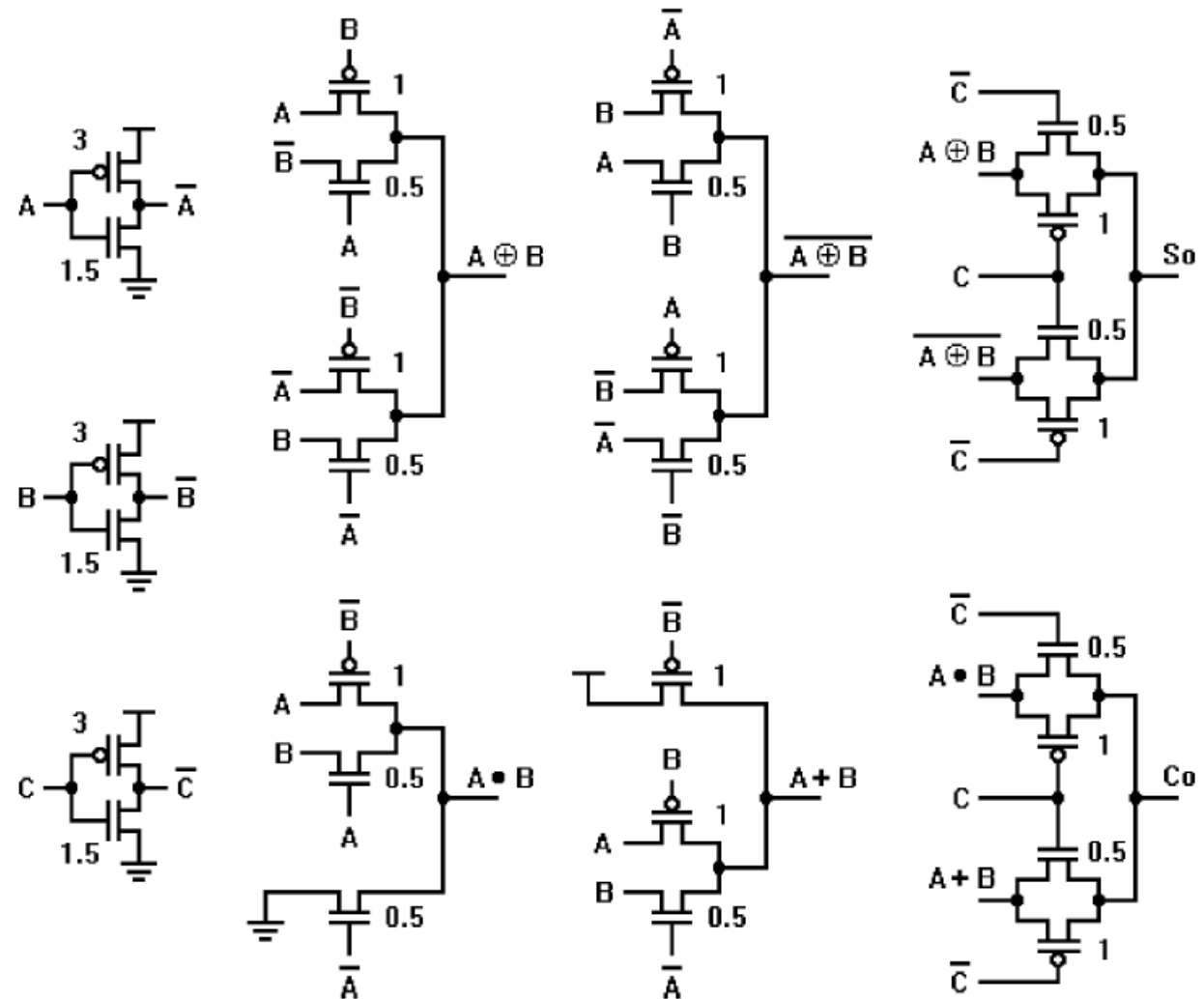
Übungsaufgabe

Aufgabe 10-8 (Fortsetzung)

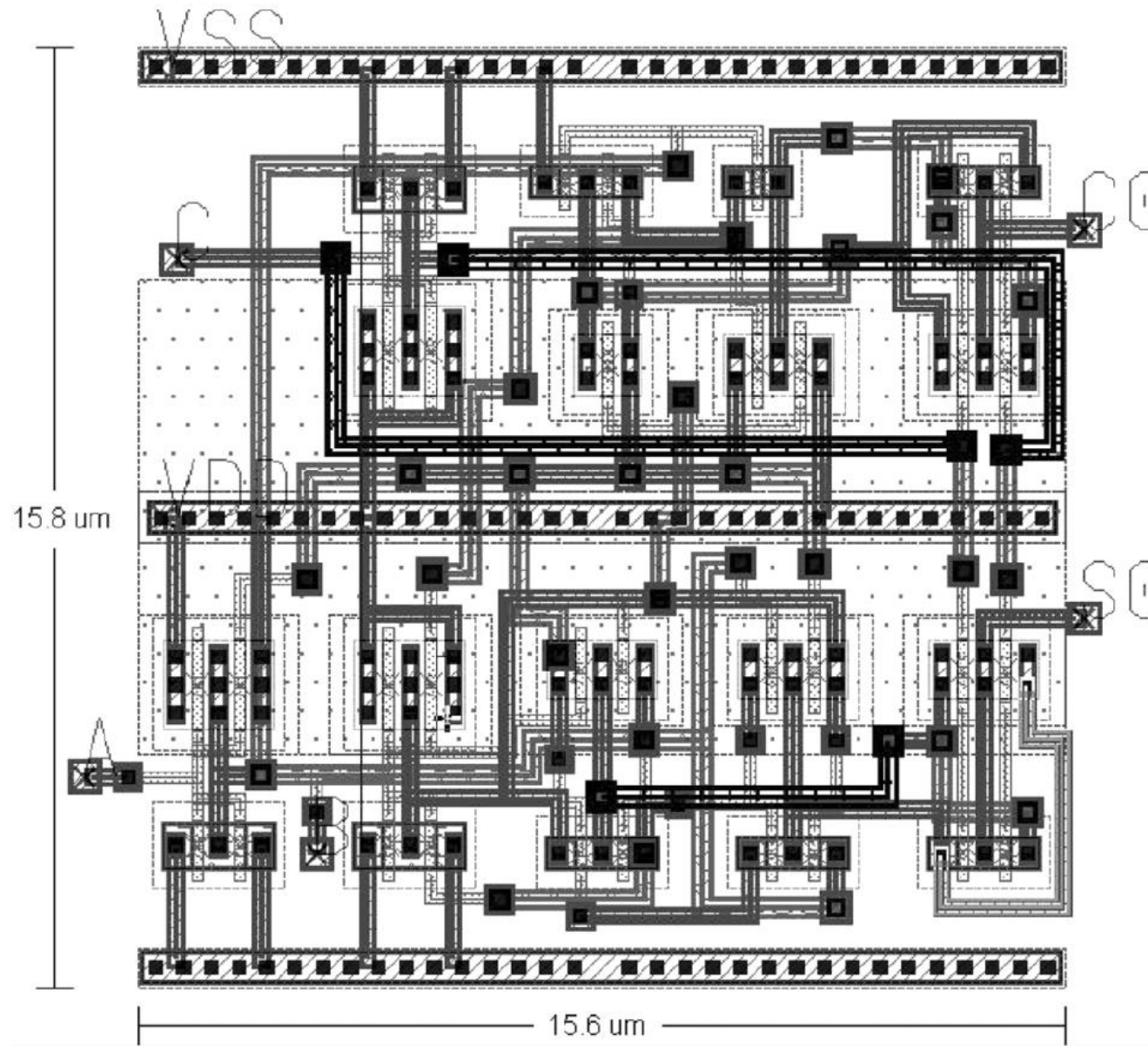
- Mit welcher Geschwindigkeit kann der 0,35 μm CMOS-Prozess arbeiten?
Nehmen Sie (vereinfacht) an:
 - Logiktiefe 8 Nand2-Gatter (d.h. 8 Nand-2 Gatter zwischen zwei FFs)
 - Verzögerungszeit der Verbindungsleitungen gleich NAND2 Delay
 - Flip-Flop Delay: 0.8 ns NAND2 Delay: 0.1 ns
- Ein Chip des 0,35 μm CMOS-Prozess hat eine Kantenlänge von 0,5 cm. Wie viele Transistoren enthält er und welche Verlustleistung entsteht?
Nehmen Sie (vereinfacht) an:
 - Belegung durch Nand-2 Zellen
 - Flächenausnutzung 50% (Rest ist Verdrahtung)
 - Takt 100 MHz, Schaltaktivität 10%
 - NAND2 Area: 54.6 μm^2 NAND2 Power: 2 $\mu\text{W}/\text{MHz}$
- Sind die ermittelten Werte realistisch?
Vergleichen Sie die Flächenangaben mit dem AMD Athlon 64 FX (s.o.):
2 cm^2 , 130 nm CMOS, 100 Mio. Transistoren

Forschung zu energieeffizienten Schaltungen: Volladdierer

- Untersuchung von M. Aguirre-Hernandez, M. Linares-Aranda, „CMOS Full-Adders for Energy-Efficient Arithmetic Applications,“ IEEE Transactions on Very Large Scale Integration (VLSI) Systems, S. 718 – 721, 2011.
- Paper vergleicht 5 Entwürfe aus Literatur mit zwei eigenen Entwürfen (aber leider nicht Lin, 2007 (s.o.)).



Forschung zu energieeffizienten Schaltungen: Volladdierer (II)



Quelle:
M. Aguirre-Hernandez, M. Linares-Aranda,
„CMOS Full-Adders for Energy-Efficient Arithmetic
Applications,“ IEEE Transactions on Very Large
Scale Integration (VLSI) Systems, S. 718 – 721, 2011.

Forschung zu energieeffizienten Schaltungen: Flip-Flop

Transmission Gate Pulsed Latch
aus M. Alioto, et.al. (siehe oben).

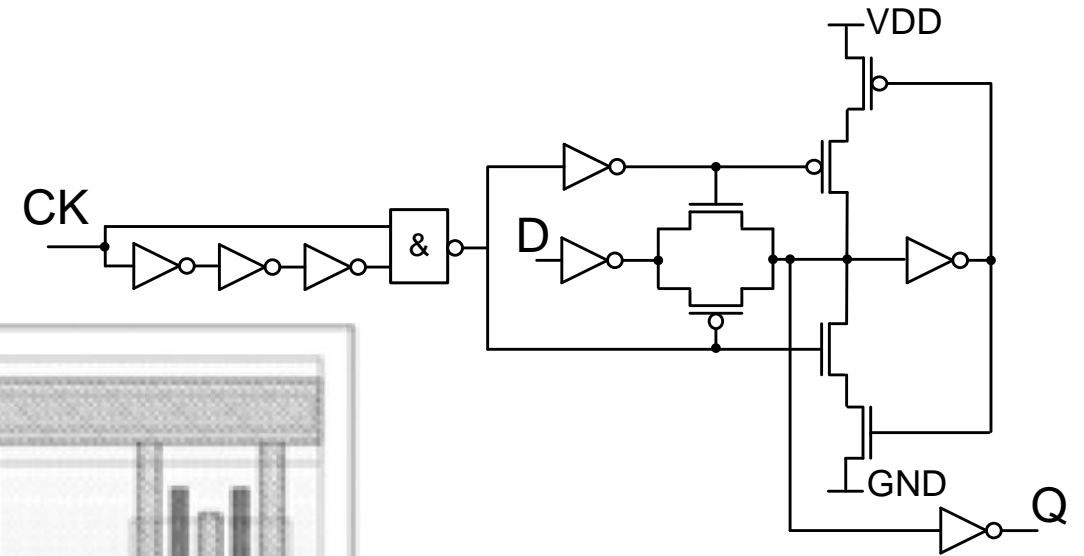
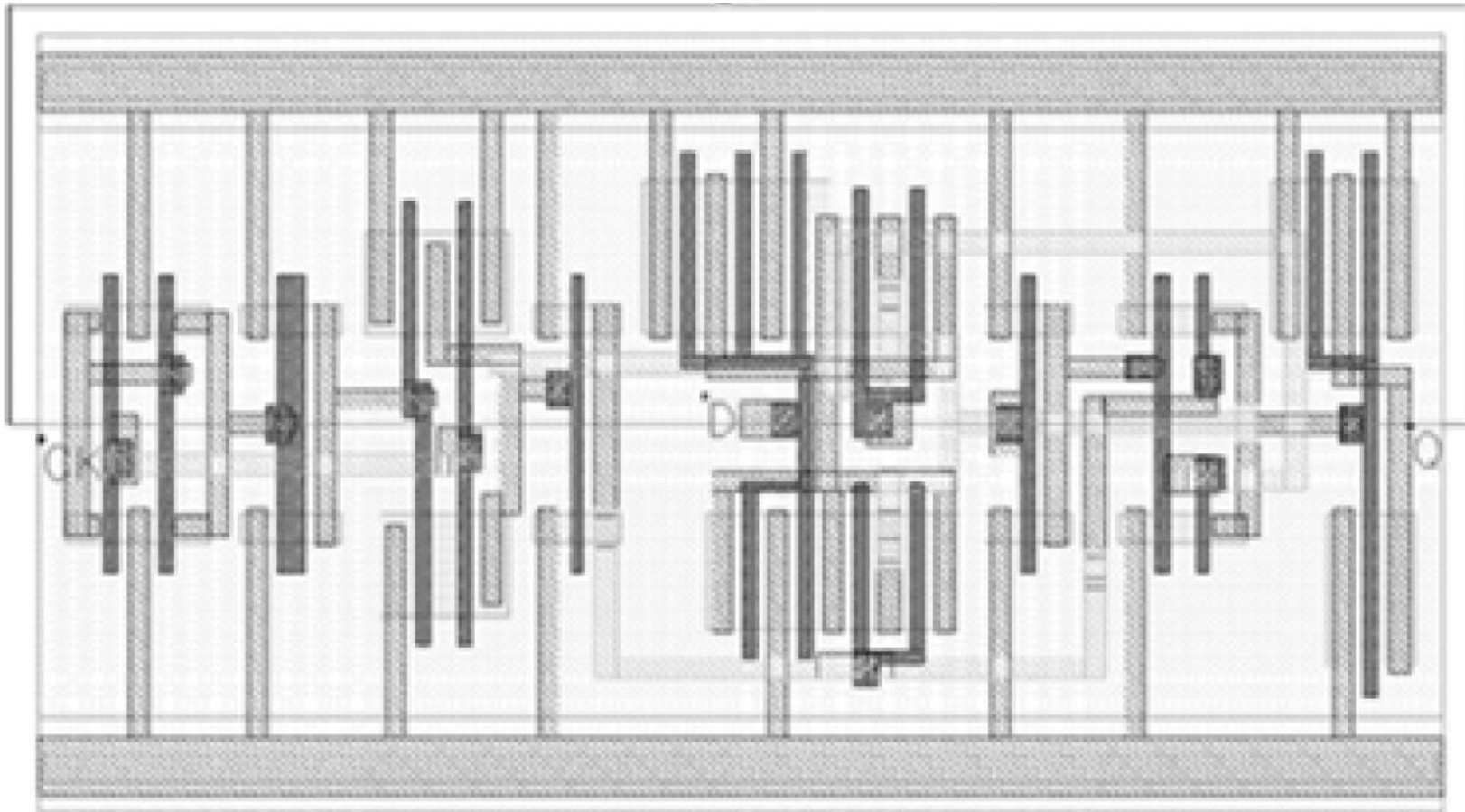
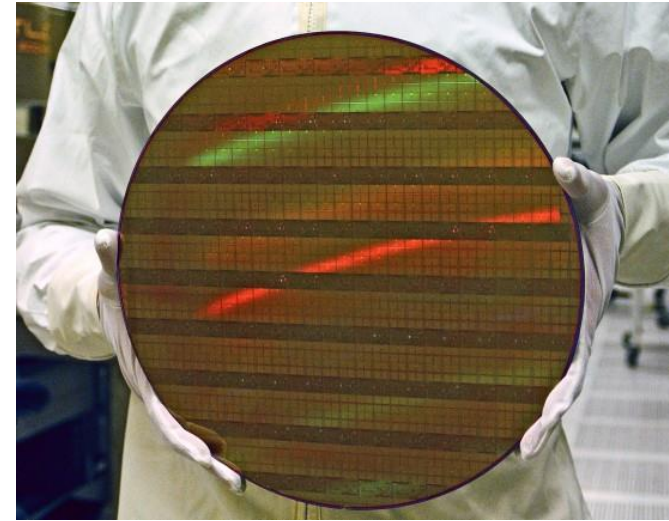


Bild: M. Alioto, et.al. (siehe oben)

10.5 Herstellung von CMOS-Schaltungen

Typischer Entwurfsablauf:

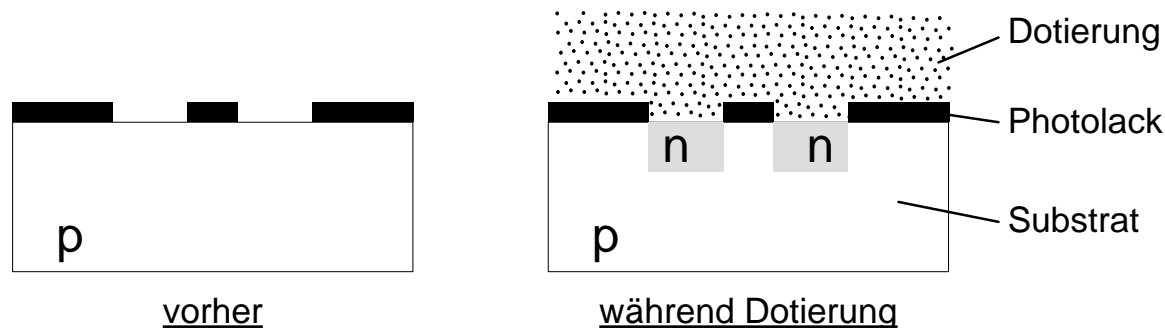
- Aus einer abstrakten Beschreibung (z.B. VHDL) wird mittels CAD-Programmen das Layout der Schaltung erzeugt
 - CAD = „Computer-Aided-Design“
 - Auch: EDA = „Electronic Design Automation“
- Grundmaterial ist eine dünne Silizium-Scheibe mit 15-30 cm Durchmesser, genannt „**Wafer**“
- Die einzelnen Lagen der Schaltung (Metall, Polysilizium, etc.) werden in **Belichtungsmasken** umgesetzt
- Durch einen aufwändigen chemischen Prozess werden die Strukturen erzeugt
- Insgesamt werden benötigt:
 - ca. 10-20 Belichtungsmasken
 - ca. 100-200 Verarbeitungsschritte:
Fotolack auftragen, belichten, ätzen, dotieren von Regionen, reinigen, ...



(Foto: Intel)

Herstellung von CMOS-Schaltungen (II)

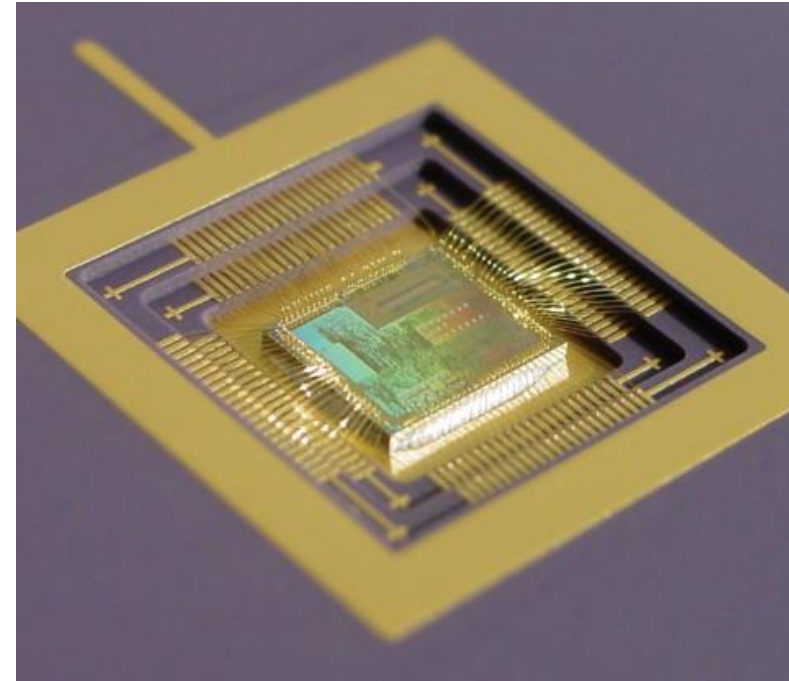
- Auf dem Substrat werden die einzelnen Bereiche der Schaltung schrittweise durch **Lithographie** (Belichtungstechnik) erzeugt
 - Bereiche: Aktiv (Source/Drain), Polysilizium, Kontaktlöcher, Metall, ...
- Für alle Bereiche werden Belichtungsmasken hergestellt
- Durch Fotolack und Belichtung werden Bereiche geschützt
- In ungeschützten Bereichen kann Dotierung oder Materialauftrag erfolgen
 - Beispiel: Dotierung von Source und Drain



- Das Verfahren ist sehr aufwändig und erfordert hohe Präzision

Herstellung von CMOS-Schaltungen (III)

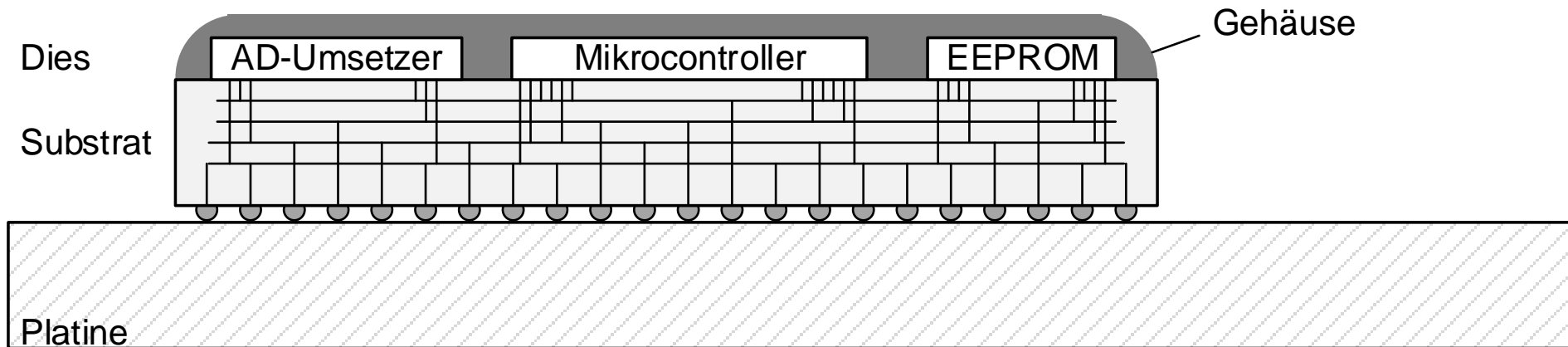
- Aus einem Wafer können einige hundert ICs hergestellt werden
- Nach der chemischen Produktion und einem ersten Test werden die Wafer zersägt
- Die nackten Silizium-ICs, genannt „**Die**“, werden in Gehäuse verpackt
- Die elektrische Verbindung erfolgt durch sehr dünne Golddrähtchen („**Bond-Wires**“)
 - Das Verbinden ist das „**Bonding**“
- Nach dem Schließen des Gehäuses erfolgt ein weiterer Test
- Da bereits ein Staubkorn zu einem Fehler führen kann, findet die Herstellung in **Reinräumen** statt
- Die genaue **Herstellungsausbeute** („**Yield**“) ist Firmengeheimnis, liegt aber etwa bei 60%-90%
- Bei Einführung haben neue Herstellungsprozesse jedoch meist eine wesentlich geringere Ausbeute



(Foto: IMEC, Belgien)

Chiplet

- Einzelne CMOS-Dies können auf einem Träger verbunden werden
 - Dadurch kleinere Dies mit besserer Fertigungsausbeute
- Spezialisierte CMOS-Prozesse für unterschiedliche Funktionen möglich
 - DRAM-Speicher, EEPROM, Analog-Funktionen



- Dies liegen kopfüber auf Verbindungssubstrat
- Von außen ist nur ein BGA-Gehäuse (Ball-Grid-Array) zu erkennen

Weitere Informationen zur CMOS Fabrikation



Weitere Informationen, Bilder, Grafiken Videos:

- Visualisierung: <http://jas.eng.buffalo.edu/education/fab/invFab/index.html>
- „Vom Sand zum Chip - So entsteht ein moderner Prozessor“, c't 18/2013, S. 76 ff.
- GLOBALFOUNDRIES Fab 1 Dresden- Vom Sand zum Chip
<https://www.youtube.com/watch?v=aOp-ZzC-MmY>
- Artikel Chiplet:
<https://spectrum.ieee.org/tech-talk/semiconductors/processors/intels-view-of-the-chiplet-revolution>
- Beispiel Chiplet: AMD Ryzen https://www.youtube.com/watch?v=9V_G7AvCIPc

10.6 Schaltungssimulation mit Analogsimulator SPICE

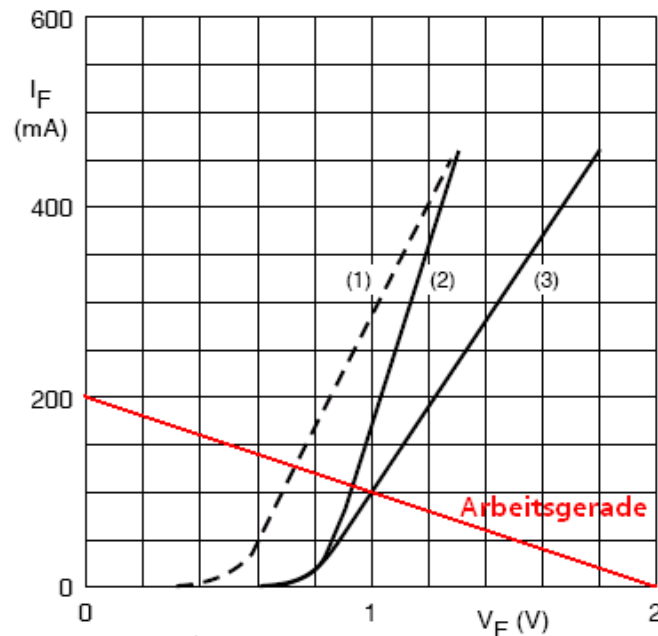
- Erste Version 1971 als Public Domain Software in Fortran von der UC Berkeley (Prof. D. Pederson).
 - Batch-Betrieb mit Schaltungsbeschreibung als Textdatei
 - Ausgabe ebenfalls als Textdatei
- Weiterentwicklung in etlichen freien und kommerziellen Varianten bis heute
- Unter anderem wesentlich verbesserte Benutzeroberfläche:
 - Schaltungseingabe als Schematic, Ausgabe als Grafik
- Im Folgenden wird sich auf LTspice von Linear Technology bezogen
 - Schon aus D4 Analogtechnik bekannt
 - Aktuelle LTspice-Version:
<https://www.analog.com/en/design-center/design-tools-and-calculators.html>

Literatur (für Version PSpice)

- R. Heinemann, „PSPICE“, Hanser. 
- B. Beetz, „Elektroniksimulation mit PSPICE“, Vieweg. 

Einfache Simulation: Gleichstromsimulation

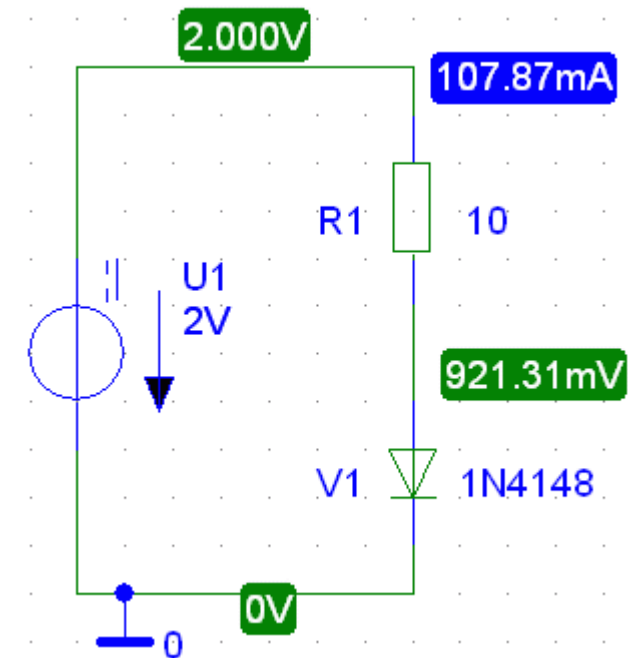
- Reihenschaltung von Diode und Widerstand an einer Spannungsquelle
 - Spannung: 2V; Widerstand: 10 Ω .
 - Diode: 1N4148 (Datenblatt z.B. <http://www.semiconductors.philips.com/pip/1N4148.html>).



- (1) $T_j = 175^\circ\text{C}$; typical values.
(2) $T_j = 25^\circ\text{C}$; typical values.
(3) $T_j = 25^\circ\text{C}$; maximum values.

Fig.3 Forward current as a function of forward voltage.

Ermittlung von Strom und Spannungen „klassisch“ durch Kennlinie (←) oder durch Simulation (→).



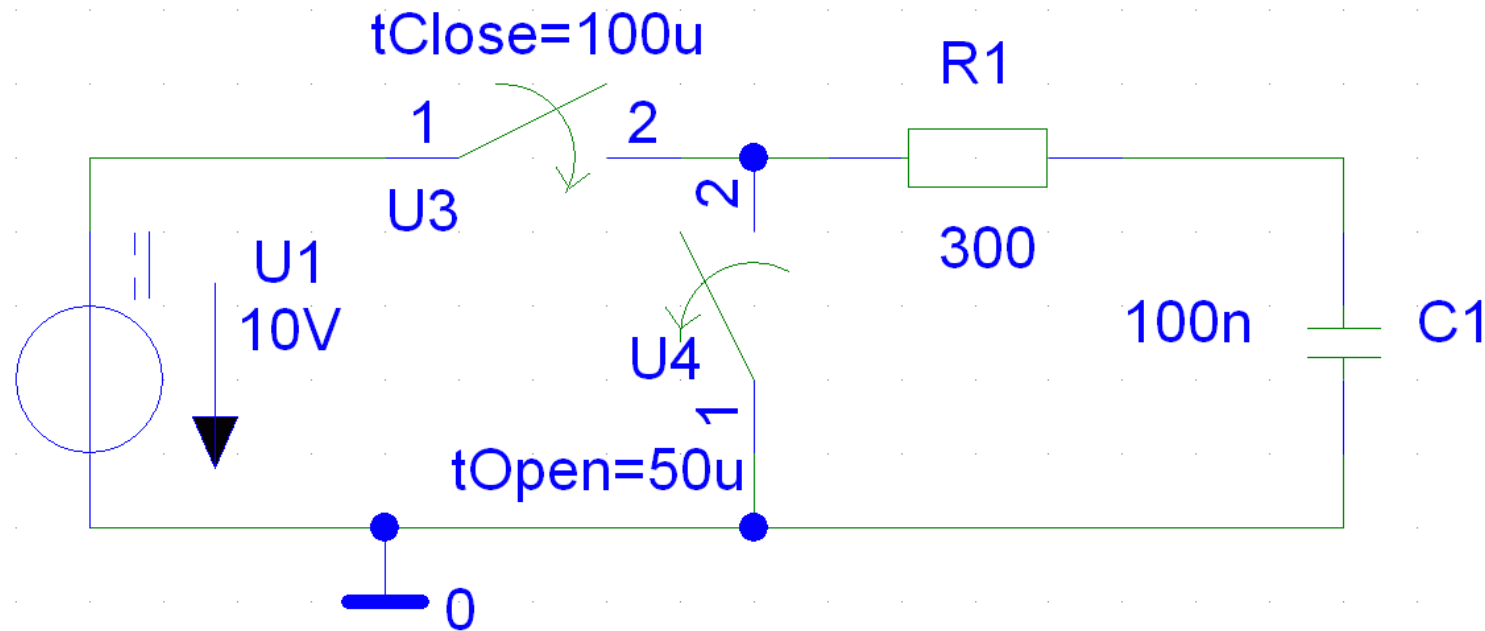
Transienten-Analyse

- Die **Transienten-Analyse** ermittelt das **Zeitverhalten** in einer Schaltung
- Diese Funktion ist die **Hauptfunktion** von Spice
 - Die meisten weiteren Funktionen ergeben sich aus Teilfunktionen oder mehreren Aufrufen der Transienten-Analyse
- Für viele praktische Probleme kann das Zeitverhalten nur über den Rechner bestimmt werden
- Erster Schritt der Transienten-Analyse ist die Ermittlung des Startzustands
 - Dies entspricht der Gleichstromsimulation
- Dann werden Ströme und Spannungen in kleinen Zeitschritten simuliert

Beispiel:

- Aufladen eines Kondensators (100 nF) über einen Widerstand (300 Ω)
 - Aus Elektrotechnik: Zeitkonstante $\tau = R \cdot C = 30 \mu\text{s}$
- Element: Schalter
 - SW_Close, schließt nach einstellbarer Zeit

Aufladen eines Kondensators



- Schalter U4 sorgt für Startzustand, Kondensator entladen
- Schalter U3 startet dann das Aufladen
- Vor Simulation sollte man abschätzen, wie lange simuliert werden soll
 - Die Zeitkonstante τ beträgt 30 μs .
 - Schalter werden darum zu Zeitpunkten 50/100 μs geschaltet.
 - Simulation (zunächst) bis 500 μs .
- Bei falscher Simulationsdauer sieht man kein Ergebnis (wie beim Oszilloskop).

Eingabe von Zahlenwerten

- Spice rechnet nicht mit Einheiten sondern mit reinen Zahlenwerten
 - Die Einheit (Volt, Ohm) muss nicht angegeben werden
- Für Zahlenwerte können die folgenden Maßvorsätze genutzt werden:

♦ 1g	= 10^9	♦ 1Meg	= 10^6
♦ 1k	= 10^3	♦ 1m	= 10^{-3}
♦ 1u	= 10^{-6}	♦ 1n	= 10^{-9}
♦ 1p	= 10^{-12}	♦ 1f	= 10^{-15}

Achtung:

- Groß- und Kleinschreibung wird nicht unterschieden
- Verwechslungsgefahr bei „Meg“ und „m“
- Als Dezimaltrennzeichen wird der Punkt verwendet (nicht das Komma)
- An Maßvorsätze können weitere Buchstaben ohne Leerzeichen angefügt werden (Kommentar)

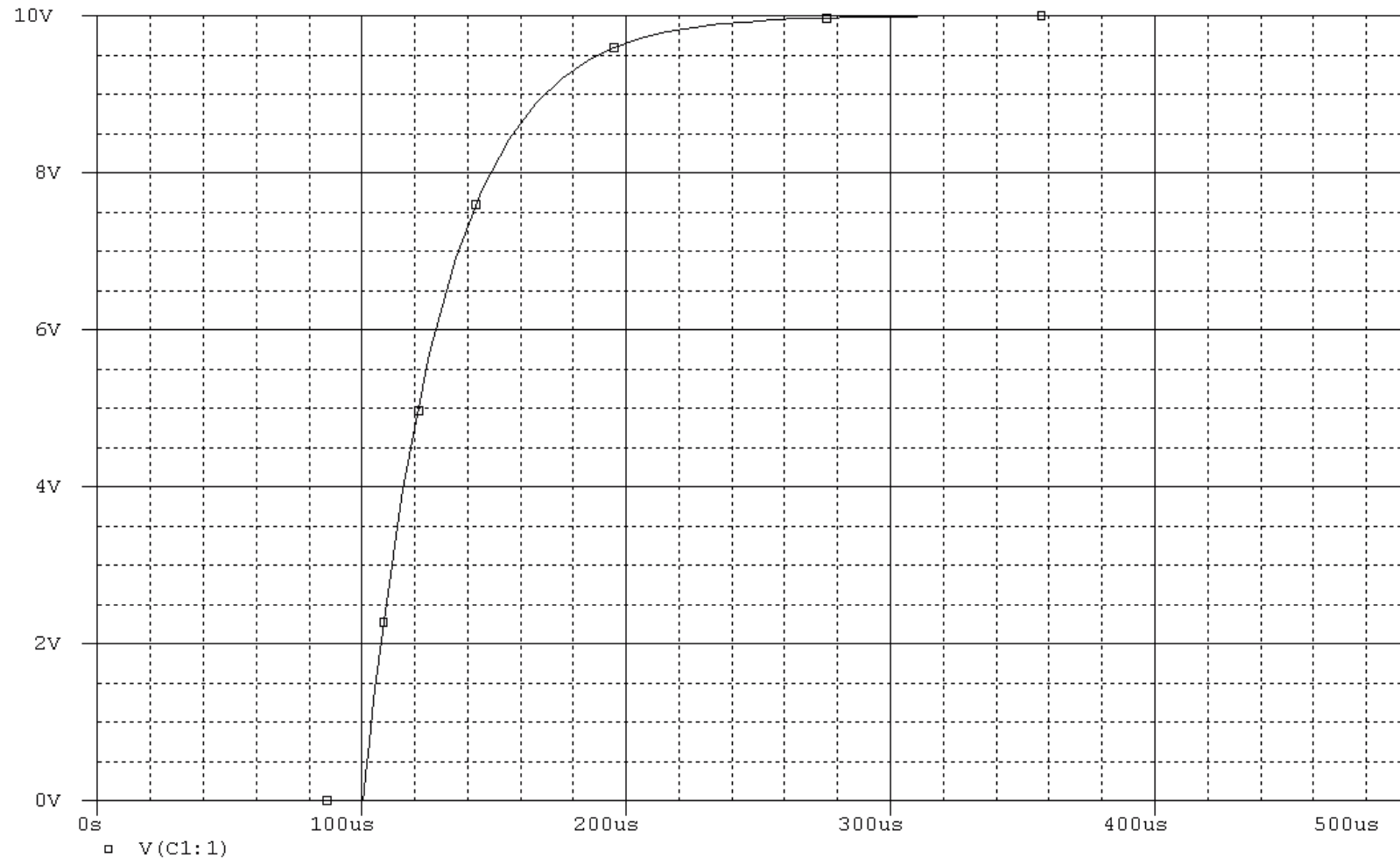
Beispiele:

♦ $10 = 10V = 10A$

♦ $1500 = 1.5k = 1.5K = 1.5k\Omega$

Ergebnis der Simulation

- Zeitverlauf wird in Ergebnisfenster dargestellt (schwarzer Hintergrund)
- Hier wird die Druckansicht wiedergegeben



Simulation von CMOS-Schaltungen

- Wie schon bei Prozess-Parametern und Design-Rules, werden vom Hersteller Informationen zum Prozess benötigt
- Simulationsdateien für 0,35 μm CMOS-Prozess verfügbar von der University of Colorado:
 - <http://ecee.colorado.edu/~ecen4827/software.html> (überprüft 02/2020)
 - http://ecee.colorado.edu/~ecen4827/software/5827_035.lib
 - http://ecee.colorado.edu/~ecen4827/software/035_Itspice.zip
- Der 0,35 μm Prozess von AMS wird dort erwähnt
 - Die Daten sind vermutlich nicht exakt die Prozessdaten von AMS, aber für Simulations-Experimente gut geeignet
- 5827_035.lib beschreibt die Technologie-Parameter
- 035_Itspice.zip enthält Komponenten, insbesondere
 - pmos_035 - p-Kanal Transistor
 - nmos_035 - n-Kanal Transistor
 - inverter_035_1 - Inverter
 - nand_035_1 - NAND-Gatter

Komponenten aus 035_Itspice

**Achtung: Nicht die
Standardkomponenten
von LTSpice verwenden**

NMOS-Transistor

- Komponentenbezeichnung hier M1
- Weite und Länge des Transistors

PMOS-Transistor

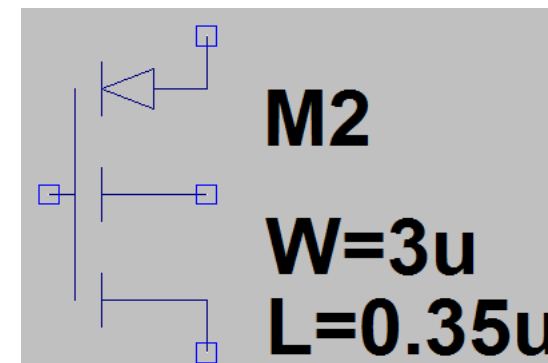
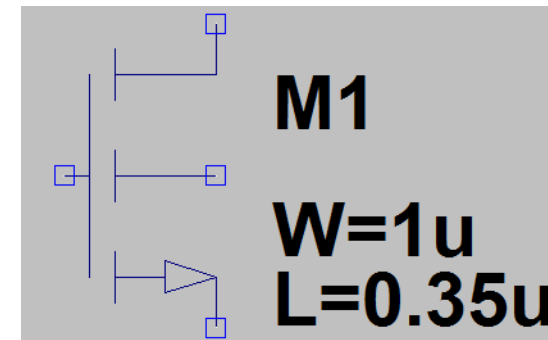
- Komponentenbezeichnung hier M2
- Weite und Länge des Transistors
 - Ändern der Werte durch Rechtsklick
 - Hier: Weite auf 3 μm erhöht

Für beide Transistoren

- Substrat muss an Masse (NMOS) bzw.
an Versorgungsspannung (PMOS)
angeschlossen werden

Aufruf der Bibliothek erforderlich

- Edit → Spice-Directive → .lib 5827_035.lib



.lib 5827_035.lib

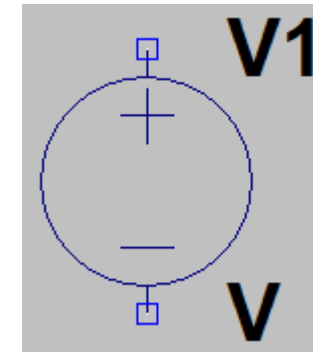
(Hier und Folgeseite:
Screenshots aus LTSpice
mit Bibliothek 035_Itspice)

Standard-Komponenten von LTspice

Standardkomponenten im Installationsverzeichnis
(z.B. C:\Program Files (x86)\LTC\LTspiceIV\lib\sym)

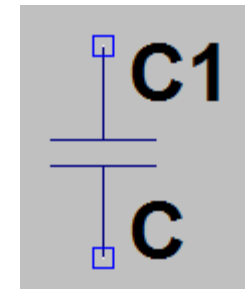
Spannungsquelle „voltage“

- Bei Parameter V wird Spannungswert eingetragen
- Zwei Varianten
 - Fester Wert, z.B. Versorgungsspannung
 - Dann bei V den Wert, hier „3.3“, eintragen
 - Zeitverhalten der Spannung, z.B. für Eingangssignale
 - Angabe über Spice-Direktive „PULSE“
 - Rechtsklick auf Symbol, dann „Advanced“ (siehe nächste Folie)



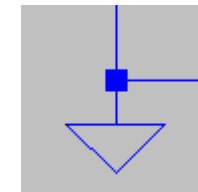
Kondensator „cap“

- Angabe des Kapazität bei Parameter C



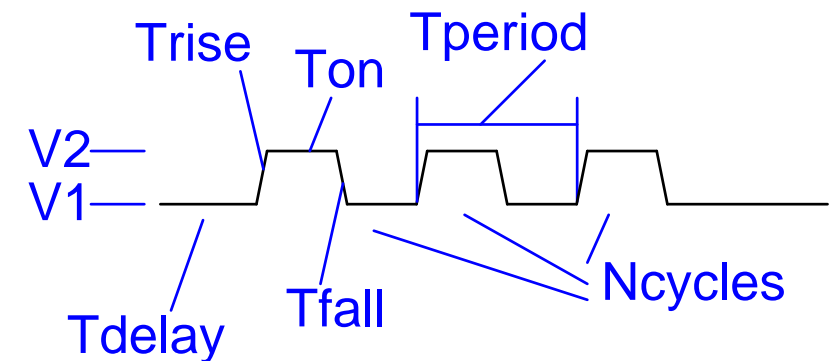
Masse

- Edit → Place GND
- Jede Schaltung braucht Bezugspunkt GND



Spannungsquelle mit Zeitverhalten

- Bei der Spannungsquelle „voltage“ kann ein Zeitverhalten eingetragen werden
 - Angabe über Spice-Direktive PULSE(V1 V2 Tdelay Trise Tfall Ton Period Ncycles)
 - Eingabe über Rechtsklick auf voltage-Symbol und „Advanced“ möglich
- Die Spannung beginnt bei V1 und hat mehrere Pulse mit dem Wert V2
- Bedeutung der Parameter
 - V1 - Spannung bei Start
 - V2 - Spannung für „aktiv“
 - Tdelay - Zeit bis zum Start der Aktivität
 - Trise - Anstiegszeit von V1 nach V2
 - Tfall - Abfallzeit von V2 nach V1
 - Ton - Zeit für aktive Spannung V2
 - Period - Zeit für einen Durchlauf
 - Ncycles - Anzahl der Pulse



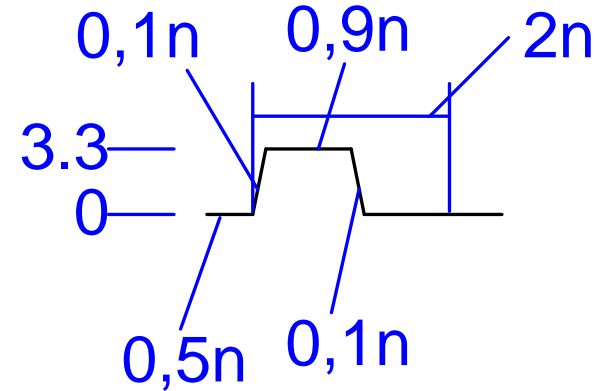
Vorgehensweise zur Simulation

- LTspice installieren (auf Laborrechnern bereits vorhanden)
- Arbeitsverzeichnis erstellen und Dateien 5827_035.lib sowie Inhalt von 035_Ltspice.zip dort speichern
- LTspice starten
- Für eine Simulation wird ein Schematic benötigt
 - File → New Schematic
 - File → Save As → im Arbeitsverzeichnis speichern (z.B. Inverter_1.asc)
 - Komponenten hinzufügen mit Edit → Component (F2)
 - NMOS, PMOS aus Arbeitsverzeichnis
 - Spannungsquellen, Kondensator, Masse aus Installationsverzeichnis
 - Eventuell Zoomfaktor verändern, um Platz zu schaffen
 - Parameter der Komponenten anpassen (W für PMOS, Kapazität, ...)
 - Bibliothek einbinden: Edit → Spice-Directive → .lib 5827_035.lib
 - Komponenten verdrahten: Edit → Draw Wire
 - Schematic abspeichern

Vorgehensweise zur Simulation (II)

Simulation eines CMOS-Inverters

- Zwei Transistoren, Spannungsquelle 3.3V, Eingangssignal, Lastkapazität
- Parameter aus Betrachtungen oben
 - Lastkapazität 20 fF
 - Verzögerungszeit ca. 0,1 ns, darum
 - 0,5 ns Vorlaufzeit
 - 0,1 ns Anstiegs und Abfall-Zeit
 - 0,9 ns auf ,1' und ,0'
 - `PULSE(0 3.3 0.5n 0.1n 0.1n 0.9n 2n 1)`

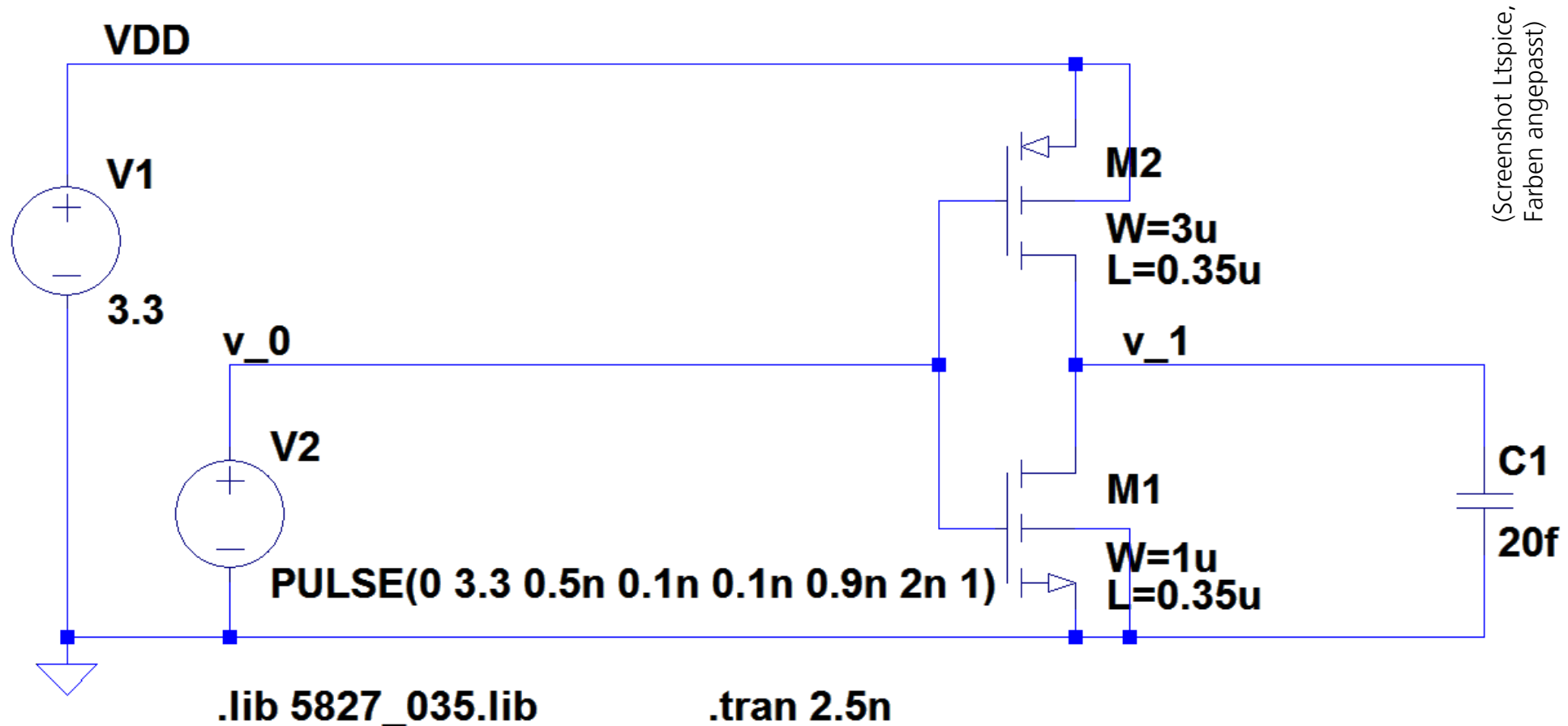


Für die Transientensimulation ist noch eine Spice-Anweisung erforderlich

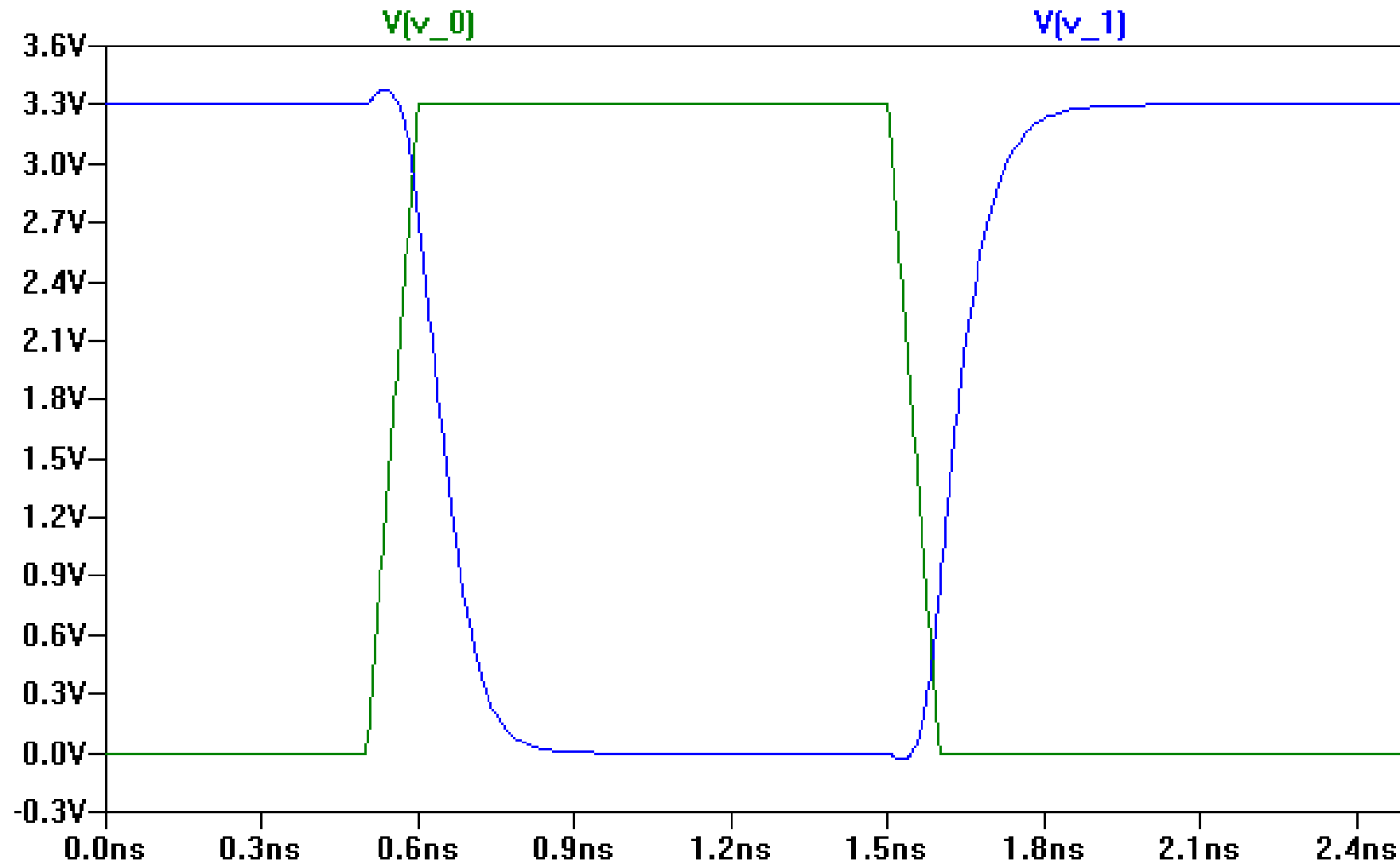
- Gesamtlaufzeit der Simulation 2.5 ns
- Edit → Spice-Directive → `.tran 2.5n`
- Edit → Label Net um Signalleitung mit Namen zu versehen
- Abspeichern und Simulate → Run

Simulation eines CMOS-Inverters

- Nach „Run“ öffnet sich Simulationsfenster und die interessanten Signale können ausgewählt werden



Simulation eines CMOS-Inverters (II)



(Screenshot Ltspice, Farben angepasst)

Ermittlung der Verlustleistung

- Als „Trace“ können auch arithmetische Ausdrücke von Werten angezeigt werden
 - Leistung ist Strom mal Spannung für Spannungsquelle V1, also Trace von:
 $-V(vdd) \cdot I(V1)$
 - Plot in neuem „Pane“ für bessere Übersicht
 - Negatives Vorzeichen für korrekte Polarität
 - ➔ Ausgabe siehe nächste Seite
- Der Mittelwert wird durch <Strg>-Klick auf das Label angezeigt
- Für CMOS-Inverter:
 - Average: 100.22μW Integral: 250.55fJ

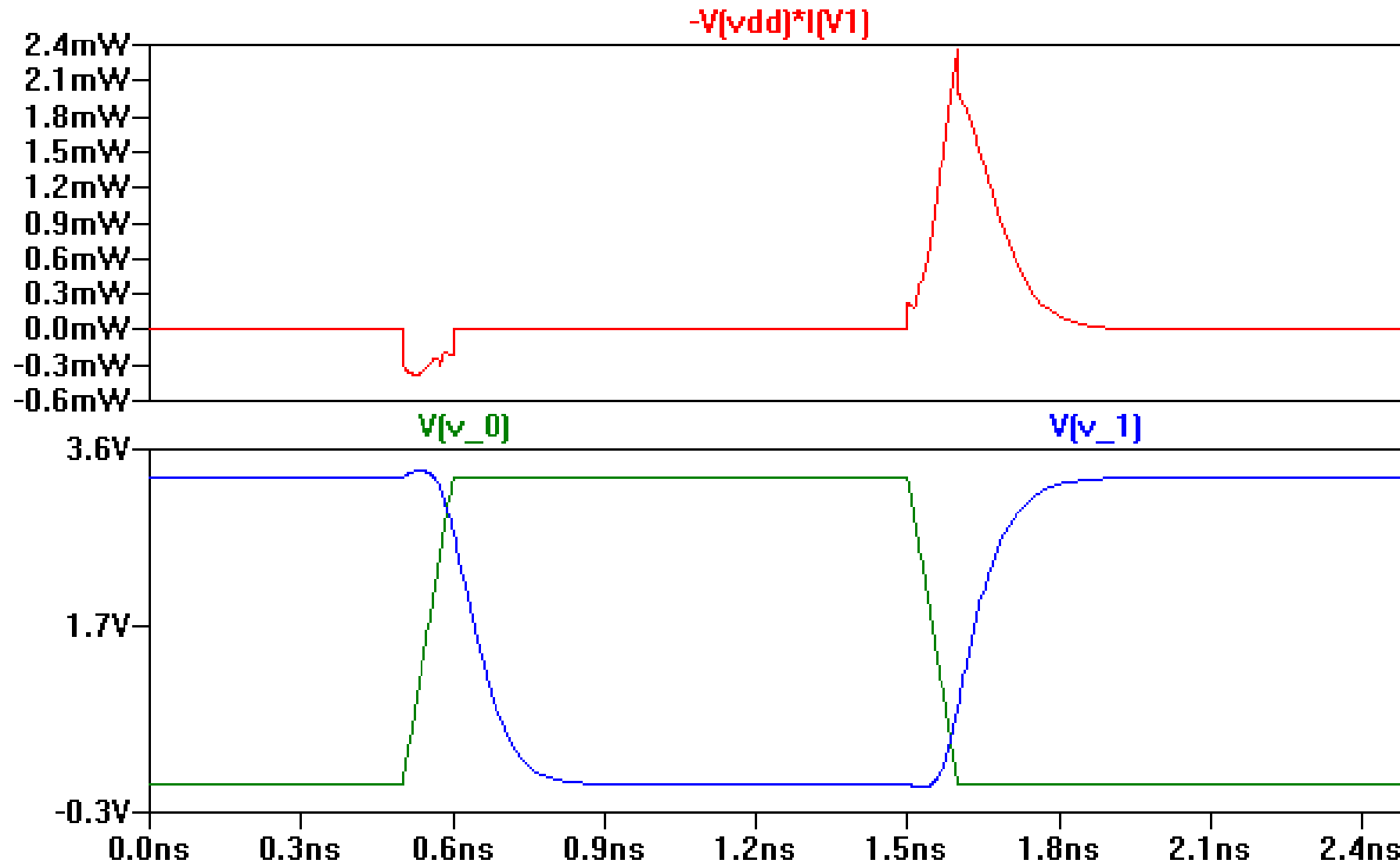
Vergleich mit Theorie

- Simulationsdauer von 2,5ns entspricht 400 MHz
- In dieser Zeit Wechsel 0→1→0, also Schaltaktivität = 1

$$P = \sigma f V^2 C = 1 \cdot 400 \text{ MHz} \cdot (3,3\text{V})^2 \cdot 20\text{fF} = 400 \cdot 3,3^2 \cdot 20 \cdot 10^{6-15} \text{W} = 87\mu\text{W}$$

➔ Etwas niedriger als Simulation, da Quer- und Leckströme nicht berücksichtigt ✓

Simulation eines CMOS-Inverters (III)



(Screenshot Ltspice, Farben angepasst)

Vergleich verschiedener Schaltungsstrukturen

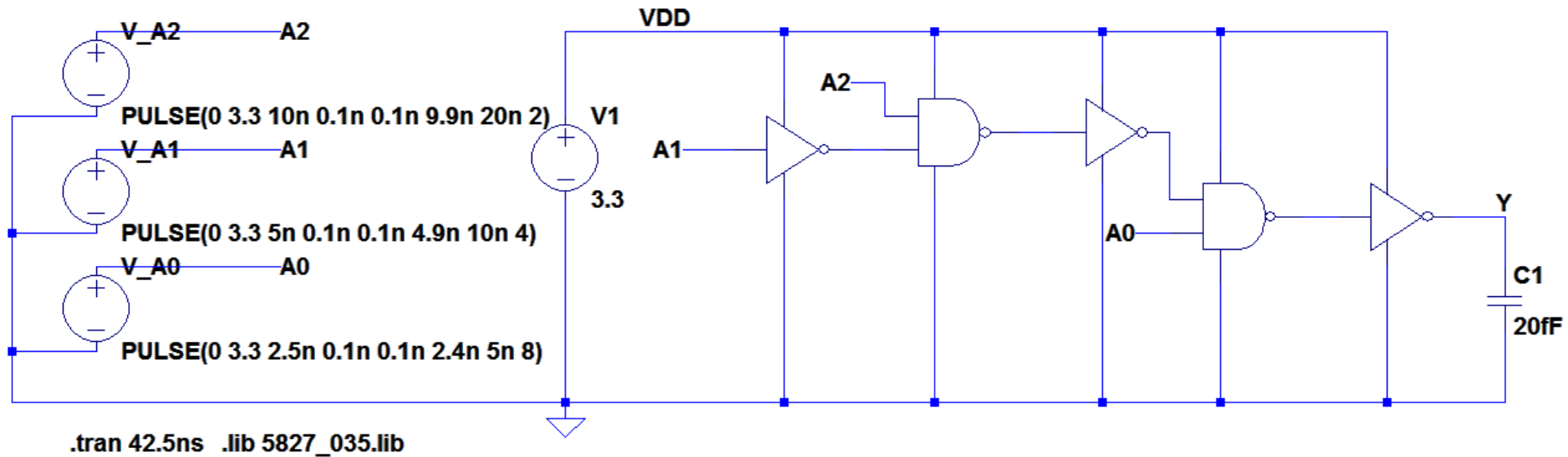
- Nach einem 3 Bit-Zähler soll der Wert 5 erkannt und durch $Y=,1'$ angezeigt werden
 - Es wird nur die Erkennung „Wert 5“ betrachtet
 - Um verschiedene Strukturen zu vergleichen, sollen nur NAND-2-Gatter und Inverter verwendet werden
- Folgende Strukturen sollen verglichen werden
 - $Y = A0 \& (\text{not } A1 \& A2)$
 - $Y = A2 \& (\text{not } A1 \& A0)$
- Welche Struktur ist günstiger?
- Probieren Sie andere Strukturen aus

Lösungsansatz für Simulation

- Mehrere Gatter werden durchlaufen, darum Zykluszeit 2,5ns
- Der Zähler wird zweimal durchlaufen (für längere Betrachtungszeit)
 - Drei Signale A2, A1, A0 mit folgenden Parametern:
 - A2: PULSE(0 3.3 10n 0.1n 0.1n 9.9n 20n 2)
 - A1: PULSE(0 3.3 5n 0.1n 0.1n 4.9n 10n 4)
 - A0: PULSE(0 3.3 2.5n 0.1n 0.1n 2.4n 5n 8)

Schaltbild für Schaltungsstruktur „Wert 5 erkennen“

- Variante $Y = A0 \& (\text{not } A1 \& A2)$
 - Lastkapazität wieder 20 fF
 - Simulationsdauer 16 Zyklen zu 2,5 ns plus 2,5 ns Nachlauf



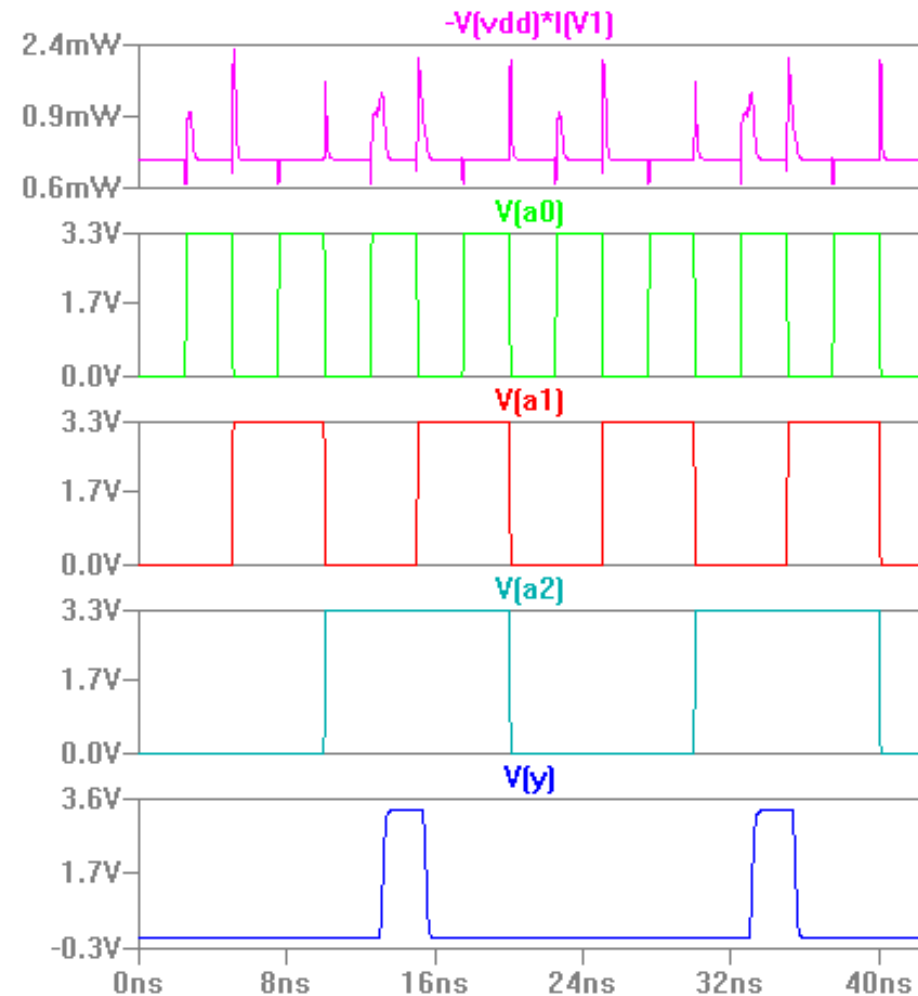
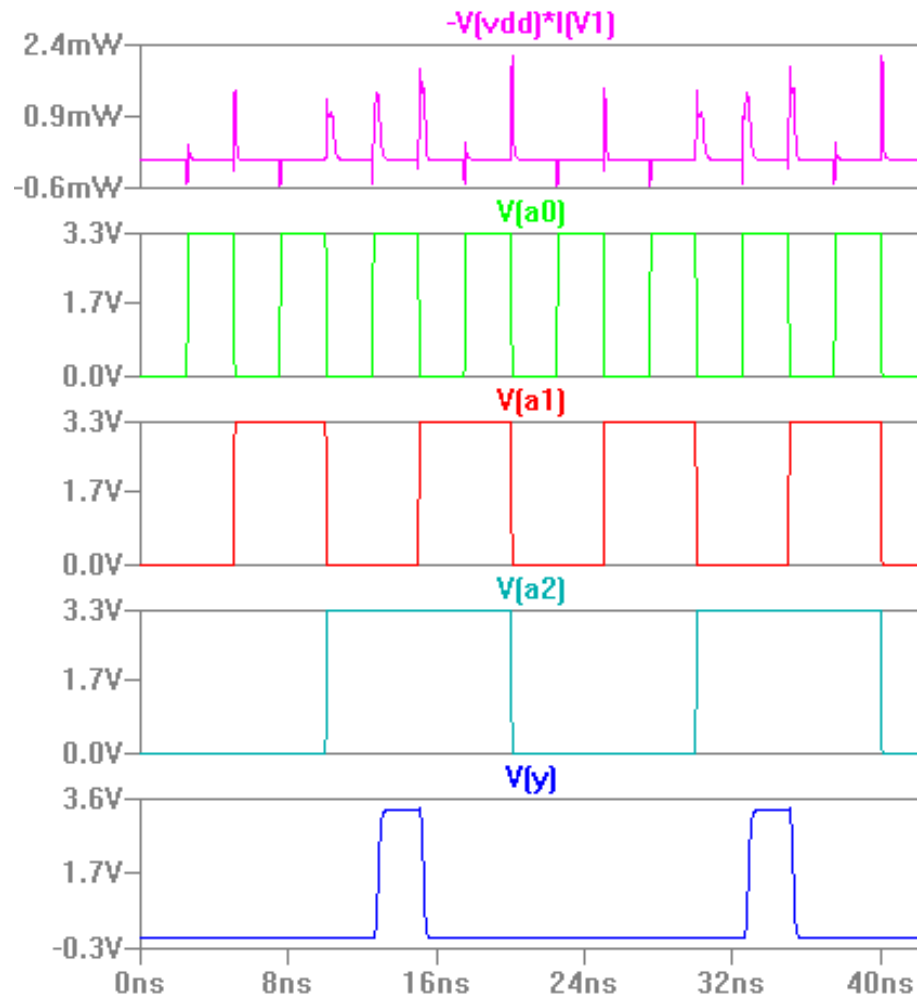
(Hier und Folgeseite:
Screenshots aus LTspice
Farben angepasst)

- Variante $Y = A2 \& (\text{not } A1 \& A0)$
 - NAND-Eingänge A2 und A0 vertauscht (nicht abgebildet)

Simulation „Wert 5 erkennen“

Links: $Y = A0 \ \& \ (\text{not } A1 \ \& \ A2)$ ➔ Average: $80.802\mu\text{W}$ ⬅ **27% besser**

Rechts: $Y = A2 \ \& \ (\text{not } A1 \ \& \ A0)$ ➔ Average: $111.25\mu\text{W}$



Fragen zu „Wert 5 erkennen“

- Warum hat die Variante „ $Y = A0 \& (\text{not } A1 \& A2)$ “ eine geringere Verlustleistung?
- Was erwarten Sie von der Version „ $Y = \text{not } A1 \& (A0 \& A2)$ “?
- Hat es einen Einfluss, wenn die Eingänge am NAND-Gatter vertauscht werden?
➔ Überprüfen Sie Ihre Erwartung in der Simulation

Wie kann die Funktion „Wert 5 erkennen“ noch implementiert werden?

- Nutzen Sie eventuell eine Funktion mit drei Eingängen
 - Muss aus Transistoren erstellt werden
 - Achten Sie auf sinnvolle Weite der Transistoren
- Formen Sie die Funktion mit „de Morgan“ um, damit die Inverter wegfallen

Erinnerung

1. De Morgansche Gesetz: $\overline{A \& B} = \overline{A} \vee \overline{B}$

2. De Morgansche Gesetz: $\overline{A \vee B} = \overline{A} \& \overline{B}$

➔ Simulieren Sie die Schaltungen und überprüfen Sie Funktion und Verlustleistung

Fragen und Simulation zum Inverter

Simulieren Sie den Inverter mit Lastkapazität

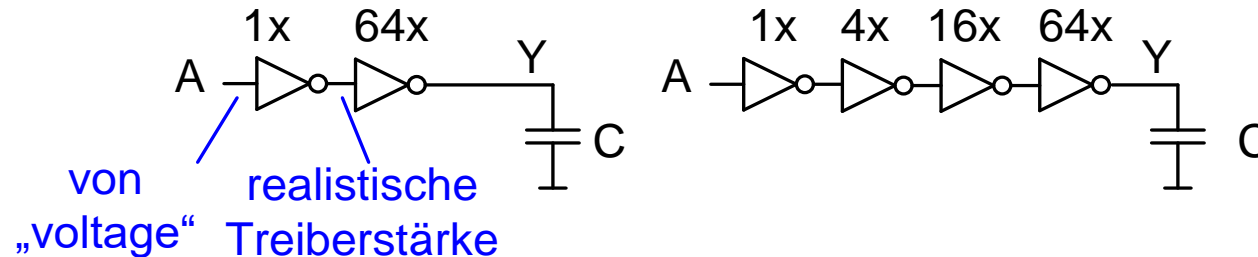
- Was erwarten Sie, wenn Sie die Lastkapazität auf 50% oder 200% verändern?
→ Überprüfen Sie Ihre Erwartung in der Simulation
- Was erwarten Sie, wenn die Lastkapazität fast Null oder riesig groß wird?
→ Überprüfen Sie Ihre Erwartung in der Simulation
- Bei hohen Lastkapazitäten ist es sinnvoll, die Breite der Transistoren zu ändern, also beide Transistoren doppelt, vierfach, ... zu wählen
- Was erwarten Sie für Zeitverhalten und Verlustleistung?
→ Überprüfen Sie Ihre Erwartung in der Simulation
- Die Signalquelle „voltage“ hat ein ideales Verhalten. Überprüfen Sie die Ansteuerung eines großen Inverters mit einer realistischen Treiberstärke.
 - Geben Sie das Eingangssignal darum zunächst auf einen einfachen Inverter
- Vergleichen Sie zwei Varianten zur Ansteuerung einer großen Lastkapazität
 - Inverter mit großer Breite der Transistoren (z.B. 64-fach)
 - Drei Inverter mit ansteigender Breite (z.B. 4-fach, 16-fach, 64-fach)

Rechnerübung LTSpice

Zum Selbstlernen.
Unterstützung ist
während der
Praktikumstermine
möglich.

1.) Simulieren Sie den CMOS-Inverter (kein Template vorhanden)

- Vergleichen Sie verschiedene Varianten
 - Lastkapazität: 50%, 200%, fast Null, riesig
 - Andere Breite der Transistoren bei hoher Lastkapazität
 - Kaskadierung von Invertern bei sehr hoher Lastkapazität



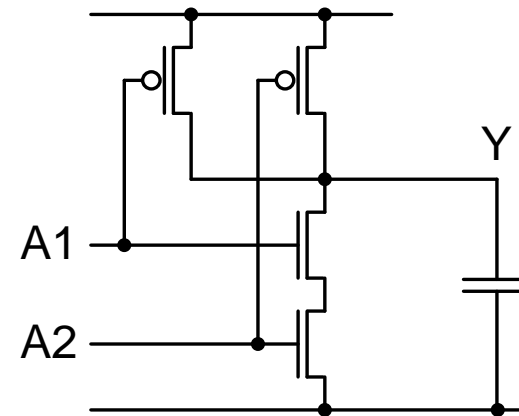
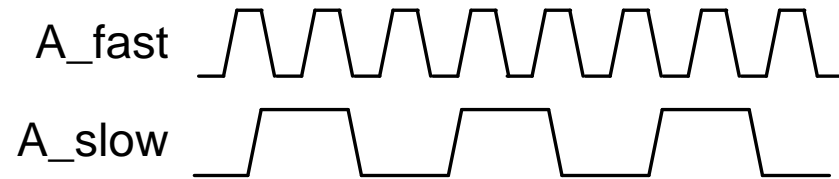
2.) Simulieren Sie die Schaltung „Wert 5 erkennen“ ([Template count_5_a.asc](#))

- Vergleichen Sie verschiedene Varianten
 - Vertauschen von A0, (not A1), A2
 - NAND-Gatter mit drei Eingängen (kein vorbereitetes Untermodul vorhanden)
 - Umwandlung mit „de Morgan“, damit Inverter wegfallen

Rechnerübung LTSpice (II)

3.) Ein NAND-Gatter hat zwei Eingänge A_fast und A_slow, die sich mit unterschiedlicher Häufigkeit ändern. Hat es eine Auswirkung, welches Signal an Eingang A1 und A2 angeschlossen wird?

- Simulieren Sie beide Varianten
- Wie verhält sich ein NOR-Gatter?

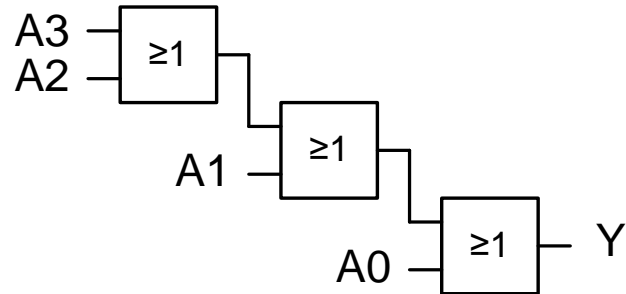


4.) Eine ODER-Verknüpfung mit 4 Eingängen soll aus ODER-Gattern mit 2 Eingängen zusammengesetzt werden. Ist eine parallele oder sequentielle Struktur günstiger? Vergleichen Sie verschiedene Arten von Eingangssignalen.

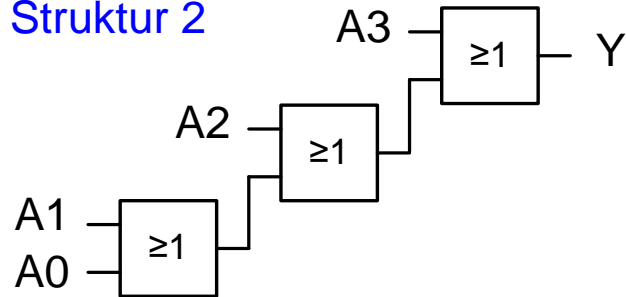
- Erstellen Sie ein Untermodul für ein ODER-Gatter
 - Simulieren Sie verschiedene Varianten für Schaltung und Eingangssignale
- ➔ Siehe nächste Folie

Rechnerübung LTSpice (III)

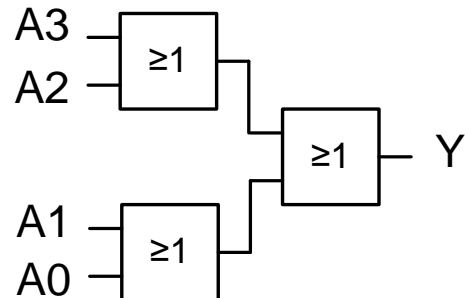
Struktur 1



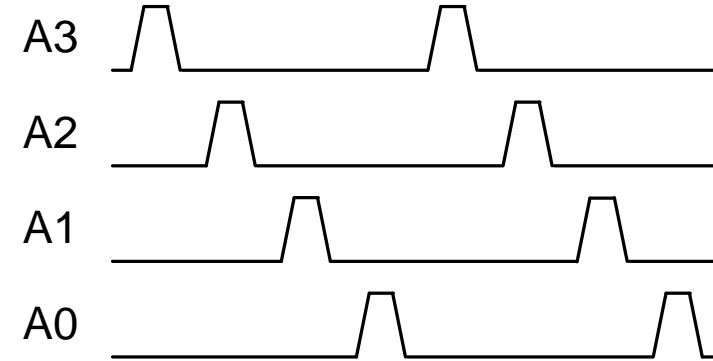
Struktur 2



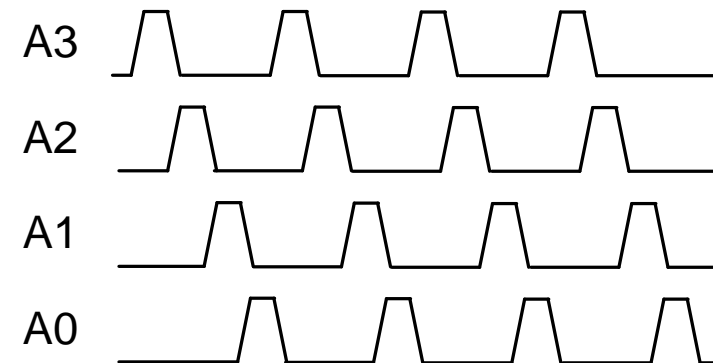
Struktur 3



Eingabe 1: Abstand zwischen Flanken



Eingabe 2: Überlappende Flanken



Eingabe 3: A3 ... A0 als 4bit Zähler

keine Grafik