



Proyecto No.1:

# Proyecto de investigación

Microchip

Diego Alonzo - 20172

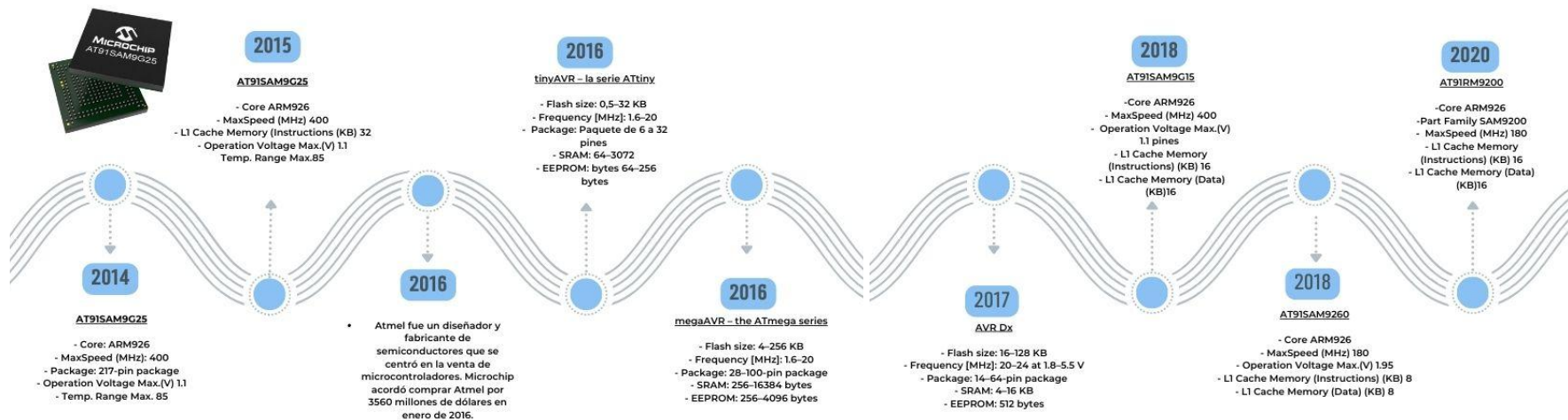
Diego Vásquez - 211628

Roberto Rios - 2097

# Historia

## LÍNEA DE TIEMPO

Microchip (AVR SAM microprocessors)



# Estructura del procesador más reciente.

## Instrucciones de arquitectura.

Thumb 32

El AVR tiene instrucciones de arquitectura de tipo *AVR Enhanced Reduced Instruction Set Computer (RISC)* set de instrucciones. De manera que requiere de ciertas especificaciones de entrada y salida (I/O):

- a. Un 8 bit de salida para el operando y entrada resultante.
- b. Dos 8 bit de salida para el operando y 1 bit de para la entrada resultante.
- c. Dos de 8 bit de output para el operando y 1 bit de 16 bit para el resultado input.
- d. 1 output operando de 16 bit y 1 resultado input de 16 bit.

La mayoría de instrucciones que operan en los registros tienen acceso directo a los demás registros y son de un único ciclo de instrucciones. Así mismo, cada memoria se asigna a una dirección de memoria de datos de manera que se mapea a alguna de las 32 locaciones de memoria. De manera que esto brinda flexibilidad en el acceso a registros a pesar de no ser SRAM.

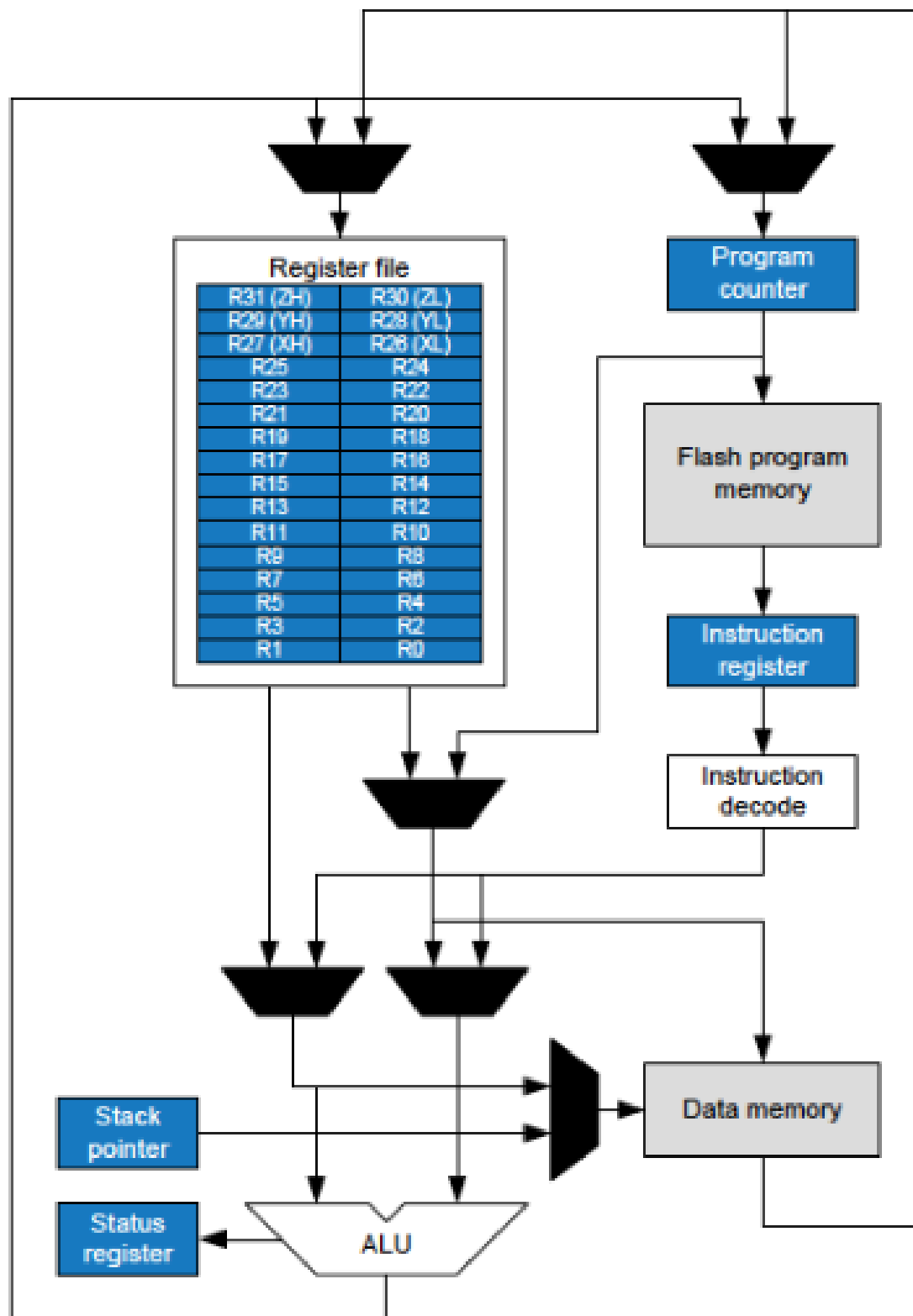
Así mismo, se tienen registros especiales, registros x, y, z, que son registros de dirección indirecta, además, de que son de 16-bit y son los registros R26-R31.

Además se debe de destacar el hecho de que sus instrucciones de arquitectura de tipo RISC genera que sean más instrucciones, sencillas de operar, pero que en procesos complejos se requiere de más instrucciones para resolver el problema a diferencia de la arquitectura CISC.

Además, debido a que su procesador es el cortex M-7 entonces tiene un hardware dividido entre (2-12 ciclos), una multiplicidad de ciclos simples, procesamiento de campo de bits, soporte de ajuste saturado, una extensión DSP que sirve para el monitoreo de programas en C y C++. Además, permite un estado de 6 super escalares y predicción de ramas (branch). Además tiene instrucciones de un solo ciclo de entre 16 y 32 bit, así como un ciclo doble de 16 bit. Así mismo, es SIMD es decir que tiene una instrucción para múltiples datos de manera que puede aplicar paralelismo de esta forma.

Tiene un bus de 64 bit AMBA AXI y 32 AHB de bus periférico. Así mismo, permite la interrupción mediante un controlador NVIC, soportando desde 1 hasta 240 interrupciones en orden de prioridad.

Bloques de función: Descripción y especificaciones técnicas.



### AVR Core

Utiliza una arquitectura Harvard con memorias separadas y buses para la programación y datos. De manera que las instrucciones en la memoria del programa se ejecutan con un

nivel simple de pipeline. De manera que se ejecuta una instrucción mientras que la siguiente es cargada de la memoria del programa. Se debe de notar el hecho de que la memoria de los programas está almacenada en la memoria Flash.

Así mismo, las instrucciones paralelas recuperan las ejecuciones de instrucción activadas por la arquitectura Harvard y el acceso veloz de un registro, de manera que este es un concepto básico de pipelining generando 1 MIPS/MHz con los resultados por costeo, funciones por reloj y funciones por unidad de poder.

### **Registros**

Contiene un acceso rápido de registros que contiene 32 x 8 bits con un simple ciclo de acceso de reloj, sin embargo, los registros se distribuyen en 6 que se usan como 3 apuntadores de direcciones de espacio de datos indirectos de 16 bits. Uno de estos apuntadores puede ser usado como un apuntador de dirección para buscar tablas en la memoria Flash.

### **Unidad Lógica Aritmética**

La ALU realiza las operaciones aritméticas y lógicas entre registros o constantes. De manera que un ciclo de reloj permite que se realice una operación de manera que se realice la operación y que se almacene el resultado. Cabe destacar que la mayoría de instrucciones AVR son de 16-bit además que cada dirección de memoria en el programa contiene una instrucción de 16 o 32 bits.

También se destaca el hecho de que se divide en aritmética, lógica y funciones de bits, así mismo, algunas implementaciones de la arquitectura proveen facilidad en fractales y multiplicaciones.

### **Stack**

Este se usa para el almacenamiento temporal de datos, variables locales y el retorno de direcciones para interrupciones y subrutinas, esta tiene registros de 2 registros de 8 bits en un espacio de entrada y salida.

#### **Status register**

Contiene la información sobre el último resultado de una instrucción aritmética, de manera que se utiliza para alterar el flujo de programa en el caso de condicionales, y solo se actualiza al terminar todas las operaciones de ALU, esto permite no necesitar instrucciones de comparación, lo que genera la ventaja de menos código y más velocidad.

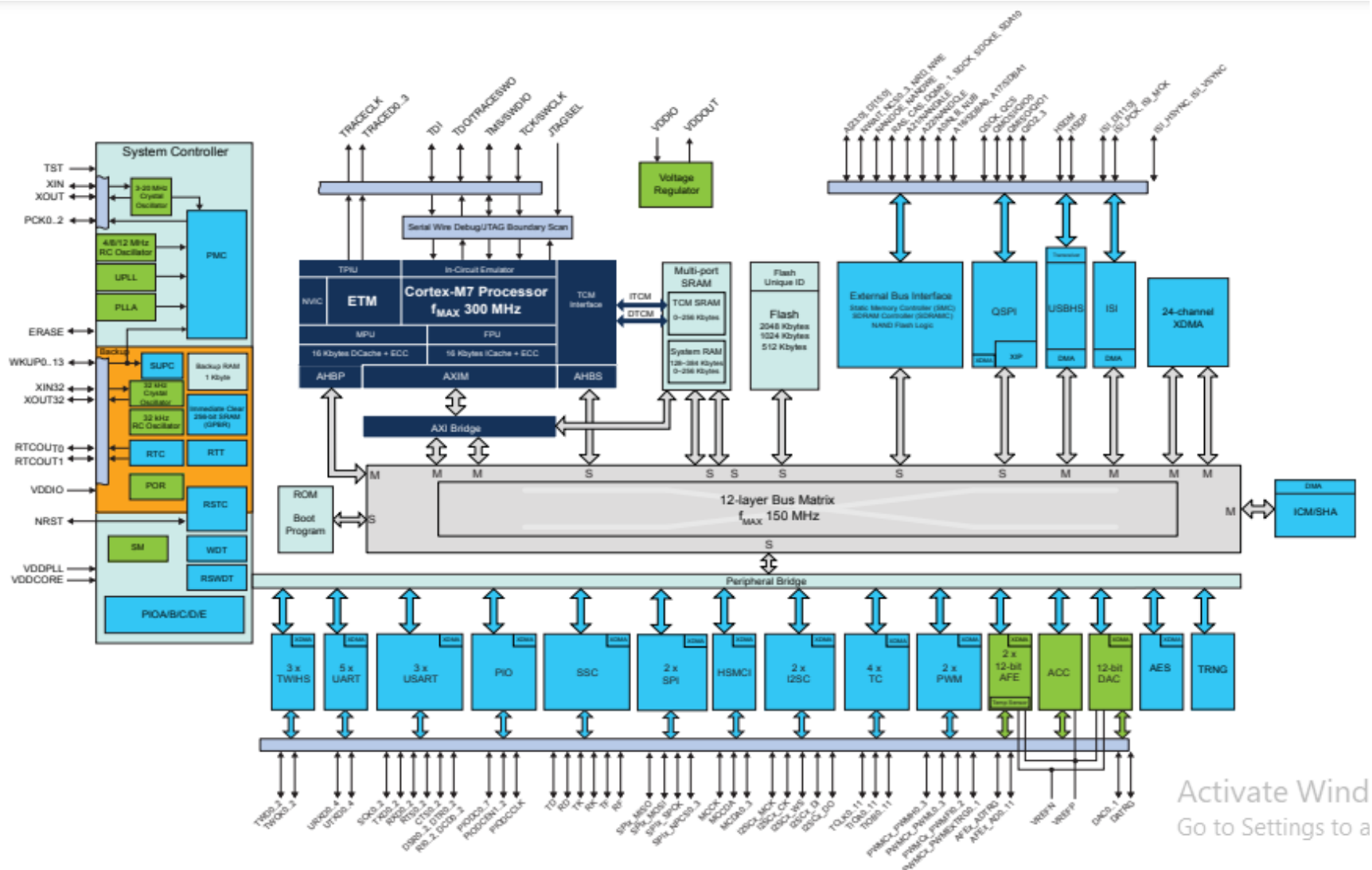
### **Memoria**

Todos los espacios de memoria en la arquitectura AVR son lineales y regulares en mapas. La memoria Flash se divide en dos secciones, la sección de Programa Boot, contiene la memoria de almacenamiento de los programas, y la sección de Aplicación del Programa, de manera que se bloquean los bits para escritura y lectura, por protección. Además, tiene el Program Counter almacenado en el stack que se encuentra en el SRAM, también se debe destacar que todos los programas inicializa el apuntador del stack en la rutina de reset, y la SRAM tiene un acceso de 5 formas diferentes.

Interrupciones tiene un módulo flexible de interrupciones para controlar el espacio con una interrupción global que activa los bits en el registro de status.

### **Diagrama de Bloques**

Figura 1: Diagrama de Bloques



## Especificaciones técnicas

Tabla 1: Especificaciones técnicas del AVR SAM V71

Parámetro	Valor
CPU	Cortex M7
Velocidad Máxima (MHz)	300
Memoria Programable (KB)	2048
SRAM (KB)	384
Rango de temperatura	[-40°C-+105°C]
I/O Pins vs Pins	114/144
Max ADC Resolución	12
Voltaje máximo (voltios)	3.6
Canales DMA (Direct Memory Access)	24
SPI/QSPI	5/1
UART	8
Ethernet	AVB
Oscilador Interno (KHz)	32
Hardware RTCC (Real Time Clock)	Sí
Operación de voltaje, rango voltios	[1.7-3.6]
Interfaz de USB	Alta Velocidad con un módulo USSB
Bajo Poder	No

Descripción: Demuestra las características más relevantes del AVR SAM V71 en general sin ser tan específico.

Tabla 2: Fuentes de Poder

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
VDDIO	Perifé ricas I/O Líneas	Poder	-	-
VDDIN	Entrada de Regulación de Voltaje, AFW, DAC, y Comparador Analogo de Fuente de	Poder	-	-

	poder			
VDDOUT	Salida de Regulación de Voltaje	Poder	-	-
VDDPLL	Fuente de Poder PLLA	Poder	-	-
VDDPLLUSB	USB PLL y Oscilador de Fuente de Poder	Poder	-	-
VDDCORE	Fuente de poder del núcleo y de las memorias embebidas y los periféricos.	Poder	-	-
GND, GNDPLL, GNDPLLUSB, GNDANA, GNDUTMI	Tierra	Tierra	-	-
VDDUTMII	Transistor de Fuente de Poder de USB	Poder	-	-
VDDUTMIC	Fuente de Poder de Núcleos	Poder	-	-

Descripción: Enumera todos los transistores y fuentes de poder presentes en el microprocesador.

Tabla 3: Relojes, Osciladores y PLLs

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
XIN	Entrada Principal del Oscilador	Input	-	VDDIO
XOUT	Salida Principal del Oscilador	Output	-	VDDIO
XIN32	Entrada de Oscilador de Reloj	Input	-	VDDIO
XOUT32	Salida de Oscilador de	Output	-	VDDIO



	Reloj			
PCK0-PCK2	Salida de Reloj Programable	Output	-	VDDIO

Descripción: Demuestra los osciladores, las salidas y entradas de reloj así como las programaciones de reloj. Además, los PLLs que es un circuito electrónico con un voltaje que se ajusta para que esté en sincronía con la frecuencia de una señal input, de manera que modulan, estabilizan, generan y filtran señales de comunicaciones de un canal cuando se interrumpe un dato.

Tabla 4: Reloj Tiempo Real (RTC)

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
RTCOUT0	Salida en Forma de Ola Programable RTC	Output	-	VDDIO
RTCOUT1	Salida en Forma de Ola Programable RTC	Output	-	VDDIO

Descripción: Es para mantener el reloj preciso a pesar que esté apagado, esto es debido a que se puede usar para prender el dispositivo, o para hacer eventos bajo la tutela del reloj. Así mismo, se diseñó para un bajo consumo de energía y además es proveído por un oscilador de cristal.

Tabla 5:

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
SWCLK/TCK	Prueba de Ingreso de Datos (Solo Modo de Escaneo de Fronteras)	Input	-	VDDIO
TDI	Prueba de Entrada de Datos (Solo Modo de Escaneo de Fronteras)	Input	-	VDDIO
TDO/TRACES WO	Prueba de Salida de Datos (Solo Modo de Escaneo de Fronteras)	Output	-	VDDIO

SWDIO/TMS	Entrada/Salida de Cable de Serie (Solo Modo de Escaneo de Fronteras)	IO/Input	-	VDDIO
JTAGSEL	Selección de JTAG	Input	Alto	VDDIO

Descripción: JTAG es usado por el procesador para acceder a funciones de emulación y depuración, programación de FPGA's. Así mismo, usa Boundary Scan para el testeo de una tarjeta de dos formas, con un test de conexiones, y otro test de una mayor cobertura del test mediante componentes para comunicarse con otros componentes. El Serial Wire Debug (SWD) es usado en dispositivos de destino con un número reducido de pines, dado que el SWD solo requiere dos pines a diferencia del JTAG que requiere de 4 pines, es usado para el testeo igualmente.

Tabla 6: Trace Debug Port

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
TRACECLK	Rastro de Reloj	Output	-	VDDIO
TRACED0-TRACED3	Rastro de Datos	Output	-	VDDIO

Descripción: De manera que se encargan de seguir el historial del reloj, así como el rastro de datos.

Tabla 7: Flash Memory

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
ERASE	NVM Configuración de Comando de Eliminación de Bits y Flash	Input	Alto	VDDIO

Descripción: Es para configurar la memoria de almacenamiento flash que es una memoria de computadora no volátil.

Tabla 8: Reseteo y testeo

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
NRST	Reset Sincrónico de Microcontroladores	IO	Bajo	VDDIO

TST	Seleccionador de Test	Input	-	VDDIO
-----	-----------------------	-------	---	-------

Descripción: el reset síncrono produce borrado cuando se activa la señal de reloj, esto es debido a que está sincronizado con la señal de reloj. Mientras que el test es para seleccionar el test.

Tabla 8: Transmisor Receptor Asíncrono Universal

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
URXDx	UART Recibidor de Datos	Input	-	-
URTXDx	UART Transmisor de Datos	Output	-	-

Descripción: es el dispositivo que controla todos los puertos y dispositivos, este está integrado a la placa base. De manera que el URXDx se encarga de recibir los datos de los puertos mientras que el URTXDx se encarga de la transmisión de los datos a los diferentes puertos.

Tabla 9: Paralelo Controlador I/O

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
PA0-PA31	Controlador A de Input/Output Paralelo	I/O	-	VDDIO
PB0-PB9, PB12-PB13	Controlador B de Input/Output Paralelo	I/O	-	VDDIO
PC0-PC31	Controlador C de Input/Output Paralelo	I/O	-	VDDIO
PD0-PD31	Controlador D de Input/Output Paralelo	I/O	-	-
PE0-PE5	Controlador E de Input/Output Paralelo	I/O	-	-

Descripción: se encarga de programar completamente las líneas I/O. Además, cada línea es asociada con un número bit en todos los 32-bit registros de 32-bit usuarios, cada línea del PIO controlador tiene un cambio en el input habilitando el nivel de detección de cambio. Invisibilidad en el contro de input, además del control del pullup y pull down.

Tabla 10: PIO Controlador-Modo de Captura paralela de Movimiento

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
PIODC0-PIODC7	Captura de Movimiento Paralela	Input	-	VDDIO
PIODCCCLK	Caputra de Movimiento del Reloj	Input	-	VDDIO
PIODCEN1-PIODCEN2	Permitido Modo de Captura paralela	Input	-	VDDIO

Descripción: El controlador PIO integra una interfaz que permite leer datos de una CMOS sensor digital de imagen, un ADC de alta velocidad paralela y un puerto en modo síncrono DSP.

Tabla 11: Interface Externa de Bus (EBI)

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
D[15:0]	Bus de Datos	I/O	-	-
A[23:0]	Bus de Direcciones	Output	-	-
NWAIT	Signo de Espera Externo	Input	Bajo	-

Descripción: Es para la interfaz de pequeños dispositivos periféricos como la memoria flash con el procesador, de manera que se usa para expandir el bus interno del procesador y habilitar la conexión con memorias externas u otros periféricos.

Tabla 12: Controlador de Memoria Estática (SMC)

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
NCS0- NCS3	Líneas de Chip Selectivo	Output	Bajo	-
NRD	Signo de Lectura	Output	Bajo	-
NWR0- NWR1	Escritura Permitida	Output	Bajo	-
NBS0-NBS1	Signo de Máscara de Bytes	Output	Bajo	-

Descripción: es un avanzado microcontrolador de bus arquitectura (AMBA) compilador en SoC perifericos. De manera que este consiste en un alto desempeño y optimizado SRAM y

NAND controladores de memoria con un bus de chip que conforman el AMBA AXI protocolo.

Tabla 13: Lógica Flash NAND

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
NANDOE	Activado el Flash de Salida NAND	Output	Bajo	-
NANDWE	Activado el Flash de Escritura NAND	Output	Bajo	-

Descripción: basado en la memoria flash NAND que es un tipo de almacenamiento no volátil, de manera que no requiere de una fuente de poder para retener datos, sin embargo este tipo de memoria flash es mejor para escribir, eliminar y leer secuencialmente. De manera que esta es la lógica que maneja la memoria flash para la salida y escritura en NAND.

Tabla 14: Carta de Multimedia de Alta Velocidad (HSMCI)

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
MCCK	Reloj Multimedia de Cartas	O	-	-
MCCDA	Comando de Espacio de Carta Multimedia (Sirve para comando y respuesta)	I/O	-	-
MCDA0-MCDA3	Carta Multimedia para Almacenar Datos (Datos 0..3 de espacio A)	I/O		-

Descripción: HSMCI soporta una carta multimedia de especificación V4.3, de manera que esta incluye un comando de registro, respuesta de registros, registros para datos, contadores de tiempo fuera y detección de errores. Sirve para el traspaso de multimedia a través del sistema.

Tabla 15: SDR-SDRAM Controlador de Lógica

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
-----------------	---------	------	--------------	-----------------------

SDCK	Reloj SDRAM	Output	-	-
SDCKE	Reloj SDRAM Activado	Output	-	-
BA0-B1	Selección de bancos	Output	-	-
SDWE	SDRAM para Escritura Activado	Output	-	-
RAS-CAS	Señales de Columnas y Filas	Output	-	-
SDA10	Línea de dirección 10 SDRAM	Output	-	-

Descripción: componentes para el manejo de la SDRAM y sus controladores, donde el SDRAM es memoria dinámica de acceso aleatorio que tiene una interfaz asíncrona. Este extiende las capacidades de memoria del chip porque provee una interfaz hacia dispositivos de 16-bit DRAM. Así mismo, permite que se lea o se escriba en una localización de manera que se maximiza el desempeño mediante el tracking de una fila activa.

Tabla 16: Transmisor, receptor asíncrono, síncrono universal (USART)

<b>Nombre De Señal</b>	<b>Función</b>	<b>Tipo</b>	<b>Nivel Activo</b>	<b>Referencia de Voltaje</b>
SCKx	Reloj Serial USARTx	I/O	-	-
TXDx	Transmisión de Datos USARTx	I/O	-	-
RXDx	Receptor de Datos USARTx	Input	-	-
RTSx	Solicitud para Enviar USARTx	Output	-	-
CTSx	Enviar para Limpiar USARTx	Input	-	-
DTRx	Terminal de Datos Listos USARTx	Output	-	-
DSRx	Set de Datos Listos USARTx	Input	-	-

DCDx	Detección de Acarreación de Datos USARTx	Input	-	-
Rlx	Indicador de Anillos USARTx	Input	-	-
LONCOL1	Detección de Colisión LON	Input	-	-

Descripción: es un dispositivo de comunicación serial altamente flexible, que tiene registros de transmisión y recepción independientes, tiene la flexibilidad de ser síncrono o asíncrono, detección de errores, filtrado de ruido u datos irrelevantes, permite una comunicación multiproceso. La comunicación serial es aquella que permite la transmisión de bits de datos, bits de parada y paridad, de manera que se comuniquen dos puertos.

Tabla 17: Controlador Serial Síncrono (SSC)

<b>Nombre De Señal</b>	<b>Función</b>	<b>Tipo</b>	<b>Nivel Activo</b>	<b>Referencia de Voltaje</b>
TD	Transmisión de Datos SSC	Output	-	-
RD	Recibimiento de Datos SSC	Input	-	-
TK	Transmisión de Reloj SSC	I/O	-	-
RK	Recibimiento de Reloj SSC	I/O	-	-
TF	Sincronización de Transmisión de Frames SSC	I/O	-	-
RF	Recibimiento de Sincronización de Frames SSC	I/O	-	-

Descripción: permite un enlace de comunicación síncrona con dispositivos externos, así mismo, soporta muchos protocolos de comunicación síncrona serial usada en audio y aplicaciones de telecomunicaciones.

Tabla 18: Controlador de Sonido Inter-IC

<b>Nombre De Señal</b>	<b>Función</b>	<b>Tipo</b>	<b>Nivel Activo</b>	<b>Referencia de Voltaje</b>
I2SCx_MCK	Anfitrión de Reloj	Output	-	VDDIO
I2SCx_CK	Reloj Serial	I/O	-	VDDIO

I2SCx_WS	Selección de Palabras IS	I/O	-	VDDIO
ISCx_DI	Entrada de Datos Seriales	Input	-	VDDIO
ISCx_DO	Salida de Datos Seriales	Output	-	VDDIO

Descripción: provee un bidireccional, sincrónico, digital enlace de audio a audio externo en dispositivos en ciertos pines.

Tabla 19: Interfaz de Sensor de Imagen (ISI)

<b>Nombre De Señal</b>	<b>Función</b>	<b>Tipo</b>	<b>Nivel Activo</b>	<b>Referencia de Voltaje</b>
ISI_D0-ISI_D11	Sensor de Datos de Imagen	Input	-	-
ISI_MCK	Referencia de Sensor de Imagen	Output	-	-
ISI_HYNC	Sensor Horizontal de Imagen de Sincronización	Input	-	-
ISI_VSSYNC	Sensor Vertical de Sincronización	Input	-	-
ISI_PCK	Reloj de Sensor de Datos	Input	-	-

Descripción: ISI conecta un sensor de imagen de tipo CMOS al procesador y provee una captura de imagen en varios formatos, de manera que la ISI permite la conversión de datos si son necesarios antes que el almacenamiento en memoria a través de DMA. Soporta escala de grises y colores.

Tabla 20: Contador de tiempo (TC)

<b>Nombre De Señal</b>	<b>Función</b>	<b>Tipo</b>	<b>Nivel Activo</b>	<b>Referencia de Voltaje</b>
TCLKx	TC Canal x Input Externo de Reloj	Input	-	-
TIOAx	TC Canal x I/O Línea A	I/O	-	-
TIOBx	TC Canal x I/O	I/O	-	-



	Línea B			
--	---------	--	--	--

Descripción: posee 4 módulos de TC, de manera que cada canal puede ser independientemente programa para realizar una gran variedad de funciones incluyendo frecuencia y pesaje, conteo de eventos, pesaje de intervalos, generación de pulsos, un atraso en el conteo y un pulso con modulación. Así mismo, cada canal tiene 3 inputs de relojes externos.

Tabla 21: Controlador de Modulación de Pulsos (PWMC)

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
PWMCx_PWM H0- PWMCx_PWM H3	Forma de Ola Output Alto para Canal 0-3	Output	-	-
PWMCx_PWML 0- PWMCx_PWML 3	Forma de Ola Output Bajo para Canal 0-3	Output	-	-
PWMCx_PWM FI0- PWMCx_PWM FI2	Fault Input	Input	-	-
PWMCx_PWM FI0- PWMCx_PWM FI2	Trigger Externo Input	Input	-	-

Descripción: genera una salida de pulsos en 4 canales independiente acorde a los parámetros definidos en cada canal. Se destaca que los accesos a esto están hechos a través de registros mapeados en el bus periférico.

Tabla 22: Interfaz Serial de Periferia (SPI)

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
SPIx_MISO	Huésped Adentro, Cliente Afuera	I/O	-	-
SPIx_MOSI	Huésped Afuera, Cliente Dentro	I/O	-	-
SPIx_SPCK	Reloj SPI Serial	I/O	-	-
SPIx_NPCS0	SPI Chip	I/O	Bajo	-

	Periferico Select 0			
SPIx_NPCS1–SPIx_NPCS3	SPI Chip Periferico Select	Output	Bajo	-

Descripción: es un circuito, sobre todo un enlace sincrónico de datos en serie que provee comunicación con dispositivos externos en modo huésped o cliente. Habilita la comunicación entre procesadores si algún procesador externo es conectado al sistema, así mismo es un registro que serialmente transmite los datos de bits a otros SPI's de manera que en una transferencia de datos un SPI actúa como el huésped que controla el flujo de datos y los otros como clientes que tienen los datos en un ingreso y una salida controlada por el huésped.

Tabla 23: QUAD I/O SPI (QSPI)

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
QSCK	QSPI Reloj Serial	Output	-	-
QCS	QSPI Seleccionador de Chip	Output	-	-
QIO0–QIO3	QSPI I/O QIO0 es QMOSI Huesped Fuera, Cliente Dentro QIO1 es QMISO Huésped adentro, Cliente afuera	I/O	-	-
TWDx	TWlx Dos Cables de Datos Seriales	I/O	-	-
TWCKx	TWlx Dos Cables Reloj Serial	I/O	-	-

Descripción: es un enlace sincrónico serial de datos que provee comunicación con dispositivos externos en modo huésped. De manera que permite que se ejecute código directamente de la memoria Flash sin que se tenga que enviar código a la RAM.

Tabla 24: Interface de Dos Cables (TWIHS)

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
VREFP	ADC, DAC, y	Análogo	-	-

	Comparador Análogo Positiva Referencia			
VREFN	ADC, DAC y Comparador Negativo Análogo de Referencia, debe estar conectado a tierra	Análogo	-	-

Descripción: interconecta los componentes en un único bus, de manera que esté compuesto por un reloj de línea y uno con una línea de datos que tenga una velocidad de hasta 400kbit/s o 3.4Mbit/s. Este es programable como un huésped o un cliente con un acceso secuencial de bytes.

Tabla 25: Análogos

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
AFEx_AD0– AFEx_AD11	Inputs Análogos	Análogo, digital	-	-
AFEx_ADTRG	Trigger ADC	Input	-	VDDIO
DAC0–DAC1	Outputs análogos	Análogo, digital	-	-
DATRG	DAC Trigger	Input	-	VDDIO

Descripción: tiene los análogos tanto i/O y triggers.

Tabla 26: Interfaz de Programación de Flash Rápido (FFPI)

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
PGMEN0– PGMEN1	Habilitar Programación	Input	-	VDDIO
PGMM0–PGM M3	Modo de Programación	Input	-	VDDIO
PGMD0–PGMD 15	Programación de Datos	I/O	-	VDDIO
PGMRDY	Programación Lista	Output	Alto	VDDIO
PGMNVALID	Dirección de Datos	Output	Bajo	VDDIO

PGMNOE	Programación Leída	Input	Bajo	VDDIO
PGMNCMD	Comando de Programación	Input	Bajo	VDDIO

Descripción: es una interfaz para la programación de la memoria flash en modo rápido.

Tabla 27: receptores de entradas de USB's

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
HSDM	USB alta velocidad de datos-	Análogo, digital	-	VDDUTMII
HSDP	USB alta velocidad de datos +	Análogo	-	VDDUTMII
VBG	Bias Referencia de Voltaje para USB	Input	-	-

Descripción: describe los receptores para las entradas USB's

Tabla 28: Ethernet

Nombre De Señal	Función	Tipo	Nivel Activo	Referencia de Voltaje
GREFCK	Referencia de Reloj	Input	-	-
GTXCK	Transmisión de Reloj	Input	-	-
GRXCK	Recibimiento de Reloj	Output	-	-
GTXEN	Habilitación de Transmisión	Output	-	-
GTX0 - GTX3	Transmisión de Datos	Output	-	-
GTXER	Transmisión de Error de Código	Input	-	-
GRXDV	Recibimiento Válido de Datos	Input	-	-
GRX0 - GRX3	Recibimiento de Datos	Input	-	-

GRXER	Recibimiento de Error	Input	-	-
GCRS	Sensor de Carrier	Input	-	-
GCOL	Detección de Colisiones	Input	-	-
GMDC	Manejo de Reloj De datos	Output	-	-
GMDIO	Manejo de Datos input/Output	I/O	-	-
GTSUCOMP	Comparador de Tiempo Válido TSU	Output	-	-

Descripción: componentes del Ethernet y componentes para el manejo de datos.

Tabla 29: Controlador de Área de Network

<b>Nombre De Señal</b>	<b>Función</b>	<b>Tipo</b>	<b>Nivel Activo</b>	<b>Referencia de Voltaje</b>
CANRXx	Recibidor CAN	Input	-	-
CANTXx	Transmisor CAN	Output	-	-

Descripción: demuestra los transmisores y receptores, controladores, para el network.

Tabla 30: MediaLB (MLB)

<b>Nombre De Señal</b>	<b>Función</b>	<b>Tipo</b>	<b>Nivel Activo</b>	<b>Referencia de Voltaje</b>
MLBCLK	Reloj MLB	input	-	-
MLBSIG	Señal MLB	I/O	-	-
MLBDAT	Datos MLB	I/O	-	-

Descripción:Reloj, señal y datos del MLB.

## Ejemplos de aplicación.

- Diseño automotriz, cumple con los requisitos del protocolo AEC-Q100, está calificado para soportar la robustez, calidad y confiabilidad de la industria automotriz, para el desarrollo de aplicaciones y control de automóviles.
- Usado en testing, debugging, y desarrollo de software de microcontroladores de máquinas industriales.

(Microchip, 2022)

## Ventajas de implementación.

- Amplia documentación y controles de calidad para minimizar el potencial de fallas de los productos.
- Compatibilidad con MPLAB X y MPLAB Harmony.
- Soporte de Clockwork configuration (herramienta fácil de usar para configurar el clock, frecuencia y tamaño de package).
- Precios competitivos, ahorra dinero.
- Implementación de recursos de Linux.
- Ensemble Graphics Toolkit para GUI en los casos que se requiera.
- Seguridad al conectarse a las redes de comunicación IoT.

(Microchip, 2022)

## Precio Comercial (Lanzamiento y actual)

- Lanzamiento: \$232.45
- Actual: \$265.09

(Microchip, 2022)

## Bibliografía

(2022, July 24). Microprocessors (MPUs) | Microchip Technology. Microchip.

<https://www.microchip.com/en-us/products/microcontrollers-and-microprocessors/32-bit-mpus>

(2022, July 24). SAM V71 XPLAINED ULTRA EVALUATION KIT. Microchip.

<https://www.microchip.com/en-us/development-tool/ATSAMV71-XULT>

(2022, July 24). ATSAMV71Q21 | Microchip Technology. Microchip.

<https://www.microchip.com/en-us/product/ATSAMV71Q21>

(2022, July 24). | de generación de relojes Tecnología Microchip. Microchip.

<https://www.microchip.com/en-us/products/clock-and-timing/components/clock-generation>

(2022, July 24). SAM Family of 32-bit Microcontrollers | Microchip Technology. Microchip.  
<https://www.microchip.com/en-us/products/microcontrollers-and-microprocessors/32-bit-mcus/sam-32-bit-mcus>

Smart | Connected | Secure | Microchip Technology. (s. f.).  
<https://www.microchip.com/en-us/product/at91sam9g25>. Recuperado 26 de julio de 2022, de <https://www.microchip.com/>

Smart | Connected | Secure | Microchip Technology. (s. f.-b).  
<https://www.microchip.com/en-us/product/at91sam9g15>. Recuperado 26 de julio de 2022, de <https://www.microchip.com/>

Smart | Connected | Secure | Microchip Technology. (s. f.-c).  
<https://www.microchip.com/en-us/product/at91sam9260>. Recuperado 26 de julio de 2022, de <https://www.microchip.com/>

Smart | Connected | Secure | Microchip Technology. (s. f.-c).  
<https://www.microchip.com/en-us/product/at91sam9260>. Recuperado 26 de julio de 2022, de <https://www.microchip.com/>